CRESSEM
CREATIVE ASSEMBLY

[기술 분석 보고서] 실리콘 인터포저(Silicon Interp

문서번호	CRSM-AI-2026-AUTO
작성일	2026-05-29
작성	Cressem AI 시스템 (자동 생성)
보안등급	사내 비밀 (Confidential)
버전	v1.0

목 차

차세대 패키징 기술 비교 분석 보고서: 실리콘(Silicon) vs 올가닉(Organic) 인터포저 3

1. 개요 및 인터포저의 기술적 정의 3
2. 실리콘 인터포저(Silicon Interposer) 기술 분석 3
3. 올가닉 인터포저(Organic Interposer) 기술 분석 3
4. 기술 비교 및 핵심 요약 4
5. 결론 및 향후 전망 5

차세대 패키징 기술 비교 분석 보고서: 실리콘(Silicon) vs 올가닉(Organic) 인터포저

1. 개요 및 인터포저의 기술적 정의

반도체 패키징 기술이 고도화됨에 따라, 서로 다른 피치(Pitch)를 가진 반도체 칩(Die)과 기판(Substrate) 사이를 전기적으로 연결하는 인터포저(Interposer)의 역할이 핵심적인 요소로 부상하고 있습니다. 인터포저는 미세한 회로를 형성하여 복수의 칩을 결합하고, 칩 간의 신호 전달 경로를 최적화하는 다리 역할을 수행합니다 [출처: tistory.com]. 특히 고성능 컴퓨팅(HPC) 및 AI 가속기 시장이 급성장하면서, 입출력(I/O) 신호의 수를 극대화하기 위한 와이드 I/O(Wide I/O) 구현이 필수적인 과제가 되었습니다 [출처: tistory.com].

인터포저의 주요 목적은 반도체 칩 내부의 미세한 전극과 패키지 기판의 상대적으로 큰 전극 사이의 간극을 메우는 것입니다. 이를 통해 전자 이동 속도를 높이기 위해 전극 길이를 최소화하고, 데이터 전송 효율을 극대화할 수 있습니다 [출처: tistory.com]. 현재 업계에서는 성능 극대화를 위한 실리콘 기반 기술과 비용 및 크기 한계 극복을 위한 올가닉 기반 기술이 공존하며 경쟁하고 있습니다.

최근 기술 트렌드는 단순히 칩을 연결하는 수준을 넘어, 열 관리(Thermal Management)와 신호 무결성(Signal Integrity)을 동시에 확보하는 방향으로 전개되고 있습니다. 실리콘 인터포저를 활용한 CoWoS(Chip on Wafer on Substrate)와 같은 기술은 이미 HBM(High Bandwidth Memory)과 로직 다이를 연결하는 표준 기술로 자리 잡았으나, 인터포저의 크기가 커짐에 따라 발생하는 비용 및 수율 문제가 새로운 도전 과제로 떠오르고 있습니다 [출처: thelec.kr, yelec.kr].

2. 실리콘 인터포저(Silicon Interposer) 기술 분석

실리콘 인터포저는 반도체 제조 공정인 웨이퍼 레벨 공정을 그대로 활용하여 매우 미세한 배선을 구현할 수 있는 기술입니다. 이는 로직 다이와 HBM과 같은 고대역폭 메모리를 초고속으로 연결하는 데 최적화되어 있습니다 [출처: hongya-world.tistory.com]. 실리콘 소재의 특성상 열팽창 계수(CTE)가 반도체 칩과 유사하여, 온도 변화에 따른 구조적 변형과 응력(Stress) 문제를 최소화할 수 있다는 강력한 장점이 있습니다.

기술적 핵심은 TSV(Through Silicon Via, 실리콘 관통 전극)를 통해 수직 방향으로 신호를 전달하는 데 있습니다. 실리콘 인터포저는 매우 높은 I/O 밀도를 제공하므로, 데이터 전송 속도가 중요한 AI 및 서버용 프로세서 패키징에 필수적입니다. 그러나 실리콘 웨이퍼 자체의 비용이 높고, 최근 요구되는 대면적 패키징 추세에 따라 인터포저 사이즈가 렉티클(Reticle) 사이즈의 3.3배에서 최대 8배까지 커지면서 공정 난이도와 비용이 기하급수적으로 상승하고 있습니다 [출처: yelec.kr].

또한, 실리콘 인터포저는 미세 피치 구현에는 유리하지만, 대면적화될수록 웨이퍼 내 수율 확보가 어려워지는 한계가 있습니다. 이에 따라 TSMC 등 주요 파운드리 업체들은 CoWoS 기술의 비용 효율성을 개선하기 위해 차세대 패키징 기술을 지속적으로 연구하고 있는 상황입니다 [출처: hongya-world.tistory.com].

3. 올가닉 인터포저(Organic Interposer) 기술 분석

올가닉 인터포저는 실리콘 대신 유기물 기반의 절연체와 구리(Cu) 배선을 사용하는 기술입니다. 이는 주로 FC-BGA(Flip Chip Ball Grid Array) 기술의 연장선상에서 이해될 수 있으며, 실리콘 인터포저에 비해 훨씬 저렴한 비용으로 대면적 패키징을 구현할 수 있다는 특징이 있습니다. 최근 고성능 컴퓨팅 수요가 늘어나면서 실리콘의 크기 및 비용 한계를 극복하기 위한 대안으로 주목받고 있습니다.

올가닉 인터포저는 실리콘에 비해 배선 피치(Pitch)를 미세하게 구현하는 데 한계가 있으나, 패널 레벨 패키징(Panel Level Packaging) 기술과 결합할 경우 훨씬 큰 면적의 칩을 하나의 패키지에 통합할 수 있습니다 [출처: thelec.kr]. 이는 다수의 칩을 배치해야 하는 멀티 칩 패키징(MCM) 구조에서 경제적인 솔루션을 제공합니다. 다만, 유기물 소재의 특성상 실리콘 대비 열팽창 계수가 높아, 칩과의 열팽창 차이로 인한 휨(Warpage) 현상 및 신뢰성 문제가 발생할 수 있습니다.

현재 업계에서는 실리콘 인터포저의 미세 피치 장점과 올가닉 인터포저의 대면적/저비용 장점을 결합하기 위한 연구가 활발합니다. 예를 들어, 로컬 실리콘 인터포저(Local Silicon Interposer)를 사용하여 핵심 칩 부근만 미세 연결을 수행하고, 나머지 영역은 올가닉 인터포저로 확장하는 하이브리드 방식 등이 논의되고 있습니다 [출처: thelec.kr].

4. 기술 비교 및 핵심 요약

실리콘 인터포저와 올가닉 인터포저의 주요 특성을 비교하면 다음과 같습니다.

비교 항목	실리콘 인터포저 (Silicon)	올가닉 인터포저 (Organic)
주요 소재	Silicon Wafer	Organic Resin / Dielectric
배선 미세도 (Pitch)	매우 높음 (초미세 피치 가능)	상대적으로 낮음
열팽창 계수 (CTE)	칩과 유사 (안정적)	칩과 차이 큼 (Warpage 위험)
제조 비용	높음 (웨이퍼 및 TSV 공정)	낮음 (대면적 공정 유리)
최대 구현 크기	렉티클 사이즈 제한적	패널 레벨로 대면적화 용이
주요 응용처	HBM-Logic 연결, 고성능 AI 칩	대면적 MCM, 일반 고성능 CPU/GPU

5. 결론 및 향후 전망

결론적으로 실리콘 인터포저와 올가닉 인터포저는 상호 배타적인 관계라기보다, 적용되는 애플리케이션의 요구 성능과 경제성에 따라 선택되는 상호 보완적인 기술로 판단됩니다. 초고성능, 초미세 연결이 필수적인 HBM 및 최첨단 로직 칩 결합에는 실리콘 인터포저가 주도권을 유지할 것이나, 인터포저의 대형화 추세에 따른 비용 압박은 피할 수 없는 현실입니다.

향후 시장은 실리콘의 미세 피치 성능을 유지하면서도 올가닉의 경제성을 확보할 수 있는 하이브리드 구조나, 새로운 소재를 활용한 차세대 인터포저 기술이 주도할 것으로 보입니다. 특히 패널 레벨 패키징(Panel Level Packaging) 기술의 발전은 올가닉 인터포저의 활용 범위를 더욱 넓힐 것으로 예상되며, 이는 반도체 검사장비 분야에서도 더 큰 면적과 복잡한 구조를 검사할 수 있는 고해상도·대면적 비전 검사 솔루션에 대한 수요로 이어질 것으로 전망됩니다.