CRESSEM
CREATIVE ASSEMBLY

차세대 패키징 기술 비교 분석: Silicon vs Organi

문서번호	CRSM-AI-2026-AUTO
작성일	2026-05-29
작성	Cressem AI 시스템 (자동 생성)
보안등급	사내 비밀 (Confidential)
버전	v1.0

목 차

차세대 패키징 기술 비교 분석: Silicon vs Organic Interposer 3

개요 및 기술적 배경 . . . 3

Silicon Interposer: 구조 및 동작 원리 . . . 3

Organic Interposer: 재료 및 공정 특성 . . . 4

핵심 성능 지표 비교 분석 (Performance Metrics) . . . 6

공정 경제성 및 수율 분석 . . . 7

기술적 한계 및 차세대 트렌드 . . . 8

결론 및 전략적 시사점 . . . 9

차세대 패키징 기술 비교 분석: Silicon vs Organic Interposer

HBM 및 2.5D/3D 패키징의 핵심 요소인 실리콘 인터포저와 유기물(Organic) 인터포저의 기술적 특성, 물리적 한계 및 경제성을 심층 비교합니다. 각 기술의 구조적 차이가 전기적 성능과 공정 난이도에 미치는 영향을 분석하여 최적의 솔루션을 제안합니다.

개요 및 기술적 배경

현대 반도체 산업은 무어의 법칙(Moore's Law)이 물리적 한계에 직면함에 따라, 단일 칩의 미세 공정 개선을 통한 성능 향상보다는 개별 칩들을 어떻게 효율적으로 연결하고 통합하느냐는 'More than Moore' 시대로 패러다임이 급격히 전환되고 있다. 특히 인공지능(AI), 고성능 컴퓨팅(HPC), 데이터센터용 서버 시장이 폭발적으로 성장하면서, 초거대 언어 모델(LLM)을 처리하기 위한 막대한 연산 능력과 데이터 대역폭(Bandwidth) 확보가 반도체 설계의 핵심 과제로 부상하였다. 이러한 기술적 요구사항을 충족하기 위해 등장한 것이 바로 어드밴스드 패키징(Advanced Packaging) 기술이며, 그 중심에는 다수의 다이(Die)를 하나의 패키지 내에서 전기적으로 연결하는 인터포저(Interposer) 기술이 자리 잡고 있다.

인터포저는 서로 다른 칩 간의 물리적 거리를 좁히고, 입출력(I/O) 단자의 밀도를 극대화하여 데이터 전송 속도를 높이는 가교 역할을 수행한다. 과거에는 단순히 패키지 기판(Substrate)이 수행하던 역할을 넘어, 현재는 2.5D 및 3D 패키징 구조에서 핵심적인 신호 전달 경로(Signal Path)로 기능한다. 고성능 GPU와 고대역폭 메모리(HBM)를 결합하는 구조에서 인터포저는 칩 간의 미세한 피치(Pitch)를 구현하여 신호 손실을 최소화하고, 전력 무결성(Power Integrity)을 유지하는 결정적인 레이어이다. 인터포저의 성능이 곧 전체 시스템의 데이터 처리 효율과 직결되는 구조적 중요성을 갖게 된 것이다.

현재 인터포저 기술은 크게 실리콘(Silicon) 기반 기술과 유기물(Organic) 기반 기술로 양분되어 발전하고 있다. 실리콘 인터포저는 반도체 전공정 기술을 그대로 활용하여 극미세 피치 구현이 가능하므로 HBM과 같은 초고성능 메모리 통합에 필수적이지만, 높은 제조 비용과 웨이퍼 크기 제한이라는 경제적·물리적 제약을 안고 있다. 반면, 유기물 인터포저는 ABF(Ajinomoto Build-up Film)와 같은 재료를 활용하여 대면적 구현이 용이하고 비용 효율성이 뛰어나지만, 실리콘 대비 미세한 회로 형성에 한계가 존재한다. 본 보고서에서는 이러한 기술적 배경을 바탕으로, 급변하는 AI 반도체 시장에서 각 인터포저 기술이 가진 특성과 성능, 그리고 경제적 타당성을 심층적으로 비교 분석하고자 한다. [출처: Yole Group]

Silicon Interposer: 구조 및 동작 원리

고성능 컴퓨팅(HPC)과 인공지능(AI) 가속기 시장이 급격히 팽창함에 따라, 서로 다른 다이(Die) 간의 초고속 데이터 전송을 지원하는 인터포저(Interposer) 기술의 중요성이 대두되고 있다. 그중 실리콘 인터포저는 기존 반도체 제조 공정인 CMOS 공정을 그대로 활용할 수 있다는 강력한 이점을 바탕으로, 차세대 패키징의 핵심 요소로 자리 잡았다. 실리콘 인터포저는 단순히 칩을 올려놓는 기판의 역할을 넘어, 로직 다이(Logic Die)와 고대역폭 메모리(HBM) 사이에서 초미세 배선을 통해 데이터 병목 현상을 해결하는 중추적인 인터커넥트(Interconnect) 계층으로 기능한다.

실리콘 인터포저의 핵심 동작 원리는 '실리콘 웨이퍼'라는 기판 위에 반도체 전공정 기술을 적용하여 미세한 회로를 형성하고, 이를 수직적·수평적으로 연결하는 구조에 있다. 가장 결정적인 기술적 요소는 TSV(Through Silicon Via, 실리콘 관통 전극)이다. TSV는 실리콘 기판을 수직으로 관통하는 전도성 통로로, 인터포저의 상단에 위치한 칩(Chiplet)과 하단의 패키지 기판(Package Substrate) 사이를 전기적으로 연결한다. 기존의 와이어 본딩(Wire Bonding)이나 플립칩(Flip-chip) 방식이 칩의 가장자리(Edge)를 통해서만 신호를 전달했던 것과 달리, TSV는 칩의 면적 전체를 활용하여 수천 개 이상의 입출력(I/O) 단자를 배치할 수 있게 한다. 이는 데이터 전송 경로를 획기적으로

단축시켜 신호 지연(Latency)을 최소화하고, 단위 면적당 대역폭(Bandwidth Density)을 극대화하는 결과를 가져온다.

실리콘 인터포저의 구조적 완성도는 미세 피치(Fine Pitch) 구현 능력에서 결정된다. 실리콘은 반도체 노광 공정(Photolithography)을 통해 수 마이크로미터(μm) 단위의 초미세 배선 형성이 가능하다. 이는 유기물 기반의 인터포저가 가진 물리적 한계를 뛰어넘는 요소로, 칩과 칩 사이의 간격을 극도로 좁혀도 전기적 간섭(Crosstalk)을 제어할 수 있는 정밀한 배선 설계가 가능하다. 특히, TSV의 직경을 줄이고 피치(Pitch, 전극 간 간격)를 미세화할수록 더 많은 I/O를 집적할 수 있으며, 이는 HBM과 같은 고성능 메모리 솔루션이 요구하는 방대한 데이터 통로를 확보하는 데 필수적이다. 이러한 미세 피치 기술은 단순히 선폭을 줄이는 것에 그치지 않고, RDL(Redistribution Layer, 재배선층) 공정과의 결합을 통해 신호의 무결성(Signal Integrity)을 유지하면서도 복잡한 신호 경로를 최적화하는 방향으로 발전하고 있다.

실리콘 인터포저가 채택되는 결정적인 공학적 이유 중 하나는 열팽창계수(CTE, Coefficient of Thermal Expansion)의 일치성이다. 반도체 칩(Die)은 기본적으로 실리콘 소재로 제작된다. 만약 인터포저가 실리콘이 아닌 다른 소재(예: 유기물 또는 세라믹)로 구성될 경우, 작동 중 발생하는 열에 의해 칩과 인터포저가 팽창하는 정도가 달라지게 된다. 이러한 CTE 불일치는 칩과 인터포저 사이의 접합부에 물리적인 스트레스를 가하며, 이는 범프(Bump)의 균열(Crack)이나 층간 박리(Delamination)와 같은 치명적인 신뢰성 문제를 야기한다. 반면, 실리콘 인터포저는 칩과 동일한 CTE 값을 가지므로, 급격한 온도 변화가 발생하는 고부하 연산 환경에서도 구조적 안정성을 유지할 수 있다. 이러한 열역학적 정합성은 시스템의 장기적인 신뢰성을 담보하는 핵심적인 설계 변수이다.

실리콘 인터포저의 세부 구조와 주요 구성 요소의 특성을 비교하면 다음과 같다.

구성 요소	주요 기능 및 역할	기술적 핵심 특성
Silicon Substrate	물리적 지지체 및 전기적 경로 제공	고강성, 우수한 열전도성, CTE 매칭
TSV (Through Silicon Via)	수직적 데이터 전송 통로 (Vertical Interconnect)	고밀도 집적, 저저항, 미세 피치 구현
RDL (Redistribution Layer)	I/O 단자 재배치 및 미세 배선 형성	초미세 패턴 형성(Photolithography 활용)
Micro Bump	칩과 인터포저 간의 전기적 접합	초미세 피치 대응(μm 단위 접합 기술)

종합하자면, 실리콘 인터포저는 TSV를 통한 수직 연결 기술과 반도체 전공정 기반의 미세 배선 기술을 결합하여, 물리적 안정성과 전기적 성능을 동시에 달성하는 고성능 패키징 솔루션이다. 비록 제조 비용이 높고 웨이퍼 크기에 따른 경제적 제약이 존재하지만, 초미세 피치 구현을 통한 대역폭 확보와 CTE 매칭을 통한 신뢰성 확보라는 측면에서 AI 가속기 및 하이엔드 서버용 프로세서 시장에서는 대체 불가능한 기술적 지위를 점하고 있다. [출처: IEEE Xplore]

Organic Interposer: 재료 및 공정 특성

고성능 컴퓨팅(HPC)과 AI 가속기 시장이 급격히 팽창함에 따라, 기존 실리콘 인터포저(Silicon Interposer)가 가진 높은 비용과 제조 복잡성을 극복하기 위한 대안으로 유기물 기반 인터포저(Organic Interposer) 기술이 주목받고 있다. Organic Interposer는 전통적인 패키지 기판 기술을 고도화하여, 칩과 PCB 사이의 중간 연결층 역할을 수행하도록 설계된 기술이다. 이 방식의 핵심은 실리콘 웨이퍼 대신 유기 절연 재료와 미세 회로 패턴을 적층하여 전기적 연결을 형성하는 데 있으며, 이를 통해 대면적화와 비용 효율성을 동시에 달성하는 것을 목표로 한다.

Organic Interposer의 구조적 핵심은 ABF(Ajinomoto Build-up Film)와 같은 고성능 유기 절연 필름의 활용에 있다. ABF는 미세한 회로 패턴을 형성하기 위한 절연층으로서 매우 우수한 유전 특성과 기계적 안정성을 제공한다.

일반적인 유기 기판 공정은 코어(Core) 층 위에 절연 필름을 도포하고, 이를 미세하게 식각(Etching)하거나 레이저를 이용해 Via를 형성한 뒤, 구리(Cu)를 도금하여 회로를 구성하는 빌드업(Build-up) 공정을 반복한다. 이 과정에서 다층 구조를 형성함으로써 신호 전달 경로를 최적화하고, 신호 간섭(Crosstalk)을 최소화할 수 있는 설계 유연성을 확보한다. 실리콘 인터포저가 반도체 전공정(Front-end) 기술인 TSV(Through Silicon Via)에 의존하는 것과 달리, Organic Interposer는 패키징 후공정(Back-end) 기술인 미세 회로 형성 및 도금 기술을 기반으로 하여 공정의 연속성을 가진다는 특징이 있다.

재료적 측면에서 Organic Interposer는 실리콘 대비 열팽창계수(CTE, Coefficient of Thermal Expansion)가 높다는 물리적 한계를 지닌다. 실리콘은 약 2.6 ppm/°C의 낮은 CTE를 가져 반도체 칩과 열적 정합성이 매우 우수하지만, 유기 재료는 일반적으로 10~20 ppm/°C 이상의 높은 CTE를 나타낸다. 이러한 CTE 불일치(Mismatch)는 소자의 동작 중 발생하는 열 사이클(Thermal Cycling) 상황에서 칩과 인터포저 사이의 접합부(Solder Joint)에 기계적 응력을 가해 크랙(Crack)이나 박리(Delamination) 현상을 유발할 수 있다. 이를 해결하기 위해 업계에서는 저팽창 유기 재료(Low CTE Organic Material) 개발에 집중하고 있으며, 필러(Filler) 함량을 조절하여 열적 안정성을 보강하는 기술이 핵심 경쟁력으로 작용하고 있다.

공정 특성을 살펴보면, Organic Interposer는 'Cost Efficiency(비용 효율성)' 측면에서 압도적인 우위를 점한다. 실리콘 인터포저는 고가의 웨이퍼를 사용해야 하며, TSV 형성 및 웨이퍼 다이싱(Dicing) 과정에서 발생하는 손실(Loss)이 크다. 반면, Organic Interposer는 대면적 패널(Panel) 또는 대형 웨이퍼 기반의 공정이 가능하여 단위 면적당 생산 단가를 획기적으로 낮출 수 있다. 또한, 실리콘 인터포저가 갖는 Reticle Limit(노광 장비의 해상도 한계로 인한 면적 제한) 문제로부터 비교적 자유로워, 초거대 AI 모델을 구동하기 위한 대면적 패키징 구현에 유리한 구조를 가진다.

다음은 Organic Interposer의 주요 재료 구성 요소와 물리적 특성을 정리한 표이다.

구성 요소	주요 재료 및 기능	핵심 요구 특성
절연층 (Dielectric Layer)	ABF (Ajinomoto Build-up Film) 등	저유전율(Low-Dk), 저유전손실(Low-Df), 미세 패턴 형성성
도체 (Conductor)	Cu (Copper) Electroplating	높은 전기 전도도, 미세 피치(Fine Pitch) 구현 능력
Via (Interconnect)	Laser-drilled Via / Plated Via	신호 전달 경로 최소화, 저저항(Low Resistance)
코어 (Core Layer)	Glass, BT Resin, FR-4 등	구조적 강성(Stiffness), 기계적 안정성, CTE 제어

공정 기술의 발전 방향 또한 주목할 만하다. 최근에는 Organic Interposer의 미세 피치 구현 능력을 극대화하기 위해 'RDL(Redistribution Layer, 재배선층)' 기술이 고도화되고 있다. RDL은 칩의 입출력(I/O) 단자를 더 넓은 간격의 인터포저 패드로 재배치하는 기술로, 유기물 기반에서도 실리콘에 근접하는 미세 회로를 형성하기 위해 광학 리소그래피(Optical Lithography)와 화학적 기계적 연마(CMP) 공정을 결합하는 추세이다. 이러한 기술적 진보는 Organic Interposer가 단순한 저가형 기판을 넘어, 고성능 컴퓨팅용 핵심 인터커넥트 솔루션으로 진화하고 있음을 시사한다.

결론적으로 Organic Interposer는 재료의 열적 취약성과 미세 피치 구현의 한계라는 도전 과제를 안고 있으나, ABF 기반의 빌드업 공정 고도화와 대면적 제조 공정의 이점을 통해 시장 점유율을 확대하고 있다. 특히 비용 민감도가 높은 소비자용 반도체부터, 점차 고성능화가 요구되는 데이터센터용 가속기 시장에 이르기까지 그 적용 범위가

넓어지고 있으며, 실리콘 인터포저와의 기술적 격차를 줄이기 위한 재료 공학적 혁신이 지속되고 있다 [출처: Yole Group].

핵심 성능 지표 비교 분석 (Performance Metrics)

차세대 패키징 기술의 성패를 결정짓는 핵심 요소는 인터포저가 제공하는 전기적 신호의 무결성(Signal Integrity), 전력 공급의 안정성(Power Integrity), 열 방출 효율(Thermal Management), 그리고 입출력(I/O) 밀도를 결정하는 라우팅 밀도(Routing Density)이다. Silicon Interposer와 Organic Interposer는 각각 상이한 물리적 재료 특성과 제조 공정 메커니즘을 보유하고 있으며, 이는 고성능 컴퓨팅(HPC) 및 AI 가속기 환경에서 극명한 성능 차이로 나타난다. 본 섹션에서는 네 가지 주요 지표를 중심으로 두 기술의 정량적, 정성적 특성을 심층 비교 분석한다.

첫째, 신호 및 전력 무결성(SI/PI) 측면에서 Silicon Interposer는 압도적인 우위를 점한다. 실리콘 인터포저는 반도체 전공정(Front-end)과 유사한 미세 패턴 형성 기술을 활용하므로, 매우 좁은 피치(Pitch)에서도 정밀한 임피던스 매칭과 신호 제어가 가능하다. 이는 고주파(High-frequency) 대역에서 신호 왜곡을 최소화하고, 신호 간 간섭인 크로스토크(Crosstalk)를 억제하는 데 매우 유리하다. 특히, TSV(Through Silicon Via)를 통해 수직 방향으로 신호를 전달할 때 발생하는 기생 성분(Parasitics)을 극도로 낮출 수 있어, 데이터 전송 속도가 기하급수적으로 증가하는 AI 연산 환경에 최적화되어 있다. 반면, Organic Interposer는 유기 절연체와 ABF(Ajinomoto Build-up Film) 등의 소재를 사용하기 때문에 실리콘에 비해 유전율(Dielectric Constant)의 불균일성이 발생할 가능성이 높다. 이는 고속 신호 전송 시 신호 지연(Skew)이나 반사 손실을 유발할 수 있는 요인이 되며, 전력 공급망(PDN, Power Delivery Network) 설계 시 전압 강하(IR Drop)를 제어하기 위해 더 복잡한 디커플링 커패시터(Decoupling Capacitor) 배치 전략이 요구된다.

둘째, 열 관리(Thermal Management) 성능은 두 기술의 물리적 구조에 따라 상이한 양상을 보인다. Silicon Interposer는 재료 자체의 열전도율(Thermal Conductivity)이 유기물 기반 소재보다 월등히 높다. 실리콘은 약 140~150 W/m·K 수준의 열전도율을 가지는 반면, 일반적인 유기 기판 소재는 0.2~0.5 W/m·K 수준에 불과하다. 따라서 칩에서 발생하는 막대한 열을 인터포저를 통해 하단 기판이나 히트싱크로 빠르게 분산시키는 능력에서 실리콘이 탁월하다. 하지만 Silicon Interposer는 TSV 구조로 인해 열적 팽창 계수(CTE) 불일치 문제가 발생할 수 있다. 실리콘 칩과 실리콘 인터포저 간의 CTE는 유사하여 열 응력(Thermal Stress) 관리에 유리하지만, 인터포저와 하부 패키지 기판(Organic Substrate) 사이의 큰 CTE 차이는 열 사이클링(Thermal Cycling) 과정에서 범프(Bump)나 TSV에 기계적 피로를 누적시킬 수 있다. Organic Interposer는 열전도율은 낮으나, 재료 자체의 유연성을 활용하여 열 응력을 완화할 수 있는 설계적 여지가 존재한다.

셋째, 라우팅 밀도(Routing Density) 및 I/O 구현 능력은 인터포저의 집적도를 결정하는 척도이다. 실리콘 인터포저는 포토공정(Photolithography)을 기반으로 하므로 수 마이크로미터(m) 단위의 미세 선폭(Line Width)과 미세 피치 구현이 가능하다. 이는 동일 면적당 더 많은 수의 데이터 통로를 확보할 수 있음을 의미하며, HBM(High Bandwidth Memory)과 GPU 간의 초광대역 인터페이스를 구현하는 데 필수적인 요소이다. Organic Interposer는 빌드업(Build-up) 공정의 한계로 인해 선폭과 간격(L/S)이 실리콘에 비해 상대적으로 넓다. 최근 기술 발전으로 미세화가 진행되고 있으나, 여전히 실리콘 수준의 초고밀도 배선 구현에는 제약이 따른다. 따라서 Organic 방식은 고성능 연산보다는 데이터 처리량이 상대적으로 적거나 비용 효율성이 중요한 소비자용 디바이스에 적합한 특성을 보인다.

이상의 분석을 바탕으로 주요 성능 지표를 요약 비교하면 다음과 같다.

비교 항목	Silicon Interposer	Organic Interposer	비고
신호 무결성 (SI)	매우 우수 (미세 제어 가능)	보통 (고주파 손실 우려)	실리콘이 고속 통신에 유리

전력 무결성 (PI)	우수 (정밀한 PDN 설계)	보통 (IR Drop 관리 필요)	-
열전도율 (Thermal)	매우 높음 (~150 W/m·K)	낮음 (<1 W/m·K)	실리콘이 방열에 탁월
라우팅 밀도 (L/S)	초미세 (Sub-micron급 가능)	중급 (수 m ~ 수십 m)	실리콘이 I/O 밀도 압도
CTE 매칭	칩과 매우 유사 (안정적)	칩과 차이 큼 (응력 관리 필요)	-
주요 타겟	AI 가속기, HPC, HBM 연동	Consumer, Automotive, Mobile	-

결론적으로, Silicon Interposer는 극도의 신호 정밀도와 방열 성능, 그리고 초고밀도 I/O가 요구되는 AI 및 데이터센터용 하이엔드 프로세서 시장의 핵심 기술이다. 반면, Organic Interposer는 상대적으로 낮은 비용과 제조 용이성을 바탕으로, 성능 요구치가 실리콘 수준에 미치지 않으면서도 대면적화와 비용 최적화가 필요한 범용 반도체 시장에서 강력한 경쟁력을 유지한다. 최근에는 이러한 두 기술의 장점을 결합하여 실리콘의 미세 배선 능력과 유기물의 열적/경제적 이점을 동시에 취하려는 하이브리드 패키징 기술 연구가 가속화되고 있다. [출처: IEEE Xplore]

{"title":"Performance Metrics Comparison Architecture","layout":"horizontal","steps":[{"tag":"①","title":"Signal Integrity","desc":"Silicon: High-frequency precision vs Organic: Impedance control challenges"},{"tag":"②","title":"Power Integrity","desc":"Silicon: Stable PDN via fine TSV vs Organic: IR Drop mitigation"},{"tag":"③","title":"Thermal Management","desc":"Silicon: High conductivity vs Organic: Low conductivity/High stress"},{"tag":"④","title":"Routing Density","desc":"Silicon: Sub-micron L/S vs Organic: Build-up L/S limits"}]}

공정 경제성 및 수율 분석

차세대 패키징 솔루션의 선택을 결정짓는 핵심 요소는 단순히 전기적 성능에 국한되지 않으며, 대량 양산 체제에서의 제조 복잡도(Manufacturing Complexity)와 단위당 비용(Cost per Unit), 그리고 최종 제품의 경제성을 결정짓는 수율(Yield Rate)의 상관관계에 있다. Silicon Interposer와 Organic Interposer는 근본적으로 사용되는 기판의 재료와 형성되는 미세 회로의 구현 방식이 상이하기 때문에, 공정 단계의 수와 소요되는 장비의 성격, 그리고 웨이퍼 크기 제한(Reticle Limit)에 따른 경제적 효율성에서 극명한 차이를 보인다.

Silicon Interposer는 반도체 전공정(Front-end) 기술을 기반으로 하는 TSV(Through Silicon Via) 공정이 필수적이다. 이는 웨이퍼 레벨 패키징(WLP) 기술을 활용하여 매우 높은 정밀도를 구현할 수 있다는 장점이 있으나, 공정의 복잡도가 매우 높다는 단점을 수반한다. TSV 형성, Via Filling, 그리고 CMP(Chemical Mechanical Polishing)와 같은 고가의 장비와 정밀한 공정 제어가 요구되는 단계가 포함되는데, 이는 초기 설비 투자비(CAPEX)를 급격히 상승시키는 요인이 된다. 또한, 실리콘 웨이퍼 자체의 재료 비용이 유기물 기판에 비해 월등히 높으며, 미세 피치 구현을 위해 고가의 노광 장비를 사용해야 하므로 생산 단가가 상승할 수밖에 없다. 특히, 인터포저의 크기가 커질수록 단일 웨이퍼에서 얻을 수 있는 Net Die(양품 수)가 급감하는 Scale-up의 한계가 존재하며, 이는 대면적 패키징이 요구되는 HPC(High-Performance Computing) 시장에서 비용 부담을 가중시키는 핵심적인 병목 구간으로 작용한다.

반면, Organic Interposer는 PCB(Printed Circuit Board) 제조 공정과 유사한 Build-up 공정을 기반으로 한다. ABF(Ajinomoto Build-up Film)와 같은 절연 재료를 적층하고, 미세 회로를 형성하는 방식은 실리콘 기반 공정에 비해 공정 단계가 상대적으로 단순하며, 범용적인 패키징 장비를 활용할 수 있어 제조 복잡도가 낮다. 이는 곧 단위 면적당 생산 비용의 절감으로 이어진다. Organic 방식의 가장 큰 강점은 확장성(Scalability)에 있다. 실리콘 인터포저가 노광 장비의 Reticle Limit에 의해 물리적인 크기 확장에 제약을 받는 것과 달리, 유기물 기반 기판은

대면적 기판 제조 기술을 통해 보다 넓은 면적의 패키지를 구현하기 용이하다. 다만, 미세 회로(Fine Pitch)를 구현하기 위해 다층 구조를 쌓아 올릴 경우, 층간 정렬(Alignment) 문제와 층수가 늘어남에 따른 공정 누적 불량 가능성이 수율 저하의 원인이 될 수 있다.

두 기술의 경제적 특성을 제조 복잡도, 비용 구조, 수율 및 확장성 측면에서 비교하면 다음과 같다.

비교 항목	Silicon Interposer	Organic Interposer
주요 제조 공정	TSV, WLP, CMP, Photolithography	Build-up, ABF Lamination, Plating
제조 복잡도	매우 높음 (반도체 전공정 수준)	중간 (PCB/Substrate 공정 수준)
재료 및 설비 비용	매우 높음 (Si Wafer, 고정밀 노광기)	상대적으로 낮음 (Organic Film, 범용 장비)
수율(Yield) 특성	미세 피치 구현은 유리하나, TSV 불량 위험 존재	대면적 구현은 용이하나, 다층 적층 시 정렬 불량 위험
확장성 (Scalability)	Reticle Limit에 따른 면적 제한 존재	대면적 패키징(Large Form Factor)에 유리
단위당 비용 (Cost)	고가 (High-end AI 가속기 타겟)	저가~중가 (Consumer 및 일반 서버 타겟)

결론적으로, Silicon Interposer는 높은 제조 비용과 수율 관리의 난이도에도 불구하고, 초미세 피치와 고밀도 연결이 필수적인 최상위 AI 가속기 및 고성능 컴퓨팅 시장에서의 독점적 지위를 유지하고 있다. 반면, Organic Interposer는 상대적으로 낮은 비용 구조와 대면적 확장성을 무기로, 성능 요구치가 Silicon보다는 낮지만 경제성이 중요한 데이터센터용 서버나 고성능 컨슈머 디바이스 시장을 중심으로 빠르게 점유율을 확대하고 있다. 향후 시장은 성능과 비용 사이의 최적점을 찾기 위해, Silicon의 정밀도와 Organic의 경제성을 결합한 하이브리드 형태의 공정 최적화가 수율 확보의 핵심 과제가 될 전망이다 [출처: Yole Group].

기술적 한계 및 차세대 트렌드

현재 반도체 패키징 시장을 주도하고 있는 실리콘(Silicon) 인터포저와 유기물(Organic) 인터포저는 각각의 명확한 물리적, 경제적 한계점에 직면해 있다. 실리콘 인터포저는 TSV(Through Silicon Via) 공정을 통한 초미세 피치 구현이 가능하지만, 웨이퍼 기반의 제조 공정 특성상 대면적화가 어렵고 제조 원가가 매우 높다는 치명적인 약점을 지닌다. 특히 AI 가속기와 같이 거대한 다이(Die)를 하나의 패키지로 묶어야 하는 'Reticle Limit' 문제에 부딪히면서, 기존의 단일 실리콘 인터포저 방식으로는 고성능 컴퓨팅(HPC) 요구 사항을 충족하기 어려운 임계점에 도달했다. 반면, 유기물 인터포저는 비용 효율성과 대면적화 측면에서 압도적인 우위를 점하고 있으나, 유기 재료 자체의 낮은 유전율 제어 능력과 열팽창계수(CTE) 불일치로 인한 신호 무결성(SI) 저하, 그리고 미세 피치 구현을 위한 공정 정밀도의 한계가 기술적 병목 현상으로 작용하고 있다.

이러한 한계를 극복하기 위해 업계는 단일 소재의 특성을 넘어선 하이브리드(Hybrid) 방식과 새로운 소재인 글래스(Glass)를 도입하는 방향으로 기술 패러다임을 전환하고 있다. 가장 주목받는 기술 중 하나는 '브릿지(Bridge) 기술'이다. 이는 전체 인터포저를 실리콘으로 제작하는 대신, 칩과 칩 사이의 초고속 연결이 필요한 핵심 영역에만 작은 실리콘 조각(Silicon Bridge)을 삽입하고, 나머지 영역은 저렴한 유기물 기판을 사용하는 방식이다. 인텔(Intel)의 EMIB(Embedded Multi-die Interconnect Bridge)가 대표적인 사례로, 이를 통해 실리콘의 미세 피치 장점과 유기물의 경제적 장점을 동시에 취하면서도 대면적 패키징을 가능하게 한다. 또한, 범프(Bump)를 통한 연결

대신 구리와 구리를 직접 접합하는 '하이브리드 본딩(Hybrid Bonding)' 기술은 범프 피치에 의한 물리적 한계를 제거하여 데이터 전송 밀도를 비약적으로 높이는 차세대 핵심 공정으로 부상하고 있다.

최근에는 유기물과 실리콘의 단점을 동시에 해결할 수 있는 대안으로 '글래스 인터포저(Glass Interposer)'가 강력한 차세대 후보로 거론되고 있다. 글래스는 실리콘과 유사한 수준의 평탄도와 미세 회로 구현 능력을 갖추면서도, 유기물보다 훨씬 우수한 전기적 특성(낮은 유전 손실)과 열적 안정성을 제공한다. 특히 글래스는 대면적 기판 제작이 용이하여 레티클 제한 문제를 극복할 수 있으며, 실리콘 대비 원가 경쟁력이 높을 것으로 기대된다. 아래 표는 현재의 기술적 한계와 이를 극복하기 위한 차세대 기술들의 특성을 비교한 것이다.

구분	Silicon Interposer	Organic Interposer	Bridge Tech (Hybrid)	Glass Interposer
주요 한계점	고비용, 대면적화 한계	미세 피치 구현 불가, SI 저하	공정 복잡도 증가	공정 성숙도 미흡
미세 피치 구현	매우 우수 (초미세)	낮음 (거친 피치)	우수 (연결부 국한)	매우 우수 (잠재력 높음)
대면적화 용이성	낮음 (Reticle Limit)	매우 높음	높음	높음
전기적 특성	양호	보통 (손실 발생)	양호	매우 우수 (저손실)
비용 효율성	낮음	매우 높음	중간	중간~높음 (예상)

결론적으로 차세대 패키징 트렌드는 '단일 소재의 성능 극대화'에서 '이종 소재 및 구조의 최적 조합'으로 이동하고 있다. 초고성능 AI 연산이 필요한 영역에서는 하이브리드 본딩과 브릿지 기술이 결합된 형태가 주를 이룰 것이며, 데이터 센터 및 통신 인프라를 위한 대면적·고대역폭 패키징 시장에서는 글래스 인터포저가 실리콘과 유기물의 간극을 메우는 게임 체인저(Game Changer) 역할을 할 것으로 전망된다. [출처: Yole Group]

결론 및 전략적 시사점

차세대 반도체 패키징 시장에서 인터포저 기술의 선택은 단순히 공정의 차이를 넘어, 최종 제품이 타겟팅하는 애플리케이션의 성능 요구사항과 경제적 목표를 결정짓는 핵심적인 전략적 의사결정 요소이다. 본 보고서에서 분석한 Silicon Interposer와 Organic Interposer의 기술적 특성을 바탕으로, 시장의 수요 변화에 따른 최적의 기술 선택 가이드라인과 향후 산업의 로드맵을 다음과 같이 제시한다.

먼저, 애플리케이션의 성격에 따른 선택 기준을 명확히 구분해야 한다. 초고성능 연산 능력이 필수적인 AI 가속기, 데이터 센터용 HPC(High-Performance Computing), 그리고 고대역폭 메모리(HBM)와의 초미세 연결이 요구되는 서버용 프로세서 영역에서는 Silicon Interposer가 여전히 독보적인 위치를 점할 것이다. TSV(Through Silicon Via)를 통한 극미세 피치(Fine Pitch) 구현 능력은 데이터 전송 속도와 신호 무결성(Signal Integrity) 측면에서 Organic 기술이 단기간에 따라잡기 힘든 물리적 우위를 제공하기 때문이다. 따라서 고부가가치 시장을 타겟으로 하는 파운드리 및 OSAT 기업들은 실리콘 기반의 고집적 패키징 공정 고도화에 역량을 집중해야 한다.

반면, 스마트폰, PC, 가전제품 등 범용 소비자 가전(Consumer Electronics) 시장에서는 비용 효율성과 대면적화가 최우선 가치이다. 이 영역에서는 실리콘 인터포저의 높은 제조 비용과 웨이퍼 크기 제한에 따른 수율 저하가 치명적인 약점으로 작용한다. 따라서 ABF(Ajinomoto Build-up Film) 기반의 Organic Interposer 또는 유기물 기반의 고성능 기판 기술을 채택하여, 성능 요구치를 충족하는 범위 내에서 단위당 원가를 최소화하고 대면적 패키징을 통한 생산성을 극대화하는 전략이 유효하다.

향후 기술 로드맵은 두 기술의 장점을 결합하거나 각자의 한계를 극복하는 방향으로 전개될 전망이다. Silicon의 비용 문제를 해결하기 위해 패널 레벨 패키징(PLP) 기술을 접목하거나, Organic의 미세화 한계를 극복하기 위해 유기물 층 사이에 미세 회로를 삽입하는 하이브리드 구조가 차세대 표준으로 부상할 가능성이 높다. 기업들은 단일 기술에 매몰되기보다, 제품의 생애 주기와 타겟 마켓의 마진 구조를 고려하여 Silicon의 고성능 라인업과 Organic의 고효율 라인업을 동시에 구축하는 투트랙(Two-Track) 전략을 수립해야 한다.

구분	AI 및 HPC (High-End)	Consumer 및 Mobile (Mainstream)
주요 요구사항	초미세 피치, 극대역폭(High Bandwidth), 저지연	비용 최적화, 대면적 생산성, 공급 안정성
최적 인터포저	**Silicon Interposer (TSV 기반)**	**Organic Interposer (ABF 기반)**
핵심 전략	미세 공정 한계 돌파 및 신호 무결성 확보	공정 단순화 및 단위 면적당 원가 절감
기술적 도전 과제	제조 비용 절감 및 열 방출 관리	미세 회로 구현 및 신호 간섭 제어