

차세대 패키징 기술 비교 분석: Silicon vs Organi

문서번호 CRSM-AI-2026-AUTO

작성일 2026-05-29

작성 CresseM AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

차세대 패키징 기술 비교 분석: Silicon vs Organic Interposer	3
개요 및 기술적 배경	3
Silicon Interposer: 기술적 메커니즘 및 장점	4
Organic Interposer: 기술적 메커니즘 및 장점	5
핵심 성능 지표(KPI) 비교 분석	6
공정 복잡도 및 제조 비용 구조	8
시장별 최적 적용 사례 (Use Case)	9
결론 및 기술 발전 전망	10

차세대 패키징 기술 비교 분석: Silicon vs Organic Interposer

HBM 및 2.5D/3D 패키징의 핵심 요소인 실리콘 인터포저와 유기물(Organic) 인터포저의 기술적 특성, 공정 차이 및 경제성을 비교 분석합니다. 고성능 컴퓨팅(HPC) 시장의 요구사항에 따른 최적의 인터포저 선택 전략을 제시합니다.

개요 및 기술적 배경

반도체 산업은 지난 수십 년간 무어의 법칙(Moore's Law)에 따라 트랜지스터의 집적도를 높이는 미세 공정(Scaling)을 통해 성능 향상을 도모해 왔다. 그러나 물리적 한계점에 도달함에 따라 단일 다이(Die)의 크기를 키우는 방식은 수율 저하와 비용 급증이라는 문제에 직면하게 되었다. 이에 따라 업계의 패러다임은 개별 칩의 성능 개선을 넘어, 여러 개의 칩을 하나의 패키지 내에 고밀도로 통합하여 시스템 전체의 성능을 극대화하는 '어드밴스드 패키징(Advanced Packaging)' 기술로 급격히 이동하고 있다. 특히 인공지능(AI), 고성능 컴퓨팅(HPC), 데이터 센터 시장의 폭발적인 성장으로 인해 프로세서(CPU/GPU)와 고대역폭 메모리(HBM) 사이의 데이터 전송 병목 현상을 해결하는 것이 핵심 과제로 부상하였다.

이러한 맥락에서 인터포저(Interposer)는 2.5D 및 3D 패키징 구조의 중추적인 역할을 수행하는 핵심 구성 요소로 정의된다. 인터포저는 서로 다른 피치(Pitch)를 가진 칩과 패키지 기판 사이에서 전기적 신호를 전달하는 중간 매개체 역할을 수행한다. 일반적으로 로직 칩과 메모리 칩은 매우 미세한 범프(Bump)를 통해 연결되지만, 하단의 패키지 기판(Substrate)은 상대적으로 거친 피치를 가지고 있다. 인터포저는 이 사이의 간극을 메우기 위해 미세 회로를 형성하며, 칩 간의 데이터 전송 경로를 최적화하여 대역폭을 확장하고 신호 지연을 최소화하는 기능을 담당한다.

현재 인터포저 기술은 크게 실리콘 기반의 기술과 유기물(Organic) 기반의 기술로 양분되어 발전하고 있다. 실리콘 인터포저는 반도체 제조 공정을 그대로 활용하여 극도로 높은 배선 밀도를 구현할 수 있다는 강점이 있으며, 이는 TSV(Through Silicon Via) 기술과 결합하여 2.5D 패키징의 표준으로 자리 잡았다. 반면, 유기물 인터포저는 기존의 PCB 또는 FC-BGA(Flip Chip Ball Grid Array) 제조 공정을 응용하여 대면적화가 용이하고 제조 비용이 상대적으로 저렴하다는 경제적 이점을 지닌다. 최근에는 AI 가속기와 같이 초거대 데이터 처리가 필요한 환경에서는 실리콘 인터포저의 고밀도 연결성이 요구되는 반면, 일반적인 고성능 컴퓨팅 환경에서는 비용 효율적인 유기물 인터포저의 채택 비중이 높아지는 추세이다.

아래 표는 인터포저 기술의 진화 단계와 그에 따른 패키징 구조의 변화를 요약한 것이다.

구분	전통적 패키징 (2D)	어드밴스드 패키징 (2.5D)	차세대 패키징 (3D/Hybrid)
주요 구조	Wire Bonding / Flip Chip	Interposer 기반 칩 배치	Die-to-Die Direct Bonding
연결 밀도	낮음 (Long Wire)	높음 (Micro Bump)	매우 높음 (Hybrid Bonding)
핵심 역할	전력 공급 및 신호 전달	칩 간 고속 데이터 통로 확보	초고속·저전력 수직 연결
주요 타겟	모바일, 가전, 저사양 MCU	AI 가속기, HPC, HBM 결합	초고성능 AI 모델, 서버용 CPU

결론적으로, 인터포저 기술의 발전은 단순히 칩을 연결하는 것을 넘어, 시스템의 전력 효율(Power Efficiency), 신호 무결성(Signal Integrity), 그리고 열 관리(Thermal Management)를 결정짓는 핵심적인 설계 변수로 작용하고 있다. 따라서 본 보고서에서는 실리콘과 유기물이라는 두 가지 상이한 기술적 경로가 각각의 물리적 특성과 공정 메커니즘을 통해 어떻게 차세대 반도체 시장의 요구사항을 충족시키고 있는지 심도 있게 분석하고자 한다. [출처:

TechInsights]

Silicon Interposer: 기술적 메커니즘 및 장점

실리콘 인터포저(Silicon Interposer)는 초미세 공정이 요구되는 고성능 컴퓨팅(HPC) 및 AI 가속기 시장에서 2.5D 패키징을 구현하는 핵심 기술로 자리 잡았다. 이 기술의 근간은 반도체 제조 공정에서 사용되는 실리콘 웨이퍼를 기반으로 하여, 칩과 칩 사이, 혹은 칩과 패키지 기판 사이에서 고밀도의 전기적 연결 통로를 제공하는 데 있다. 실리콘 인터포저는 단순히 물리적인 지지체 역할을 넘어, 서로 다른 다이(Die)들을 하나의 논리적 단위로 통합하는 미세 배선층(RDL, Redistribution Layer)과 수직 연결 통로인 TSV(Through Silicon Via)를 통해 데이터 전송 효율을 극대화한다. 특히 HBM(High Bandwidth Memory)과 GPU를 결합하는 구조에서 실리콘 인터포저는 초고대역폭 데이터 전송을 가능하게 하는 필수적인 매개체로 기능한다.

실리콘 인터포저의 핵심 기술적 메커니즘은 TSV(Through Silicon Via) 기술에 기반한다. TSV는 실리콘 웨이퍼의 두께 방향을 관통하는 전도성 통로를 형성하여, 상단의 칩과 하단의 패키지 기판 사이를 수직으로 연결한다. 기존의 Wire Bonding이나 Flip Chip 방식이 칩의 가장자리(Edge)를 통해서만 신호를 전달할 수 있었던 것과 달리, TSV를 활용한 실리콘 인터포저는 칩의 면적 전체를 활용하여 수천 개에서 수만 개의 입출력(I/O) 단자를 배치할 수 있게 한다. 이는 I/O 밀도를 비약적으로 상승시켜 데이터 병목 현상을 해결하는 결정적인 요인이 된다. TSV 공정은 Deep Reactive Ion Etching(DRIE)과 같은 정밀 식각 기술을 통해 실리콘 내부를 수직으로 파내고, 그 내부를 절연 물질과 구리(Cu)로 채우는 고도의 공정 제어력을 요구한다. 이러한 미세 공정 능력 덕분에 실리콘 인터포저는 수 마이크로미터(um) 단위의 미세 피치(Fine Pitch) 구현이 가능하다.

실리콘 인터포저가 갖는 가장 강력한 물리적 장점 중 하나는 열팽창계수(CTE, Coefficient of Thermal Expansion)의 일치성(Matching)이다. 반도체 칩의 주재료인 실리콘은 열에 의한 팽창과 수축 정도가 매우 낮으며, 인터포저 역시 동일한 실리콘 소재를 사용하기 때문에 칩과 인터포저 사이의 CTE 차이로 인한 열 응력(Thermal Stress) 문제가 거의 발생하지 않는다. 이는 고온의 동작 환경에서도 칩과 인터포저 사이의 범프(Bump) 연결부가 물리적으로 파손되거나 박리되는 현상을 방지한다. 반면, 유기물(Organic) 기반의 인터포저는 실리콘에 비해 CTE가 상대적으로 높아, 온도 변화에 따른 칩과의 팽창률 차이로 인해 대면적화될수록 구조적 안정성을 확보하기가 매우 까다롭다. 실리콘 인터포저는 이러한 재료적 동질성을 바탕으로 극도의 신뢰성을 요구하는 서버용 프로세서 및 AI 연산 장치에 최적화된 솔루션을 제공한다.

또한, 실리콘 인터포저는 기존의 반도체 전공정(Front-end) 인프라를 그대로 활용할 수 있다는 공정적 이점을 가진다. 포토공정(Photolithography), 식각(Etching), 증착(Deposition) 등 이미 검증된 웨이퍼 레벨의 미세 패턴 형성 기술을 사용하여 RDL(Redistribution Layer)을 형성할 수 있기 때문에, 유기물 기판에서는 불가능한 초미세 배선 간격을 구현할 수 있다. 이는 신호의 전송 경로를 단축시키고 기생 정전용량(Parasitic Capacitance)을 최소화하여 신호 무결성(Signal Integrity)을 높이는 결과로 이어진다. 특히 고주파(High-frequency) 대역에서 신호 손실을 줄이고 지연 시간(Latency)을 최소화해야 하는 차세대 데이터센터용 반도체 설계에서 실리콘 인터포저의 정밀한 배선 능력은 대체 불가능한 가치를 지닌다.

실리콘 인터포저의 기술적 특성을 요약하면 다음과 같다.

구분	실리콘 인터포저 (Silicon Interposer)	유기물 인터포저 (Organic Interposer)
주요 연결 기술	TSV (Through Silicon Via)	Microbump / Via in Substrate
배선 미세도 (Pitch)	초미세 피치 가능 (수 μm 단위)	상대적으로 거친 피치 (수십 μm 단위)

열팽창계수 (CTE)	칩(Si)과 거의 동일 (매우 안정적)	칩과 차이 발생 (열 응력 관리 필요)
I/O 밀도	매우 높음 (초고대역폭 구현 유리)	중간 수준 (대역폭 한계 존재)
신호 무결성	매우 우수 (기생 성분 최소화)	보통 (고주파 손실 가능성 존재)
제조 공정	Wafer-level 공정 (전공정 기술 활용)	Substrate-level 공정 (후공정/PCB 기술 활용)
주요 타겟 시장	AI 가속기, HPC, HBM 결합 제품	모바일, 소비자 가전, 일반 서버용 CPU

결론적으로 실리кон 인터포저는 TSV를 통한 수직 연결성과 실리кон 소재의 물리적 안정성을 결합하여, 현대 반도체 패키징이 직면한 '데이터 전송 병목 현상'과 '열 관리'라는 두 가지 난제를 동시에 해결하는 기술적 중추 역할을 수행한다. 비록 제조 비용 측면에서는 유기물 인터포저 대비 높은 단가를 형성하고 있으나, 성능 최우선주의를 지향하는 AI 및 고성능 컴퓨팅 시장에서는 그 압도적인 미세 연결성과 신뢰성을 바탕으로 표준적인 2.5D 패키징 솔루션으로 자리매김하고 있다. [출처: TSMC Co., Ltd.]

Organic Interposer: 기술적 메커니즘 및 장점

최근 반도체 패키징 기술이 초미세화 및 고집적화 단계로 진입함에 따라, 실리кон 인터포저(Silicon Interposer)가 가진 기술적 한계인 높은 제조 비용과 크기 제약을 극복하기 위한 대안으로 유기물 인터포저(Organic Interposer) 기술이 급부상하고 있다. 유기물 인터포저는 전통적인 FC-BGA(Flip Chip Ball Grid Array) 기술의 연장선상에서 발전하였으며, 주로 에폭시 수지(Epoxy Resin)와 같은 유기 고분자 재료를 기반으로 층상 구조를 형성하여 칩과 패키지 기판 사이의 전기적 연결을 매개하는 역할을 수행한다. 이 기술의 핵심 메커니즘은 다층 구조의 유기 절연층 사이에 미세한 구리(Cu) 배선을 형성하여 신호를 전달하는 것이며, 실리кон 인터포저가 TSV(Through Silicon Via)를 통해 수직 연결을 구현하는 것과 달리, 유기물 인터포저는 주로 Through Via(TGV 또는 Micro-via)를 통해 수직 관통 구조를 형성한다.

유기물 인터포저의 가장 강력한 기술적 강점은 대면적화(Large Area)가 용이하다는 점이다. 실리кон 인터포저는 웨이퍼(Wafer) 기반의 공정을 따르기 때문에 웨이퍼의 물리적 직경(보통 300mm)을 초과하는 크기를 구현하기가 매우 어렵고, 이는 곧 패키지 크기의 제약으로 이어진다. 반면, 유기물 인터포저는 PCB(Printed Circuit Board) 제조 공정과 유사한 패널(Panel) 기반 또는 대형 기판 제조 방식을 채택할 수 있어, AI 가속기나 고성능 컴퓨팅(HPC)용 프로세서에서 요구되는 초대형 패키지 구현에 매우 유리하다. 이는 단순히 크기를 키우는 것을 넘어, 더 많은 수의 I/O(Input/Output) 단자를 배치할 수 있게 함으로써 시스템 수준의 대역폭(Bandwidth)을 확장하는 핵심 동력이 된다.

또한, 유기물 인터포저는 경제적 측면에서 압도적인 비용 효율성을 제공한다. 실리кон 인터포저는 고가의 실리кон 웨이퍼를 소모하며, 미세한 패턴 형성을 위해 복잡한 포토공정(Photolithography)과 TSV 식각 및 충전 공정을 거쳐야 하므로 공정 단계가 매우 길고 수율 관리가 까다롭다. 그러나 유기물 인터포저는 이미 성숙된 FC-BGA 제조 인프라를 활용할 수 있으며, 상대적으로 저렴한 유기 절연 재료와 구리 배선 공정을 사용하기 때문에 단위 면적당 제조 단가가 실리кон 방식에 비해 현저히 낮다. 이러한 비용 구조의 이점은 고성능 연산 능력이 필요하면서도 대량 생산을 통해 단가를 낮추어야 하는 데이터센터용 프로세서나 고사양 서버 시장에서 유기물 인터포저 채택을 가속화하는 주요 요인이 되고 있다.

기술적 메커니즘 측면에서 유기물 인터포저는 신호 전달 경로의 최적화를 위해 미세 피치(Fine Pitch) 구현 기술을 지속적으로 발전시키고 있다. 과거에는 유기물 재료의 물리적 한계로 인해 실리кон만큼 미세한 배선 간격을 유지하기 어려웠으나, 최근에는 ABF(Ajinomoto Build-up Film)와 같은 고성능 빌드업 필름 기술의 발전과 미세 구리 도금

기술의 고도화를 통해 I/O 밀도를 비약적으로 높이고 있다. 이는 실리콘 인터포저의 고밀도 연결성과 유기물 인터포저의 대면적/저비용 특성 사이의 간극을 메우는 핵심적인 기술적 진보로 평가받는다. 유기물 인터포저의 주요 기술적 특징과 장점을 실리콘 인터포저와 비교하면 다음과 같다.

구분	Organic Interposer	Silicon Interposer
주요 재료	Epoxy Resin, ABF, Glass Fiber	Silicon Wafer
수직 연결 방식	Through Via (Micro-via)	TSV (Through Silicon Via)
최대 면적 구현	매우 높음 (Panel-level 가능)	제한적 (Wafer size 제약)
제조 비용	상대적으로 낮음 (Cost-effective)	매우 높음 (High-cost)
I/O 밀도	중간 ~ 높음 (기술 발전 중)	매우 높음 (Extreme density)
열팽창 계수(CTE) 매칭	칩(Si)과 차이가 커서 Warpage 관리 중요	칩(Si)과 유사하여 열 안정성 우수
주요 타겟 시장	서버, AI 가속기, 고성능 PC	HPC, 초고성능 AI 칩, HBM 결합형

다만, 유기물 인터포저가 해결해야 할 기술적 과제도 명확하다. 실리콘과 유기물 사이의 열팽창 계수(CTE) 차이로 인해 발생하는 워피지(Warpage, 휘어짐) 현상은 대면적 패키징에서 신뢰성을 저해하는 치명적인 요소이다. 칩이 동작하며 발생하는 열에 의해 기판이 휘어지면, 댄드(Bump) 접합부에 물리적 스트레스가 가해져 크랙이 발생하거나 전기적 연결이 끊어질 수 있다. 따라서 최신 유기물 인터포저 기술은 저열팽창 특성을 가진 특수 수지 개발과 다층 구조의 구조적 설계 최적화를 통해 이러한 열 기계적 신뢰성 문제를 극복하는 데 집중하고 있다 [출처: Yole Group]. 결론적으로 유기물 인터포저는 '대면적화'와 '비용 효율성'이라는 두 마리 토끼를 잡음으로써, 실리콘 인터포저가 담당하는 초고밀도 영역을 제외한 대부분의 고성능 컴퓨팅 시장에서 주도적인 역할을 수행할 것으로 전망된다. 특히 AI 모델의 거대화로 인해 단일 칩의 성능보다 여러 칩을 하나의 거대한 패키지로 묶는 시스템 인 패키지(SiP) 기술이 중요해짐에 따라, 대면적 기판 구현이 가능한 유기물 인터포저의 전략적 가치는 더욱 높아질 것이다.

핵심 성능 지표(KPI) 비교 분석

차세대 패키징 솔루션의 선택은 단순히 제조 비용의 문제를 넘어, 칩이 수행해야 하는 연산의 정밀도와 데이터 전송 속도, 그리고 물리적 한계를 극복하기 위한 열 설계 능력에 의해 결정된다. Silicon Interposer와 Organic Interposer는 각각 상이한 물리적 성질과 구조적 메커니즘을 가지고 있으며, 이는 전기적 특성(Electrical Performance), 신호 무결성(Signal Integrity), 열 관리(Thermal Management)라는 세 가지 핵심 성능 지표(KPI)에서 극명한 차이를 만들어낸다. 본 섹션에서는 고성능 컴퓨팅(HPC) 및 AI 가속기 시장의 요구 사항을 기준으로 두 기술의 정량적, 정성적 성능 차이를 심층 분석한다.

먼저 전기적 특성 및 연결 밀도(Interconnect Density) 측면에서 Silicon Interposer는 압도적인 우위를 점한다. 실리콘 인터포저는 반도체 전공정(Front-end) 기술인 TSV(Through Silicon Via)를 활용하여 수 마이크로미터(um) 단위의 미세 피치(Fine Pitch) 구현이 가능하다. 일반적으로 실리콘 인터포저의 Bump Pitch는 40um 이하, 심지어 Hybrid Bonding 기술과 결합될 경우 10um 미만의 초미세 연결이 가능하다. 이는 데이터 전송 통로인 I/O(Input/Output)의 밀도를 기하급수적으로 높여, 대역폭(Bandwidth)을 극대화하는 핵심 동력이 된다. 반면, Organic Interposer는 PCB(Printed Circuit Board) 제조 공정과 유사한 Substrate-level 공정을 따르기 때문에, 유기물의 물리적 유연성과 소재의 한계로 인해 미세 피치 구현에 제약이 따른다. 통상적으로 Organic 방식은 100um

이상의 피치를 유지해야 하며, 이는 실리콘 방식 대비 단위 면적당 데이터 전송 효율이 현저히 낮음을 의미한다. 따라서 초고속 연산이 필요한 HBM(High Bandwidth Memory)과 GPU의 결합에는 실리콘 인터포저가 필수적인 선택지로 작용한다.

신호 무결성(Signal Integrity, SI) 관점에서는 두 기술의 매질 특성이 상이한 결과를 초래한다. 신호 무결성은 신호의 왜곡, 감쇄(Attenuation), 그리고 크로스토크(Crosstalk)를 얼마나 효과적으로 억제하느냐에 달려 있다. 실리콘 인터포저는 실리콘 웨이퍼 자체의 높은 유전율(Dielectric Constant)과 TSV 구조로 인해 고주파 신호 전달 시 기생 커패시턴스(Parasitic Capacitance)가 발생할 위험이 있다. 그러나 미세한 배선 설계와 정밀한 임피던스 매칭을 통해 이를 제어할 수 있으며, 특히 칩과 인터포저 간의 거리를 극단적으로 줄임으로써 신호 경로의 길이를 최소화하여 지연 시간(Latency)을 줄이는 데 유리하다. 반대로 Organic Interposer는 저유전율(Low-k) 소재를 사용하여 신호 손실을 줄이려는 시도가 지속되고 있으나, 유기물 층의 두께가 실리콘에 비해 두껍고 기판 자체가 거시적인 규모를 가지기 때문에 신호의 비행 시간(Time of Flight)이 길어지고 고주파 대역에서의 신호 왜곡 가능성이 상대적으로 높다. 또한, 유기물 기판의 특성상 온도 변화에 따른 팽창 계수(CTE) 불일치가 발생할 경우, 미세 배선의 기계적 변형이 신호 경로의 임피던스 변화를 유도하여 SI를 저해할 수 있는 리스크가 존재한다.

열 관리(Thermal Management)는 AI 가속기와 같은 고전력 소자 패키징에서 가장 치명적인 KPI이다. 실리콘 인터포저는 칩(Die)과 동일한 소재인 실리콘을 사용하기 때문에 열팽창 계수(CTE)가 매우 유사하다. 이는 열 사이클(Thermal Cycling) 환경에서 구조적 안정성을 보장하며, 실리콘의 높은 열전도율(Thermal Conductivity)을 활용하여 칩에서 발생하는 열을 인터포저를 통해 효과적으로 분산시킬 수 있음을 의미한다. 반면, Organic Interposer는 유기물 소재 특성상 열전도율이 실리콘에 비해 현저히 낮다. 이는 칩 내부의 국소적 발열(Hotspot)을 외부로 배출하는 데 병목 현상을 일으키며, 열이 축적될 경우 소자의 성능 저하(Throttling)나 수명 단축을 초래할 수 있다. 따라서 유기물 기반 패키징에서는 열 방출을 위한 별도의 Thermal Via 설계나 고전도성 필러(Filler)가 포함된 EMC(Epoxy Molding Compound) 사용이 필수적이며, 이는 설계 복잡도를 높이는 요인이 된다.

아래 표는 앞서 논의한 세 가지 핵심 지표를 기준으로 실리콘 인터포저와 유기물 인터포저를 비교 요약한 결과이다.

성능 지표 (KPI)	Silicon Interposer	Organic Interposer	비고 (Impact)
연결 밀도 (Interconnect Density)	매우 높음 (Fine Pitch < 40um)	보통 (Coarse Pitch > 100um)	대역폭 및 I/O 수 결정
신호 무결성 (Signal Integrity)	우수 (짧은 경로, 저지연)	보통 (고주파 손실 리스크)	데이터 전송 정확도 및 속도
열 전도율 (Thermal Conductivity)	높음 (Si 소재 활용)	낮음 (유기물 소재 한계)	발열 제어 및 신뢰성
열팽창 계수 (CTE) 정합성	매우 우수 (Die와 동일)	낮음 (Die와 큰 차이 발생)	구조적 신뢰성 및 Warpage
기생 성분 (Parasitics)	커패시턴스 제어 필요	인덕턴스 및 손실 관리 필요	고주파 동작 특성

결론적으로, 실리콘 인터포저는 '성능 극대화'를 위한 기술적 솔루션이며, 유기물 인터포저는 '비용 효율성 및 대면적화'를 위한 경제적 솔루션으로 정의할 수 있다. AI 모델의 거대화로 인해 요구되는 데이터 처리량이 폭증함에 따라, 현재의 기술 로드맵은 실리콘 인터포저의 미세화와 더불어, 유기물 인터포저의 성능 한계를 극복하기 위한 하이브리드 구조 연구로 양분되어 진행되고 있다.

Interposer 기술 성능 비교 아키텍처



공정 복잡도 및 제조 비용 구조

실리콘 인터포저(Silicon Interposer)와 유기물 인터포저(Organic Interposer)는 제조 공정의 근간이 되는 기반 기술부터 판이하게 다르며, 이는 곧 공정 복잡도와 제조 원가 구조의 극명한 차이로 직결된다. 실리콘 인터포저는 반도체 전공정(Front-end) 기술인 웨이퍼 레벨(Wafer-level) 공정을 기반으로 하는 반면, 유기물 인터포저는 전통적인 패키지 기판 제조 방식인 기판 레벨(Substrate-level) 공정을 따른다. 이러한 공정적 차이는 단순히 제조 단계의 차이를 넘어, 수율(Yield) 관리 방식과 투입되는 설비 자본(CapEx), 그리고 최종 제품의 가격 결정 구조에 결정적인 영향을 미친다.

실리콘 인터포저의 제조 공정은 극도의 미세화를 요구하는 고난도 공정의 집약체이다. 가장 핵심적인 요소는 TSV(Through Silicon Via) 형성 공정이다. 웨이퍼 내부에 수천 개에서 수만 개의 미세 구멍을 뚫고 이를 구리(Cu)로 채우는 과정은 식각(Etching)과 증착(Deposition), 충전(Filling) 기술의 정밀도를 극한까지 요구한다. 또한, 인터포저 상단의 RDL(Redistribution Layer) 형성 과정에서도 반도체 노광 공정(Photolithography)이 사용되는데, 이는 미세 피치(Fine Pitch) 구현을 가능하게 하지만 동시에 공정 스텝 수를 기하급수적으로 증가시킨다. 이러한 웨이퍼 레벨 공정은 고가의 노광 장비와 식각 장비를 필요로 하며, 웨이퍼 한 장당 처리할 수 있는 면적의 한계로 인해 단위 면적당 제조 비용이 매우 높게 형성된다. 특히, TSV 공정 중 발생할 수 있는 미세 결함이나 웨이퍼 휨(Warping) 현상은 전체 수율을 급격히 저하시키는 주요 원인이 되며, 이는 곧 제조 원가의 상승으로 이어진다. [출처: Yole Group]

반면, 유기물 인터포저는 PCB(Printed Circuit Board) 제조 기술을 응용한 기판 레벨 공정을 활용한다. 주로 ABF(Ajinomoto Build-up Film)와 같은 절연 필름을 적층하고, 레이저 드릴링(Laser Drilling)을 통해 비아(Via)를 형성하는 방식이 주를 이룬다. 실리콘 인터포저가 나노미터(nm)에서 마이크로미터(um) 단위의 초미세 공정에 집중한다면, 유기물 인터포저는 상대적으로 넓은 피치와 대면적화에 최적화된 공정을 채택한다. 이는 공정 단계가 실리콘 방식에 비해 단순하며, 범용적인 기판 제조 설비를 활용할 수 있어 초기 설비 투자비와 공정 운영 비용 면에서 압도적인 우위를 점한다. 또한, 유기물 소재의 특성상 대면적 패키징이 용이하여, 웨이퍼 크기에 제한을 받는 실리콘 인터포저와 달리 대형 칩렛(Chiplet) 구성을 위한 거대한 인터포저를 비교적 저렴한 비용으로 생산할 수 있다는 경제적 강점이 있다.

두 기술의 경제성 및 공정 특성을 구체적으로 비교하면 다음과 같다.

비교 항목	Silicon Interposer	Organic Interposer
주요 공정 기반	Wafer-level (Front-end 기반)	Substrate-level (Back-end 기반)

핵심 기술 요소	TSV, Fine-pitch RDL, Photolithography	Laser Via, ABF Build-up, Lamination
미세 피치 구현력	매우 높음 (Sub-10um 가능)	상대적으로 낮음 (수십 um 단위)
대면적화 용이성	낮음 (Wafer Size 제약)	매우 높음 (Panel/Large Substrate)
제조 비용(Cost)	매우 높음 (고가 장비 및 복잡 공정)	상대적으로 낮음 (범용 공정 활용)
수율 관리 변수	TSV 결함, Wafer Warpage, RDL 단선	Dielectric Layer 균일도, Lamination 불량
주요 타겟 단가	High-end (AI, HPC 가속기 등)	Mid-to-High (Consumer, Mobile 등)

결과적으로 제조 비용 구조 측면에서 실리콘 인터포저는 '고비용-고성능'의 특성을 보이며, 성능 극대화가 최우선인 AI 가속기나 초고성능 컴퓨팅(HPC) 시장에 국한되어 적용된다. 반면 유기물 인터포저는 '저비용-적정성능'의 구조를 지니며, 대면적화가 필요하면서도 가격 경쟁력이 중요한 모바일 프로세서나 고성능 소비자 가전용 패키징 시장에서 강력한 경제적 이점을 가진다. 최근에는 실리콘의 미세 연결성과 유기물의 비용 효율성을 동시에 잡기 위한 하이브리드 형태의 공정 연구가 진행되고 있으나, 현재까지의 제조 패러다임은 성능 요구치에 따른 명확한 비용-효율 분리 구간을 형성하고 있다. [출처: TechInsights]

시장별 최적 적용 사례 (Use Case)

실리콘 인터포저(Silicon Interposer)와 유기물 인터포저(Organic Interposer)는 각각의 물리적 특성과 공정 한계로 인해 서로 다른 성능 요구사항을 가진 시장을 타겟으로 삼고 있다. 실리콘 인터포저는 초미세 피치(Fine Pitch) 구현과 고대역폭 데이터 전송이 필수적인 하이엔드 컴퓨팅 영역에 집중되어 있으며, 유기물 인터포저는 비용 효율성과 대면적 패키징이 중요한 범용 컴퓨팅 및 소비자 가전 시장의 주류를 형성하고 있다. 기술적 우위가 아닌 '애플리케이션의 요구 조건'에 따른 시장 분화가 뚜렷하게 나타나는 양상이다.

가장 핵심적인 적용처는 AI 가속기(AI Accelerator) 및 고성능 컴퓨팅(HPC) 시장이다. 생성형 AI 모델의 거대화 로 인해 연산 장치(GPU/NPU)와 고대역폭 메모리(HBM) 사이의 데이터 병목 현상을 해결하는 것이 산업의 최우선 과제가 되었다. 이 영역에서는 수천 개의 I/O를 초고속으로 연결해야 하므로, TSV(Through Silicon Via) 기술을 통해 극도로 높은 배선 밀도를 제공할 수 있는 실리콘 인터포저가 필수적으로 채택된다. 특히 HBM3 및 HBM3E와 같은 차세대 메모리 규격이 적용되는 AI 서버용 프로세서의 경우, 실리콘 인터포저를 기반으로 한 2.5D 패키징(CoWoS 등)이 표준 기술로 자리 잡았다. 이 시장은 단가보다는 성능(Performance)과 대역폭(Bandwidth)이 구매 결정의 절대적인 기준이 되기 때문에, 고가의 실리콘 인터포저 공정 비용을 충분히 수용할 수 있는 경제적 구조를 갖추고 있다.

반면, 모바일 SoC(System on Chip) 및 소비자 가전 시장은 실리콘 인터포저의 고비용 구조와 두께 문제를 해결하기 위해 유기물 기반의 기술을 선호한다. 모바일 기기는 제한된 내부 공간 내에서 전력 효율성과 슬림한 디자인을 유지해야 하며, 대량 생산을 통한 원가 절감이 생존과 직결된다. 따라서 수백만 개의 미세 배선보다는 적절한 수준의 신호 무결성을 유지하면서도 대면적화가 용이하고 단가가 낮은 유기물 인터포저 또는 FC-BGA(Flip Chip Ball Grid Array) 기술이 주로 사용된다. 최근에는 모바일 AP의 성능이 상향 평준화되면서 유기물 기반에서도 고밀도 배선을 구현하려는 시도가 이어지고 있으나, 여전히 초고성능 AI 연산 영역과는 기술적 궤를 달리한다.

다음은 주요 타겟 시장별 기술 매칭 요약 비교입니다.

구분	AI 가속기 / HPC	모바일 SoC / 웨어러블	소비자 가전 / PC	차량용 반도체
----	--------------	----------------	-------------	---------

주요 요구사항	초고대역폭, 초미세 피치, 저지연	소형화, 저전력, 원가 경쟁력	범용 성능, 대량 생산, 가성비	신뢰성, 열 관리, 장기 안정성
최적 기술	Silicon Interposer	Organic Interposer	Organic Interposer	Hybrid / Organic
핵심 결합 요소	GPU + HBM (2.5D)	AP + LPDDR (Mobile Package)	CPU/GPU + DDR (Standard)	ADAS + Sensor (Reliability)
기술적 병목	열 방출 및 공정 비용	배선 밀도 한계	신호 간섭(Crosstalk)	열팽창계수(CTE) 불일치

최근에는 자율주행차를 위한 차량용 반도체 시장이 새로운 격전지로 부상하고 있다. 차량용 반도체는 AI 가속기 수준의 연산 능력을 요구하면서도, 동시에 극한의 온도 변화와 진동을 견뎌야 하는 '신뢰성(Reliability)'이 최우선이다. 실리콘 인터포저는 열팽창계수(CTE)가 실리콘 칩과 유사하여 열적 안정성은 뛰어나지만 비용이 높고, 유기물은 비용은 낮으나 열적 변형에 취약할 수 있다는 트레이드오프(Trade-off)가 존재한다. 이에 따라 차량용 시장에서는 유기물 인터포저의 신뢰성을 강화하거나, 실리콘 인터포저의 비용을 낮추는 하이브리드 형태의 접근법이 활발히 연구되고 있다. 결과적으로 시장은 '성능 극대화'를 지향하는 실리콘 중심의 초고성능 시장과 '경제성 및 확장성'을 지향하는 유기물 중심의 대중 시장으로 양분되어 발전하고 있다 [출처: Yole Group]

결론 및 기술 발전 전망

현재 반도체 패키징 시장은 실리콘 인터포저(Silicon Interposer)의 초고밀도 연결성과 유기물 인터포저(Organic Interposer)의 대면적·저비용 특성이 각자의 영역에서 공존하며 상호 보완적인 발전을 거듭하고 있다. 실리콘 기반 기술은 TSV(Through Silicon Via)를 통해 초미세 피치(Fine Pitch) 구현이 필수적인 고성능 컴퓨팅(HPC) 및 AI 가속기 시장을 주도하고 있으며, 유기물 기반 기술은 FC-BGA 공정을 고도화하여 서버 및 고성능 컴퓨팅용 대면적 패키지의 비용 효율성을 극대화하는 방향으로 진화하고 있다. 기술적 임계점에 도달한 두 기술은 향후 단일 인터포저의 성능 개선을 넘어, 서로 다른 이종 집적(Heterogeneous Integration) 기술과의 결합을 통해 새로운 패러다임을 형성할 것으로 전망된다.

향후 기술 로드맵의 핵심 변수는 기존의 범프(Bump) 기반 연결 방식을 탈피한 하이브리드 본딩(Hybrid Bonding) 기술의 상용화 여부이다. 하이브리드 본딩은 구리(Cu) 패드와 절연막을 직접 접합하는 방식으로, 기존 솔더 범프가 가진 물리적 크기 제한을 극복하여 I/O 밀도를 비약적으로 높일 수 있는 게임 체인저로 주목받고 있다. 실리콘 인터포저 기반의 기술은 하이브리드 본딩과 결합하여 칩 간 간격을 극한으로 줄임으로써 데이터 전송 속도를 높이고 전력 소모를 최소화하는 방향으로 발전할 것이며, 이는 차세대 3D IC 구조의 핵심 동력이 될 것이다.

결과적으로 미래의 패키징 기술은 '초고밀도(Ultra-high Density)'와 '초대면적(Ultra-large Area)'이라는 두 가지 축을 중심으로 분화 및 통합될 것이다. AI 연산의 폭증으로 인해 데이터 병목 현상을 해결하기 위한 실리콘 기반의 하이브리드 본딩 기술은 최상위 계층(Tier-1)의 연산 유닛에 집중될 것이며, 동시에 시스템의 확장성을 보장하기 위한 유기물 기반의 대면적 인터포저 기술은 시스템 인 패키지(SiP) 및 칩렛(Chiplet) 구조의 기반 플랫폼으로서 그 중요성이 더욱 증대될 것이다. 제조사들은 공정 미세화에 따른 수율 저하와 비용 상승 문제를 해결하기 위해, 애플리케이션의 요구 성능에 최적화된 인터포저 솔루션을 선택적으로 적용하는 하이브리드 전략을 채택해야 할 것이다. [출처: Yole Group]