



# 차세대 패키징 기술 비교 분석: Silicon vs Organi

문서번호 CRSM-AI-2026-AUTO

작성일 2026-05-29

작성 CresseM AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

# 목 차

---

차세대 패키징 기술 비교 분석: Silicon vs Organic Interposer	3
개요 및 기술적 배경 . . . . .	3
Silicon Interposer 기술 분석 . . . . .	3
Organic Interposer 기술 분석 . . . . .	5
핵심 성능 지표(KPI) 비교 . . . . .	6
공정 및 제조 경제성 비교 . . . . .	7
기술적 한계 및 해결 과제 . . . . .	8
애플리케이션별 최적 솔루션 제안 . . . . .	10
결론 및 향후 기술 전망 . . . . .	11

## 차세대 패키징 기술 비교 분석: Silicon vs Organic Interposer

HBM 및 2.5D/3D 패키징의 핵심 요소인 실리콘 인터포저와 유기물(Organic) 인터포저의 기술적 특성, 경제성, 물리적 한계를 심층 비교합니다. 공정 미세화에 따른 기술적 전환점과 향후 시장 전망을 제시합니다.

### 개요 및 기술적 배경

반도체 산업이 미세 공정의 물리적 한계인 '무어의 법칙(Moore's Law)'의 둔화 단계에 진입함에 따라, 성능 향상을 위한 패러다임이 단일 칩의 집적도 개선에서 여러 개의 칩을 효율적으로 연결하는 '시스템 수준의 패키징(System-level Packaging)'으로 급격히 전환되고 있다. 특히 인공지능(AI), 고성능 컴퓨팅(HPC), 자율주행 시스템과 같이 방대한 데이터를 초고속으로 처리해야 하는 애플리케이션이 급증하면서, 서로 다른 기능을 가진 다수의 칩(Die)을 하나의 패키지 내에 통합하는 2.5D 및 3D 패키징 기술이 차세대 반도체 경쟁력의 핵심 요소로 부상하였다. 이러한 고집적 패키징 구조를 구현하기 위해서는 칩과 칩 사이, 혹은 칩과 기판 사이에서 전기적 신호를 전달하고 물리적 지지체 역할을 수행하는 '인터포저(Interposer)' 기술의 확보가 필수적이다.

인터포저는 기존의 패키지 기판(Package Substrate)과 반도체 칩(Die) 사이의 중간 계층(Intermediate Layer)으로서, 미세한 피치(Pitch)를 가진 칩의 입출력 단자(I/O)를 상대적으로 피치가 큰 패키지 기판에 연결해주는 가교 역할을 수행한다. 과거에는 단순히 신호 전달의 통로에 불과했으나, 현재의 첨단 패키징 환경에서는 인터포저가 단순한 연결체를 넘어 데이터 전송 대역폭(Bandwidth), 전력 효율(Power Efficiency), 그리고 열 방출(Thermal Management) 성능을 결정짓는 핵심적인 성능 지표로 작용하고 있다. 특히 HBM(High Bandwidth Memory)과 GPU를 결합하는 2.5D 구조에서는 인터포저의 배선 밀도와 신호 무결성(Signal Integrity)이 전체 시스템의 연산 속도를 좌우하는 결정적 변수가 된다.

현재 인터포저 기술 시장은 구현하고자 하는 성능 목표와 경제적 타당성에 따라 크게 두 가지 기술적 경로로 양분되어 발전하고 있다. 하나는 실리콘 웨이퍼를 기반으로 TSV(Through Silicon Via) 기술을 활용하여 극미세 배선을 구현하는 'Silicon Interposer' 방식이며, 다른 하나는 유기물 소재와 RDL(Redistribution Layer) 공정을 통해 비용 효율성을 극대화한 'Organic Interposer' 방식이다. Silicon Interposer는 압도적인 미세 피치 구현 능력을 바탕으로 하이엔드 AI 가속기 시장을 주도하고 있으나, 높은 제조 비용과 웨이퍼 크기의 제약이라는 과제를 안고 있다. 반면, Organic Interposer는 대면적화와 저비용 공정이 가능하다는 강점이 있으나, 미세 배선 구현의 한계와 열팽창 계수(CTE) 불일치에 따른 신뢰성 확보가 주요 쟁점이다.

본 보고서에서는 이러한 기술적 변곡점에서 각 인터포저 기술이 가진 구조적 특성과 물리적 메커니즘을 심도 있게 분석하고자 한다. Silicon Interposer의 미세 피치 구현 원리부터 Organic Interposer의 구조적 특징, 그리고 두 기술 간의 전기적·열적·경제적 성능 차이를 정량적으로 비교함으로써, 향후 급변하는 반도체 시장 환경에서 애플리케이션별 최적의 패키징 솔루션을 도출하기 위한 기술적 가이드라인을 제시하는 데 목적이 있다. [출처: Yole Group]

### Silicon Interposer 기술 분석

실리콘 인터포저(Silicon Interposer)는 초미세 피치(Fine Pitch) 구현과 고대역폭 데이터 전송이 필수적인 고성능 컴퓨팅(HPC) 및 AI 가속기 시장의 핵심 기술로 자리 잡았다. 이 기술의 핵심은 반도체 제조 공정인 CMOS(Complementary Metal-Oxide-Semiconductor) 공정을 인터포저 제작에 그대로 활용할 수 있다는 점에 있다. 기존의 유기물 기판이 가진 물리적 한계를 극복하기 위해 실리콘 웨이퍼 내부에 수직 관통 전극인 TSV(Through Silicon Via)를 형성함으로써, 상단의 칩(Die)과 하단의 패키지 기판 사이를 전기적으로 연결하는 초고밀도 배선 통로를 제공한다. 이는 단순히 칩을 연결하는 중간 매개체를 넘어, 시스템 전체의 신호 무결성(Signal

Integrity)과 전력 효율을 결정짓는 중추적인 역할을 수행한다.

실리콘 인터포저의 가장 강력한 기술적 이점은 미세 피치(Fine Pitch) 구현 능력이다. 일반적인 유기물 기반 패키징 기술은 미세 회로를 형성하는 데 있어 해상도(Resolution)의 한계로 인해 수십 마이크로미터(um) 수준의 피치에 머무는 경우가 많다. 반면, 실리콘 인터포저는 포토레지스트와 식각(Etching) 공정을 기반으로 하는 반도체 노광 기술을 사용하므로, 수 마이크로미터(um) 이하의 매우 좁은 간격으로 배선을 배치할 수 있다. 이러한 미세 배선 기술은 I/O(Input/Output) 밀도를 극단적으로 높여, HBM(High Bandwidth Memory)과 같은 고성능 메모리 솔루션이 요구하는 방대한 데이터 대역폭을 충족시키는 유일한 대안으로 평가받는다. 특히 TSV의 직경을 최소화하고 피치를 조밀하게 설계함으로써 데이터 전송 경로의 길이를 단축하고, 이에 따른 기생 커패시턴스(Parasitic Capacitance)와 인덕턴스(Inductance)를 획기적으로 줄여 신호 지연(Latency)을 최소화할 수 있다.

물리적 안정성 측면에서 실리콘 인터포저는 열팽창계수(CTE, Coefficient of Thermal Expansion) 매칭(Matching)이라는 결정적인 강점을 보유한다. 반도체 칩의 주 재료인 실리콘과 인터포저의 재료가 동일하기 때문에, 동작 중 발생하는 열로 인한 칩과 인터포저 사이의 열팽창 차이가 거의 발생하지 않는다. 이는 패키징 공정 중 혹은 실제 구동 환경에서 발생하는 열 사이클(Thermal Cycling)에 의한 기계적 응력(Stress)을 최소화하며, 결과적으로 범프(Bump)의 피로 파괴나 인터커넥트의 박리(Delamination) 현상을 방지한다. 유기물 기판의 경우 실리콘 칩과 CTE 차이가 커서 대면적화될수록 휨(Warping) 현상이 심화되는 고질적인 문제가 있으나, 실리콘 인터포저는 이러한 물리적 불일치 문제를 구조적으로 해결하여 대규모 칩렛(Chiplet) 적층 구조에서도 높은 신뢰성을 보장한다.

기술적 구현 방식에 따른 실리콘 인터포저의 세부 구성 요소는 다음과 같은 특성을 가진다.

구성 요소	주요 기능 및 특징	기술적 중요도
TSV (Through Silicon Via)	실리콘 웨이퍼를 수직으로 관통하여 상하부 칩을 연결하는 전극	고속 데이터 전송 및 수직 I/O 밀도 결정
RDL (Redistribution Layer)	인터포저 표면에서 미세한 칩 패드와 TSV를 연결하는 재배선층	신호 경로 최적화 및 배선 밀도 제어
Micro Bump	칩과 인터포저 사이의 전기적 접점을 형성하는 초미세 솔더 볼	피치 축소 및 접촉 저항 최소화
Passivation Layer	회로를 보호하고 절연 특성을 유지하는 보호막	신뢰성 및 전기적 절연 확보

실리콘 인터포저 공정은 크게 웨이퍼 레벨의 미세 공정과 패키지 레벨의 조립 공정으로 구분된다. 먼저, 고순도 실리콘 웨이퍼 상에 TSV를 형성하기 위해 Deep Reactive Ion Etching(DRIE)과 같은 고정밀 식각 공정이 사용된다. 식각된 홈 내부에는 절연막이 증착된 후 구리(Cu)와 같은 도전 물질이 전해 도금(Electroplating) 방식으로 채워지며, 이후 CMP(Chemical Mechanical Polishing) 공정을 통해 표면을 평탄화한다. 이후 인터포저 표면에 RDL을 형성하기 위해 미세 패턴 형성 공정이 진행되는데, 이 과정에서 사용되는 금속 배선 기술은 최첨단 파운드리 공정과 유사한 정밀도를 요구한다. 이러한 공정의 복잡성은 제조 단가를 상승시키는 요인이 되지만, 구현 가능한 성능의 상한선이 매우 높다는 점에서 대체 불가능한 가치를 지닌다.

결론적으로 실리콘 인터포저는 TSV를 통한 수직적 연결성, CMOS 공정을 활용한 초미세 배선 구현, 그리고 칩과의 완벽한 CTE 매칭을 통해 차세대 고성능 반도체 패키징의 표준 모델을 제시하고 있다. 비록 제조 비용이 높고 웨이퍼 크기의 제약이라는 한계가 존재하지만, 데이터 처리량이 기하급수적으로 증가하는 AI 컴퓨팅 및 데이터 센터용 프로세서 시장에서는 성능 극대화를 위해 반드시 채택되어야 하는 핵심 기술이다. 향후 기술 발전 방향은 TSV의

크기를 더욱 줄이고, RDL의 층수를 높이며, 나아가 하이브리드 본딩(Hybrid Bonding) 기술과 결합하여 인터페이스 간의 간극을 완전히 없애는 방향으로 전개될 것이다. [출처: Yole Group]

### Organic Interposer 기술 분석

Organic Interposer 기술은 기존의 실리콘 기반 인터포저가 가진 높은 제조 비용과 물리적 크기 제한을 극복하기 위해 등장한 차세대 패키징 솔루션이다. 이 기술의 핵심은 실리콘 웨이퍼 대신 유기 절연체(Dielectric)와 구리(Cu) 배선을 활용하여 재배선층(RDL, Redistribution Layer)을 형성하는 것이다. 흔히 'Substrate-like Interposer'라고도 불리는 이 방식은 기존의 PCB(Printed Circuit Board)나 패키지 기판 제조 공정과 유사한 메커니즘을 따르기 때문에, 반도체 전공정 기술에 의존하는 실리콘 인터포저와 달리 기판 제조 기술의 성숙도를 직접적으로 활용할 수 있다는 점이 가장 큰 특징이다.

구조적 측면에서 Organic Interposer는 ABF(Ajinomoto Build-up Film)와 같은 고성능 유기 절연 필름을 적층하고, 그 사이에 미세한 구리 회로를 형성하는 Build-up 공정을 기반으로 한다. 실리콘 인터포저가 TSV(Through Silicon Via)를 통해 수직 연결을 구현하는 것과 달리, Organic Interposer는 TGV(Through Glass Via) 기술의 변형이나, 혹은 기판 관통 홀(Through-hole)을 활용한 Via 구조를 사용한다. 최근에는 미세 피치(Fine Pitch) 구현을 위해 RDL 층을 다층으로 쌓아 올리는 기술이 고도화되고 있으며, 이를 통해 칩과 칩 사이, 혹은 칩과 기판 사이의 전기적 연결 경로를 최적화한다. 특히 유기물의 낮은 탄성 계수와 유연성을 활용하여 열팽창 계수(CTE) 불일치 문제를 완화하려는 시도가 지속되고 있다.

비용 효율성 관점에서 Organic Interposer는 압도적인 우위를 점한다. 실리콘 인터포저는 고가의 실리콘 웨이퍼를 사용해야 하며, TSV 형성 공정, 웨이퍼 박막화(Thinning), CMP(Chemical Mechanical Polishing) 등 매우 정밀하고 고비용인 전공정 장비들이 필수적으로 요구된다. 반면, Organic 방식은 기존 기판 산업의 대면적 노광 및 에칭 공정을 활용할 수 있어 웨이퍼 크기에 구애받지 않고 대면적 인터포저를 생산할 수 있다. 이는 AI 가속기나 고성능 컴퓨팅(HPC)용 칩셋처럼 인터포저의 면적이 점점 커지는 추세에서 생산 단가를 획기적으로 낮출 수 있는 핵심 요인이 된다.

구분	Silicon Interposer (TSV 기반)	Organic Interposer (RDL 기반)
주요 재료	Monocrystalline Silicon	Organic Dielectric (ABF 등), Cu
연결 기술	TSV (Through Silicon Via)	RDL (Redistribution Layer), Via
미세 피치 구현	매우 우수 (수 m 단위 가능)	보통 (Sub-10 m 도전 중)
제조 비용	매우 높음 (Wafer 기반)	상대적으로 낮음 (Substrate 기반)
최대 면적	웨이퍼 크기 제한 (Reticle Limit)	대면적 구현 용이 (Panel/Large Substrate)
열팽창 계수(CTE)	칩과 유사 (약 2.6 ppm/°C)	칩과 차이 큼 (약 10~20 ppm/°C)

Organic Interposer 기술의 핵심 경쟁력은 'Scalability(확장성)'에 있다. 실리콘 인터포저는 Reticle Limit(노광 장비의 해상도 한계로 인한 한 번에 찍을 수 있는 면적 제한) 문제로 인해 인터포저의 크기를 무한정 키우기 어렵다. 하지만 유기물 기반 인터포저는 패널 레벨(Panel Level) 공정을 적용할 수 있어, 수십 센티미터 단위의 거대 인터포저를 단일 공정으로 제작할 수 있다. 이는 다수의 칩을 하나의 인터포저 위에 배치하는 'Chiplet' 구조가 확산됨에 따라, 더 많은 I/O(Input/Output) 단자를 확보해야 하는 시장의 요구를 충족시키는 결정적인 요소가 된다.

그러나 기술적 난제 또한 존재한다. 가장 큰 과제는 실리콘 인터포저 수준의 미세 피치를 구현하는 것이다. 유기물은 실리콘에 비해 물리적 강도가 낮고 표면 평탄도를 유지하기가 어렵기 때문에, RDL의 선폭(Line width)과 간격(Space)을 극도로 줄이는 과정에서 회로의 단락(Short)이나 단선(Open) 위험이 높아진다. 또한, 실리콘과 유기물 간의 열팽창 계수(CTE) 차이로 인해 온도 변화 시 발생하는 Warpage(휘어짐) 현상은 패키지의 신뢰성을 저해하는 주요 원인이 된다. 이를 해결하기 위해 유기 재료의 물성을 개선하거나, 하이브리드 구조(Silicon + Organic)를 채택하는 등의 연구가 활발히 진행되고 있다.

결론적으로 Organic Interposer는 고성능(High-end) 영역에서는 실리콘 인터포저의 미세 피치 성능을 추격하고, 범용(Mainstream) 영역에서는 비용 절감을 통해 시장 점유율을 확대하는 투트랙 전략의 핵심 기술이다. RDL 공정의 정밀도를 높이고 유기 재료의 열적/기계적 안정성을 확보한다면, 차세대 AI 및 데이터센터용 반도체 시장에서 실리콘 인터포저의 강력한 대안이자 보완재로서 그 역할이 더욱 커질 것으로 전망된다. [출처: Yole Group]

## 핵심 성능 지표(KPI) 비교

차세대 패키징 솔루션의 성패를 결정짓는 인터포저 기술의 선택은 단순히 비용의 문제를 넘어, 시스템의 전체적인 신뢰성과 성능을 규정하는 핵심적인 물리적 변수들을 포함한다. Silicon Interposer와 Organic Interposer는 각각의 소재적 특성에 따라 전기적 신호 무결성(Signal Integrity), 열 관리 능력(Thermal Management), 그리고 물리적 구조 안정성(Mechanical Stability) 측면에서 극명한 성능 차이를 나타낸다. 본 섹션에서는 고성능 컴퓨팅(HPC) 및 AI 가속기 설계 시 고려해야 할 3가지 핵심 성능 지표(KPI)를 중심으로 두 기술의 정량적, 정성적 특성을 심층 비교 분석한다.

첫 번째 핵심 지표인 전기적 특성(Electrical Performance) 측면에서, Silicon Interposer는 초미세 피치(Fine Pitch) 구현을 통한 압도적인 신호 무결성을 제공한다. Silicon Interposer는 반도체 전공정(Front-end) 기술을 그대로 활용하여 TSV(Through Silicon Via)를 형성하므로, 수 마이크로미터( $\mu\text{m}$ ) 단위의 미세한 배선 간격과 피치를 구현할 수 있다. 이는 데이터 전송 경로의 길이를 최소화하고, 배선 간의 기생 커패시턴스(Parasitic Capacitance)와 인덕턴스(Inductance)를 획기적으로 낮추어 고주파 대역에서의 신호 손실을 방지한다. 특히 HBM(High Bandwidth Memory)과 GPU 간의 초고속 데이터 인터페이스 구현 시, Silicon Interposer는 매우 낮은 RC Delay를 보장하며, 이는 곧 시스템의 대역폭(Bandwidth) 극대화로 이어진다. 반면, Organic Interposer는 RDL(Redistribution Layer) 공정을 기반으로 하기에 배선 간격이 상대적으로 넓어(Pitch  $>$  10 $\mu\text{m}$  수준), 고주파 신호 전달 시 임피던스 불일치(Impedance Mismatch) 및 신호 왜곡(Crosstalk) 현상이 발생할 가능성이 높다. 하지만 최근 유기물 소재의 유전율(Dielectric Constant) 개선과 다층 RDL 기술의 발달로 인해 중저속 대역에서의 전기적 특성은 점진적으로 개선되는 추세이다.

두 번째 지표인 열 관리(Thermal Management) 측면에서는 소재의 열전도율(Thermal Conductivity) 차이가 결정적인 변수로 작용한다. Silicon은 본질적으로 우수한 열전도성을 가진 소재로, 칩에서 발생하는 고밀도의 열(Heat Flux)을 인터포저를 통해 하부 기판이나 히트싱크로 효율적으로 분산시키는 역할을 수행한다. 특히 TSV가 실리콘 내부를 관통하며 수직적인 열 경로(Thermal Path)를 제공하기 때문에, AI 가속기와 같이 칩의 발열량이 극심한 환경에서 핫스팟(Hotspot)을 제어하는 데 매우 유리하다. 반면, Organic Interposer의 주성분인 폴리머(Polymer) 소재는 실리콘에 비해 열전도율이 현저히 낮다. 이는 칩의 열이 인터포저 내부에서 정체되는 현상을 초래할 수 있으며, 결과적으로 칩의 동작 온도 상승과 성능 저하(Thermal Throttling)를 유발할 위험이 있다. 따라서 Organic Interposer를 채택할 경우, 열 방출을 위한 별도의 Thermal Via 설계나 고품열 유기물 소재의 도입이 필수적으로 요구된다.

세 번째 지표는 물리적 안정성(Mechanical Stability) 및 신뢰성이다. 이는 패키징 공정 중 발생하는 워피지(Warpage, 휘어짐) 현상과 직결된다. Silicon Interposer는 칩(Die)과 동일한 열팽창계수(CTE, Coefficient of Thermal Expansion)를 가지기 때문에, 온도 변화에 따른 칩과 인터포저 사이의 열팽창 차이로 인한

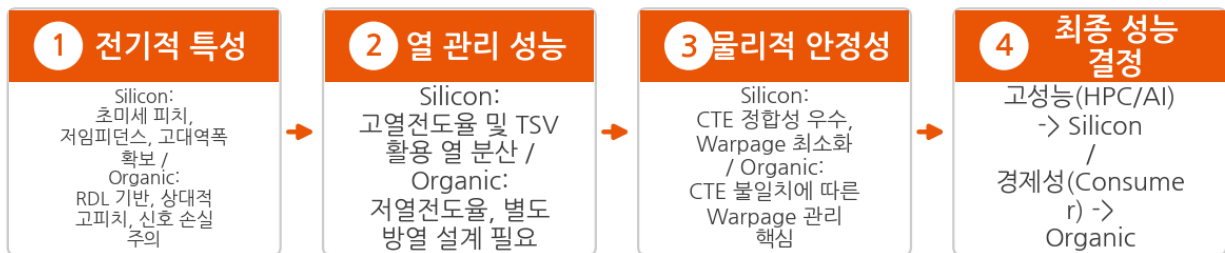
응력(Stress)이 매우 낮다. 이는 대면적 패키징 시에도 구조적 안정성을 유지하며, 범프(Bump) 접합부의 피로 파괴를 방지하는 데 결정적인 이점을 제공한다. 그러나 Organic Interposer는 실리콘 칩과 유기물 기판 사이의 CTE 불일치(CTE Mismatch)가 매우 크다. 고온의 리플로우(Reflow) 공정이나 급격한 온도 변화 환경에서 인터포저가 휘어지는 워피지 현상이 심화될 수 있으며, 이는 칩의 접합 불량, 미세 회로의 크랙(Crack), 혹은 솔더 조인트(Solder Joint)의 탈락과 같은 치명적인 신뢰성 문제를 야기한다. 이를 극복하기 위해 Organic 기술에서는 CTE를 조절한 특수 수지(Resin) 사용 및 구조적 보강 설계가 핵심 과제로 다루어진다.

위의 세 가지 KPI를 종합하여 비교하면 다음과 같다.

비교 항목	Silicon Interposer	Organic Interposer	비고
배선 피치 (Pitch)	초미세 (Sub-10um)	미세 (10um~40um+)	Silicon이 고밀도 구현에 압도적
신호 무결성 (SI)	매우 우수 (Low RC Delay)	보통 (High-speed 제약)	고주파 대역 Silicon 우세
열전도율 (Thermal)	높음 (High Conductivity)	낮음 (Low Conductivity)	발열 제어 측면 Silicon 우세
열팽창계수 (CTE)	칩과 유사 (Low Mismatch)	칩과 상이 (High Mismatch)	신뢰성 및 Warpage 관리 차이
워피지 (Warpage)	낮음 (Stable)	높음 (Risk of Warpage)	대면적화 시 Organic의 난제
제조 비용 (Cost)	높음 (Wafer-based)	낮음 (Substrate-based)	경제성 측면 Organic 우세

결론적으로, 최첨단 AI 연산 및 데이터센터용 고성능 프로세서에는 신호 무결성과 열 관리가 최우선인 Silicon Interposer가 필수적이지만, 중급형 서버나 소비자 가전용 고성능 칩셋에서는 비용 효율성과 대면적화를 고려한 Organic Interposer가 강력한 대안으로 자리 잡고 있다. 향후 기술 트렌드는 Silicon의 성능과 Organic의 경제성을 결합하기 위한 하이브리드 구조나, Silicon의 한계를 극복하기 위한 Glass Interposer 등의 신소재 도입으로 확장될 전망이다 [출처: TechInsights].

### Interposer KPI 비교 분석 아키텍처



### 공정 및 제조 경제성 비교

차세대 패키징의 핵심 요소인 인터포저 기술은 단순히 전기적 연결을 제공하는 것을 넘어, 전체 패키지의 제조 원가(Manufacturing Cost)와 수율(Yield)을 결정짓는 결정적인 변수로 작용하고 있습니다. Silicon Interposer와 Organic Interposer는 각각 웨이퍼 레벨 공정(Wafer-level Process)과 기판 레벨 공정(Substrate-level

Process)이라는 근본적으로 다른 제조 기반을 가지고 있으며, 이는 곧 규모의 경제와 생산 효율성 측면에서 극명한 차이를 발생시킵니다.

Silicon Interposer는 반도체 전공정(Front-end)의 노광(Lithography) 및 식각(Etching) 기술을 그대로 계승합니다. TSV(Through Silicon Via)를 형성하기 위해 고가의 CMP(Chemical Mechanical Polishing) 공정과 Deep Reactive Ion Etching(DRIE) 공정이 필수적으로 수반됩니다. 이러한 공정은 매우 높은 정밀도를 보장하지만, 웨이퍼 한 장당 투입되는 장비 가동 시간과 공정 스텝(Process Step) 수가 매우 많아 생산량(Throughput) 측면에서 불리합니다. 특히 Silicon 웨이퍼 자체의 가격이 기판용 유기물 소재에 비해 압도적으로 높으며, 미세 피치 구현을 위해 사용되는 고해상도 노광 장비의 운영 비용은 제조 단가를 상승시키는 주요 원인이 됩니다. 또한, 대면적 인터포저를 제작할 경우 웨이퍼 크기 제한으로 인해 단일 인터포저 내에 실장 가능한 다이(Die)의 수가 제한되어 면적당 비용 효율성이 급격히 저하되는 특성을 보입니다.

반면, Organic Interposer는 PCB(Printed Circuit Board) 제조 공정과 유사한 RDL(Redistribution Layer) 기술을 기반으로 합니다. 이는 기존의 기판 제조 인프라를 활용할 수 있다는 점에서 매우 강력한 경제적 이점을 가집니다. 유기물 기반 공정은 Silicon 공정에 비해 상대적으로 거친(Coarse) 공정 마진을 허용하므로, 생산 속도(Throughput)가 매우 빠르고 대형 사이즈의 인터포저를 제작하는 데 제약이 적습니다. 즉, 대면적 패키징이 필요한 AI 가속기나 고성능 컴퓨팅(HPC) 환경에서 Organic Interposer는 면적당 단가를 획기적으로 낮출 수 있는 대안이 됩니다. 다만, 미세한 회로 패턴을 형성하기 위해 다층(Multi-layer) 구조를 쌓아 올리는 과정에서 층간 정렬(Alignment) 오차가 발생할 수 있으며, 이는 수율 관리에 있어 새로운 기술적 도전 과제로 작용합니다. 두 기술의 제조 경제성 및 공정 특성을 요약하면 다음과 같습니다.

구분	Silicon Interposer	Organic Interposer
주요 공정 기반	Wafer-level (Front-end 기반)	Substrate-level (Back-end 기반)
핵심 공정 기술	TSV, High-res Lithography, CMP	RDL, Build-up, Solder Mask
생산 속도 (Throughput)	낮음 (복잡한 공정 스텝)	높음 (기존 기판 공정 활용)
재료 비용 (Material Cost)	매우 높음 (Si Wafer 기반)	상대적으로 낮음 (Polymer/Resin 기반)
대면적화 용이성	낮음 (Wafer Size 한계)	높음 (Large Panel/Substrate 가능)
수율 결정 요인	TSV 결함, Wafer Defect, 미세 패턴 정밀도	층간 정렬(Alignment), 팽창/수축(Warping)
경제적 타겟	초고성능, 초미세 피치 (HBM 등)	중고성능, 대면적, 비용 민감형 (AI/HPC)

결론적으로, Silicon Interposer는 높은 제조 비용과 낮은 Throughput에도 불구하고, 극도의 미세 피치와 전기적 신뢰성이 요구되는 하이엔드 애플리케이션(예: HBM3/4 인터페이스)에 특화된 경제 구조를 가지고 있습니다. 반면, Organic Interposer는 공정의 단순화와 소재의 저렴함을 바탕으로 대면적 패키징과 비용 효율성이 중요한 시장에서 점유율을 확대하고 있습니다. 최근에는 이 두 기술의 장점을 결합하여, 실리콘의 미세 회로 성능과 유기물의 대면적/저비용 특성을 동시에 확보하려는 2.5D/3D 하이브리드 구조 연구가 제조 경제성을 극대화하기 위한 핵심 방향으로 설정되고 있습니다 [출처: Yole Development].

### 기술적 한계 및 해결 과제

차세대 패키징 기술의 핵심인 인터포저 기술은 반도체 성능 향상을 위한 필수 요소이나, 현재 실리콘(Silicon)과 유기물(Organic) 인터포저는 각각 상반된 물리적, 경제적 한계점에 직면해 있다. 실리콘 인터포저는 초미세 피치(Fine Pitch) 구현 능력은 탁월하나, 대면적화 과정에서 발생하는 노광 장비의 물리적 제약과 높은 제조 비용이 성장의 발목을 잡고 있다. 반면, 유기물 인터포저는 비용 효율성과 대면적화 측면에서 우위를 점하고 있으나, 미세 회로 패턴 형성의 한계로 인해 고성능 컴퓨팅(HPC) 시장의 요구 성능을 충족시키는 데 어려움을 겪고 있다.

실리콘 인터포저의 가장 치명적인 기술적 병목 구간은 레티클 한계(Reticle Limit)와 그에 따른 스케일링 이슈(Scaling Limit)이다. 실리콘 인터포저는 반도체 전공정(Front-end)과 유사한 포토마스크 노광 공정을 통해 제조되는데, 현재 사용되는 표준 노광 장비의 한 번의 노광 영역(Reticle Size)은 약 26mm x 33mm 수준으로 제한되어 있다. AI 가속기나 고성능 GPU와 같이 거대한 다이(Die)를 통합해야 하는 애플리케이션의 경우, 인터포저의 크기가 이 레티클 크기를 초과하게 된다. 이를 해결하기 위해 여러 개의 레티클을 이어 붙이는 'Stitching' 기술이 도입되고 있으나, 이는 공정 단계를 복잡하게 만들고 접합부의 전기적 불연속성 및 수율 저하를 야기하는 원인이 된다. 또한, 웨이퍼 레벨에서 대면적 실리콘을 가공함에 따라 발생하는 원가 상승은 범용 반도체 시장으로의 확산을 저해하는 주요 요소로 작용하고 있다.

유기물 인터포저는 실리콘이 가진 비용 및 크기 제약에서는 자유롭지만, 미세 회로 구현(Fine Line/Space) 측면에서 근본적인 한계를 드러낸다. 유기물 기판은 실리콘 웨이퍼와 달리 고분자 재료(Polymer)를 기반으로 하며, 이는 에칭(Etching) 및 도금(Plating) 공정 시 실리콘만큼의 정밀한 제어가 어렵다는 것을 의미한다. 실리콘 인터포저가 수 마이크로미터(um) 단위의 초미세 피치를 구현할 수 있는 것과 달리, 유기물 기반의 재배선층(RDL) 기술은 선폭(Line Width)과 간격(Space)을 줄이는 데 물리적 한계가 존재한다. 이는 데이터 전송 통로인 I/O(Input/Output) 밀도를 낮추어, 결과적으로 HBM(High Bandwidth Memory)과 같은 고대역폭 메모리와의 인터페이스 성능을 저하시키는 결과를 초래한다. 즉, 대면적 패키징은 용이하지만, 데이터 집약적인 최첨단 로직 칩을 수용하기에는 배선 밀도가 부족한 상황이다.

두 기술의 한계점을 요약하면 다음과 같다.

구분	실리콘 인터포저 (Silicon Interposer)	유기물 인터포저 (Organic Interposer)
주요 기술적 한계	레티클 한계(Reticle Limit) 및 비용 상승	미세 피치(Fine Pitch) 구현의 한계
스케일링 이슈	대면적화 시 Stitching 공정 필수 및 수율 저하	고밀도 RDL 형성 시 공정 정밀도 저하
배선 밀도	매우 높음 (Sub-micron 수준 가능)	상대적으로 낮음 (Line/Space 제약)
경제성	웨이퍼 기반 공정으로 인한 높은 단가	기판 기반 공정으로 인한 높은 비용 효율성
물리적 특성	열팽창 계수(CTE)가 실리콘 칩과 일치하여 안정적	실리콘 칩과의 CTE 차이로 인한 Warpage(휘어짐) 위험

이러한 한계를 극복하기 위한 차세대 해결 과제로는 실리콘의 경우 'Hybrid Bonding' 기술을 통한 TSV(Through Silicon Via)의 고도화와 레티클 한계를 넘어서는 대면적 패키징 솔루션 개발이 핵심이다. 유기물의 경우, 유기물 기판 위에 미세 회로를 구현할 수 있는 'Glass Interposer(유리 인터포저)' 기술이나, 실리콘과 유기물의 장점을 결합한 하이브리드 구조의 RDL 기술이 대안으로 부상하고 있다. 특히, 실리콘의 미세 배선 능력과 유기물의 대면적/저비용 특성을 결합하여, 칩 주변부에는 유기물을 사용하고 핵심 연산부에는 실리콘을 배치하는 이종 집적(Heterogeneous Integration) 전략이 향후 기술 발전의 핵심 경로가 될 것으로 전망된다 [출처: Yole Group].

### 애플리케이션별 최적 솔루션 제안

반도체 패키징 기술의 패러다임이 'More Moore'에서 'More than Moore'로 전환됨에 따라, 인터포저의 선택은 단순한 부품의 결정을 넘어 시스템 전체의 성능(PPA: Power, Performance, Area)을 결정짓는 핵심 설계 변수가 되었습니다. Silicon Interposer와 Organic Interposer는 각각 물리적 특성, 전기적 성능, 제조 비용 측면에서 극명한 차이를 보이기 때문에, 최종 애플리케이션이 요구하는 데이터 대역폭(Bandwidth), 전력 효율, 열 방산 능력, 그리고 경제적 타당성을 종합적으로 고려한 최적화된 매칭 전략이 필수적입니다.

먼저, 초고대역폭 메모리(HBM, High Bandwidth Memory)와 결합된 최첨단 AI 가속기 및 고성능 컴퓨팅(HPC) 영역에서는 Silicon Interposer 기반의 2.5D 패키징이 독보적인 표준으로 자리 잡고 있습니다. HBM은 수천 개의 미세한 Through Silicon Via(TSV)를 통해 데이터 전송을 수행하며, 이를 로직 다이(Logic Die)와 연결하기 위해서는 극도로 미세한 피치(Fine Pitch)를 구현할 수 있는 인터포저가 필요합니다. Silicon Interposer는 실리콘 웨이퍼를 기반으로 하기에 로직 반도체와 열팽창 계수(CTE)가 일치하며, 이는 고온 작동 환경에서도 물리적 스트레스를 최소화하고 신호 무결성(Signal Integrity)을 극대화하는 핵심 요소가 됩니다. 특히 대규모 파라미터를 처리해야 하는 생성형 AI 모델용 GPU나 NPU(Neural Processing Unit)의 경우, 데이터 병목 현상을 방지하기 위해 초미세 RDL(Redistribution Layer) 공정이 적용된 실리콘 인터포저 채택이 불가피합니다.

반면, 데이터 센터의 스토리지 컨트롤러, 네트워크 스위치, 혹은 고성능이지만 AI 가속기만큼의 극단적인 대역폭을 요구하지 않는 일반적인 HPC 서버용 프로세서 영역에서는 Organic Interposer 기술이 강력한 대안으로 부상하고 있습니다. Organic Interposer는 유기물 기반의 기판(Substrate) 기술을 활용하므로 실리콘 인터포저 대비 대면적 구현이 용이하고, 제조 공정 비용이 현저히 낮다는 경제적 이점을 가집니다. 최근에는 RDL 공정의 고도화를 통해 유기물 기반에서도 상당 수준의 미세 피치를 구현할 수 있게 됨에 따라, 비용 효율성을 중시하는 엔터프라이즈급 서버 시장에서는 'Cost-Effective High Performance'를 달성하기 위해 Organic 기반의 2.5D 또는 팬아웃(Fan-out) 기술을 적극적으로 도입하는 추세입니다.

애플리케이션별 기술 요구사항과 최적 솔루션을 비교하면 다음과 같습니다.

구분	AI 가속기 및 HBM 기반 시스템	HPC 및 고성능 서버 프로세서	통신 및 네트워크 장비	모바일 및 소비자 가전
주요 요구사항	초고대역폭, 초미세 피치, 열 안정성	높은 신뢰성, 대면적화, 비용 최적화	신호 무결성, 저지연(Low Latency)	소형화, 저비용, 전력 효율
권장 인터포저	Silicon Interposer	Organic Interposer	Hybrid / Silicon	Organic / Fan-out
핵심 근거	TSV 기반의 극미세 연결 및 CTE 일치	대면적 패키징 용이성 및 경제성	고속 신호 전달 및 물리적 안정성	패키지 크기 최소화 및 양산성
기술적 난제	높은 제조 원가 및 웨이퍼 크기 제한	미세 피치 구현의 한계 및 CTE 불일치	신호 간섭(Crosstalk) 제어	열 방산 및 두께 제어

결론적으로, 기술 로드맵 측면에서 볼 때 성능의 한계를 돌파해야 하는 'Tier-1 AI 인프라' 시장은 실리콘 인터포저를 넘어 하이브리드 본딩(Hybrid Bonding) 기술로 진화하는 실리콘 중심의 경로를 밟을 것이며, 시장의 규모를 확장해야 하는 '범용 고성능 컴퓨팅' 시장은 유기물 기반의 미세화 기술을 통해 실리콘의 성능 격차를 좁히며 경제성을 확보하는 경로를 취할 것으로 전망됩니다. 설계자는 단순히 성능 지표만을 보는 것이 아니라, 타겟 시장의 제품 수명 주기(Product Life Cycle)와 목표 수익성을 고려하여 두 기술 사이의 최적의 균형점(Sweet Spot)을 찾아야 합니다 [출처: SemiAnalysis].

## 결론 및 향후 기술 전망

본 보고서에서 분석한 Silicon Interposer와 Organic Interposer는 각각 미세 피치 구현 능력과 비용 효율성이라는 명확한 강점을 바탕으로 차세대 패키징 시장을 양분하고 있다. Silicon Interposer는 TSV(Through Silicon Via) 기술을 통해 초고밀도 데이터 전송이 필요한 AI 가속기 및 HBM(High Bandwidth Memory) 영역에서 독보적인 위치를 점하고 있으나, 높은 제조 원가와 웨이퍼 크기 제한이라는 물리적·경제적 임계점에 직면해 있다. 반면, Organic Interposer는 RDL(Redistribution Layer) 공정을 통한 유연한 설계와 저렴한 비용을 무기로 대규모 데이터 센터용 프로세서 및 고성능 컴퓨팅(HPC) 시장에서 점진적인 점유율 확대를 꾀하고 있다. 향후 패키징 기술의 향방은 단순히 인터포저의 소재 선택을 넘어, 서로 다른 이종 집적(Heterogeneous Integration) 기술들을 어떻게 최적으로 결합하느냐에 달려 있다.

가장 주목해야 할 기술적 전환점은 Hybrid Bonding(하이브리드 본딩)의 도입이다. 기존의 솔더 범프(Solder Bump)를 사용하는 방식은 범프의 크기와 간격에 따른 물리적 한계로 인해 피치 미세화에 제약이 있었으나, 구리(Cu)와 절연막을 직접 접합하는 Hybrid Bonding 기술은 범프 없는(Bumpless) 연결을 가능케 하여 I/O 밀도를 비약적으로 상승시킬 것이다. 이는 Silicon 기반의 초미세 패키징 성능을 한 단계 격상시키는 동시에, Organic 소재의 RDL 공정과 결합하여 성능과 비용의 균형을 맞추는 새로운 하이브리드 구조의 출현을 가속화할 것으로 전망된다.

결론적으로 차세대 패키징 로드맵은 '고성능 극대화'와 '비용 최적화'라는 두 축을 중심으로 전개될 것이다. 초고성능 연산이 필수적인 AI 반도체 영역에서는 Hybrid Bonding이 적용된 Silicon 기반의 2.5D 및 3D 패키징이 주류를 이룰 것이며, 범용 고성능 컴퓨팅 영역에서는 Organic Interposer의 고도화된 RDL 기술이 적용된 대면적 패키징이 시장을 주도할 것이다. 기술적 완성도를 높이기 위해서는 소재의 열팽창계수(CTE) 차이로 인한 물리적 변형 문제를 해결하는 동시에, 이종 칩 간의 데이터 병목 현상을 최소화할 수 있는 인터커넥트 기술의 통합적 발전이 필수적이다. [출처: Yole Group]