

# 차세대 패키징 기술 비교 분석: Silicon vs Organi

문서번호 CRSM-AI-2026-AUTO

작성일 2026-05-29

작성 Cressem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

# 목 차

---

차세대 패키징 기술 비교 분석: Silicon vs Organic Interposer	3
개요 및 기술적 배경 . . . . .	3
Silicon Interposer 기술 분석 . . . . .	3
Organic Interposer 기술 분석 . . . . .	4
핵심 성능 지표(KPI) 비교 . . . . .	6
제조 공정 및 경제성 평가 . . . . .	7
시장 트렌드 및 적용 사례 . . . . .	8
결론 및 기술적 시사점 . . . . .	10

## 차세대 패키징 기술 비교 분석: Silicon vs Organic Interposer

HBM 및 2.5D/3D 패키징의 핵심 요소인 실리콘 인터포저와 유기(Organic) 인터포저의 기술적 특성, 공정 차이 및 경제성을 심층 비교합니다. 고성능 컴퓨팅(HPC) 시장의 요구사항에 따른 최적의 인터포저 솔루션을 제안합니다.

### 개요 및 기술적 배경

현대 반도체 산업은 무어의 법칙(Moore's Law)이 물리적 한계에 직면함에 따라, 개별 트랜지스터의 미세화를 통한 성능 향상보다는 소자들을 어떻게 효율적으로 연결하고 통합할 것인가에 대한 'More than Moore' 시대로 진입하였습니다. 특히 인공지능(AI), 고성능 컴퓨팅(HPC), 자율주행 시스템의 급격한 발전은 데이터 처리량의 폭발적인 증가를 야기했으며, 이는 프로세서(Logic)와 메모리(HBM 등) 사이의 초고속, 초저지연 데이터 전송을 가능하게 하는 차세대 패키징 기술의 중요성을 부각시키고 있습니다. 이러한 흐름 속에서 2.5D 및 3D 패키징 기술은 개별 칩의 성능을 넘어 전체 시스템의 성능을 결정짓는 핵심 요소로 자리 잡았습니다.

이러한 고도화된 패키징 아키텍처 내에서 '인터포저(Interposer)'는 서로 다른 칩 또는 칩과 패키지 기판 사이를 연결하는 중간 매개체로서 결정적인 역할을 수행합니다. 인터포저는 서로 다른 피치(Pitch)를 가진 칩 간의 물리적 간극을 메우고, 미세한 입출력 단자(I/O)를 전기적으로 연결하는 고밀도 배선층(Interconnect layer) 기능을 담당합니다. 기존의 PCB 기반 패키징은 배선의 미세화 수준이 낮아 고성능 프로세서와 고대역폭 메모리 간의 대규모 병렬 연결을 지원하기에 한계가 있었으나, 인터포저 기술의 도입을 통해 칩 간 연결 밀도를 수십 배 이상 높일 수 있게 되었습니다.

인터포저 기술은 크게 실리콘 소재를 기반으로 하는 Silicon Interposer와 유기 재료를 기반으로 하는 Organic Interposer로 구분됩니다. 실리콘 인터포저는 반도체 제조 공정인 TSV(Through Silicon Via) 기술을 활용하여 극도로 높은 연결 밀도와 전기적 안정성을 제공하지만, 제조 비용이 높고 웨이퍼 크기의 제약을 받는다는 특징이 있습니다. 반면, 유기 인터포저는 RDL(Redistribution Layer) 공정을 중심으로 상대적으로 저렴한 비용과 대면적 구현이 가능하다는 강점이 있으나, 실리콘 대비 미세 피치 구현 및 열팽창 계수(CTE) 정합성 측면에서 기술적 과제를 안고 있습니다. 본 보고서는 이 두 핵심 인터포저 기술의 물리적, 전기적, 경제적 특성을 심층 비교 분석하여 향후 반도체 패키징의 기술적 지향점을 제시하고자 합니다.

### Silicon Interposer 기술 분석

실리콘 인터포저(Silicon Interposer)는 반도체 패키징의 고도화 과정에서 칩과 칩 사이, 혹은 칩과 패키지 기판 사이를 연결하는 고밀도 중계층으로서 핵심적인 역할을 수행한다. 기존의 PCB 기반 기판이나 유기물 기반 인터포저가 가진 배선 밀도의 한계를 극복하기 위해 등장한 이 기술은, 반도체 제조 공정인 웨이퍼 레벨(Wafer-level) 공정을 그대로 활용하여 실리콘 웨이퍼 내부에 미세한 통로를 형성하는 것이 핵심이다. 특히 TSV(Through Silicon Via, 실리콘 관통 전극) 기술의 도입은 인터포저의 성능을 비약적으로 상승시켰으며, 이는 데이터 전송 속도와 대역폭이 생존과 직결되는 AI 가속기 및 고성능 컴퓨팅(HPC) 시장의 요구사항을 충족시키는 결정적인 기술적 토대가 되었다.

실리콘 인터포저의 구조적 특징 중 가장 중추적인 요소는 TSV 기술이다. TSV는 실리콘 웨이퍼를 수직으로 관통하는 전도성 통로를 형성하여, 상단의 칩(Die)과 하단의 패키지 기판(Substrate) 간의 전기적 연결을 최단 거리로 구현한다. 기존의 Wire Bonding 방식이 칩의 가장자리를 따라 신호를 전달하거나, Flip-chip 방식이 범프(Bump)를 통해 면적 제한적인 연결을 수행했던 것과 달리, TSV 기반의 실리콘 인터포저는 웨이퍼 전체 면적을 활용한 수직적 연결을 가능하게 한다. 이를 통해 I/O(Input/Output) 밀도를 극적으로 높일 수 있으며, 신호가 이동하는 물리적 경로(Path length)를 최소화함으로써 기생 커패시턴스(Parasitic Capacitance)와 인덕턴스(Inductance)를

획기적으로 감소시킨다. 이는 결과적으로 신호 지연(Latency)을 줄이고 고주파 대역에서의 신호 무결성(Signal Integrity)을 확보하는 데 결정적인 기여를 한다.

또한, 실리콘 인터포저는 미세 피치(Fine Pitch) 구현 능력 면에서 타 인터포저 기술 대비 압도적인 우위를 점한다. 실리콘은 반도체 노광 공정(Photolithography)을 그대로 적용할 수 있는 소재이기에, 수 마이크로미터(um) 단위의 초미세 배선(RDL, Redistribution Layer) 형성이 가능하다. 이는 칩과 인터포저 사이의 범프 피치를 극단적으로 줄일 수 있음을 의미하며, 단위 면적당 배치할 수 있는 데이터 통로의 수를 기하급수적으로 늘려준다. 특히 HBM(High Bandwidth Memory)과 같은 고대역폭 메모리 솔루션에서는 수천 개 이상의 데이터 통로가 동시에 작동해야 하는데, 실리콘 인터포저의 미세 배선 기술은 이러한 초고밀도 연결성을 안정적으로 구현할 수 있는 유일한 대안으로 평가받는다.

열팽창계수(CTE, Coefficient of Thermal Expansion) 정합성 측면에서도 실리콘 인터포저는 매우 중요한 이점을 가진다. 반도체 칩의 주재료는 실리콘이며, 인터포저 역시 실리콘을 기반으로 제작된다. 따라서 동작 중 발생하는 열에 의해 칩과 인터포저가 팽창하거나 수축할 때, 두 물질 간의 열팽창 계수 차이가 거의 발생하지 않는다. 이는 패키징 공정 및 실제 구동 환경에서 발생하는 열 사이클(Thermal Cycling) 스트레스로 인한 칩의 크랙(Crack)이나 범프의 피로 파괴(Fatigue failure), 혹은 인터커넥트의 박리(Delamination) 현상을 최소화하는 데 결정적인 역할을 한다. 이러한 열적 안정성은 신뢰성이 최우선시되는 서버용 프로세서 및 데이터 센터용 가속기 설계에서 실리콘 인터포저를 채택하게 만드는 강력한 기술적 동인이 된다.

다만, 실리콘 인터포저는 기술적 완성도에도 불구하고 제조 공정상의 난이도와 비용 측면에서 명확한 한계를 지닌다. TSV 형성 과정에서 요구되는 고정밀 식각(Etching) 및 증착(Deposition) 공정, 그리고 웨이퍼 레벨에서의 복잡한 CMP(Chemical Mechanical Polishing) 공정은 제조 단가를 상승시키는 주요 원인이다. 또한, 실리콘 웨이퍼 자체의 크기 제한으로 인해 대면적 패키징 구현 시 수율(Yield) 관리가 매우 까다롭다. 이를 보완하기 위해 최근에는 여러 개의 칩을 하나의 인터포저 위에 올리는 CoWoS(Chip on Wafer on Substrate)와 같은 고도화된 패키징 기술이 발전하고 있으나, 여전히 높은 공정 비용은 대량 생산 시의 주요 병목 구간으로 작용하고 있다.

아래 표는 실리콘 인터포저의 핵심 기술적 속성을 요약한 것이다.

구분	주요 특징 및 기술적 상세	기대 효과 및 장점
연결 방식	TSV (Through Silicon Via) 기반 수직 관통	I/O 밀도 극대화, 신호 경로 최소화
배선 정밀도	반도체 노광 공정 기반 미세 RDL 형성	초미세 피치(Fine Pitch) 구현 가능
열적 특성	Chip 소재(Si)와 동일한 CTE 보유	열팽창 불일치에 의한 신뢰성 문제 해결
전기적 성능	저기생 성분(Low Parasitics) 설계 가능	고속 데이터 전송 및 신호 무결성 확보
주요 한계	Wafer-level 공정의 높은 복잡도	제조 단가 상승 및 대면적 수율 저하

[출처: SEMI, IEEE Xplore 기술 보고서 참조]

### Organic Interposer 기술 분석

Organic Interposer 기술은 기존의 실리콘 인터포저가 가진 높은 제조 비용과 물리적 한계를 극복하기 위해 등장한 차세대 패키징 솔루션이다. 실리콘 인터포저가 반도체 전공정 기술인 TSV(Through Silicon Via)를 활용하여 극도로 미세한 피치(Pitch)를 구현하는 데 집중한다면, Organic Interposer는 유기 절연체(Dielectric)와 재배선층(RDL, Redistribution Layer) 기술을 결합하여 고성능 컴퓨팅과 고대역폭 메모리 수요를 충족시키면서도 경제성을

확보하는 데 목적을 둔다. 이 기술의 핵심은 유기 수지(Resin) 기반의 기판 위에 구리(Cu) 배선을 형성하여 칩과 칩, 혹은 칩과 패키지 기판 사이의 전기적 연결 통로를 확장하는 것이다.

Organic Interposer의 구조적 핵심은 RDL(Redistribution Layer) 공정의 정밀도에 있다. 유기물 기반의 절연층 위에 미세한 구리 패턴을 형성함으로써, 칩의 입출력(I/O) 단자를 패키지 레벨의 더 넓은 간격으로 재배치한다. 최근에는 미세 피치 구현을 위해 ABF(Ajinomoto Build-up Film)와 같은 고성능 절연 필름을 다층으로 적층하는 Build-up 공정이 주류를 이루고 있다. 이러한 방식은 실리콘 인터포저가 요구하는 웨이퍼 레벨의 복잡한 식각 및 증착 공정 대신, PCB(Printed Circuit Board) 제조 공정과 유사한 방식의 적층 및 도금 공정을 활용하므로 대면적화에 매우 유리하다. 특히 AI 가속기나 서버용 프로세서와 같이 칩의 크기가 대형화되는 추세에서, 실리콘 웨이퍼의 크기 제한(Reticle Limit)을 극복할 수 있는 유일한 대안으로 평가받고 있다.

재료적 측면에서 Organic Interposer는 열팽창 계수(CTE, Coefficient of Thermal Expansion) 관리가 가장 중요한 과제이다. 실리콘 인터포저는 칩(Silicon)과 동일한 CTE를 가져 열적 스트레스가 매우 적지만, 유기물 기반의 인터포저는 실리콘 대비 CTE가 현저히 높다. 이는 반도체 칩과 인터포저 사이의 온도 변화에 따른 팽창/수축 차이를 유발하며, 결과적으로 범프(Bump) 연결부의 피로 파괴나 층간 박리(Delamination)를 초래할 수 있다. 이를 해결하기 위해 업계에서는 CTE를 실리콘에 근접하도록 설계된 특수 고분자 복합 재료를 개발하거나, 다층 구조 내에서 응력을 분산시키는 구조적 설계 기술을 고도화하고 있다. 또한, 신호 손실을 최소화하기 위해 유전율(Dk)과 유전 손실(Df)이 극도로 낮은 저손실(Low-loss) 유기 재료를 채택하는 것이 기술적 차별화 포인트로 작용하고 있다.

경제성 측면에서 Organic Interposer는 실리콘 인터포저 대비 압도적인 우위를 점한다. 실리콘 인터포저는 고가의 웨이퍼를 사용해야 하며, TSV 형성 및 웨이퍼 관리를 위한 전공정 설비가 필수적이다. 반면, Organic Interposer는 기존의 패키지 기판 제조 인프라를 상당 부분 활용할 수 있으며, 웨이퍼 기반 공정에 비해 단위 면적당 생산 비용이 낮다. 이는 대량 생산 체제에서 총 소유 비용(TCO)을 획기적으로 낮추는 결과로 이어진다. 따라서 고성능이 요구되면서도 가격 민감도가 높은 소비자용 전자기구나, 중급형 AI 가속기 시장에서는 Organic Interposer가 실리콘 인터포저의 강력한 대체재로 자리 잡고 있다.

아래 표는 기술적 관점에서 본 실리콘 인터포저와 유기 인터포저의 주요 특성 비교이다.

비교 항목	Silicon Interposer	Organic Interposer
주요 재료	Monocrystalline Silicon	Organic Resin (ABF, Polyimide 등)
연결 기술	TSV (Through Silicon Via)	RDL (Redistribution Layer)
미세 피치 구현	매우 우수 (Sub-10um 가능)	양호 (최근 기술 고도화 중)
열팽창 계수(CTE)	칩과 유사 (안정적)	칩과 차이 큼 (열 스트레스 관리 필요)
대면적화 용이성	낮음 (Reticle Limit 존재)	매우 높음 (Large Panel/Substrate 가능)
제조 비용	매우 높음	상대적으로 낮음 (Cost-effective)
주요 타겟 시장	하이엔드 GPU, HBM 기반 AI 가속기	서버용 CPU, 중급형 AI 칩, 모바일 AP

결론적으로, Organic Interposer 기술은 단순히 저가형 대안을 넘어, '대면적화'와 '비용 효율성'이라는 두 마리 토끼를 잡기 위한 필수적인 진화 경로이다. RDL 공정의 미세화 한계를 극복하기 위한 하이브리드 본딩(Hybrid Bonding) 기술과의 접목, 그리고 유기 재료의 열적/전기적 물성 개선이 동반된다면, 실리콘 인터포저가 점유하고 있는 최상위 성능 영역까지 그 범위를 확장할 수 있을 것으로 전망된다. [출처: Yole Développement]

### 핵심 성능 지표(KPI) 비교

차세대 고성능 컴퓨팅(HPC) 및 AI 가속기 시장이 급격히 팽창함에 따라, 인터포저(Interposer)의 선택은 단순한 패키징 공정의 결정을 넘어 시스템 전체의 전기적 성능과 열적 안정성을 결정짓는 핵심 변수로 부상하였다. 실리콘 인터포저(Silicon Interposer)와 유기 인터포저(Organic Interposer)는 각기 다른 재료적 기반과 구조적 메커니즘을 보유하고 있으며, 이는 신호 무결성(Signal Integrity), 열 관리(Thermal Management), 그리고 전기적 기생 성분(Electrical Parasitics)이라는 세 가지 핵심 성능 지표(KPI)에서 극명한 차이를 나타낸다. 본 섹션에서는 각 기술이 시스템 레벨에서 미치는 물리적 영향력을 정량적 관점에서 심층 비교 분석한다.

첫째, 신호 무결성(Signal Integrity, SI) 측면에서 실리콘 인터포저는 초미세 피치(Fine Pitch) 구현 능력을 바탕으로 압도적인 데이터 전송 효율을 제공한다. 실리콘 인터포저는 반도체 노광 공정(Photolithography)을 그대로 활용하여 수 마이크로미터(um) 단위의 미세한 재배선층(RDL)을 형성할 수 있다. 이는 데이터 전송 경로의 길이를 최소화하고, 신호 간의 간섭(Crosstalk)을 억제하는 데 결정적인 역할을 한다. 특히 고대역폭 메모리(HBM)와 로직 다이(Logic Die) 사이의 초고속 데이터 통신에서 발생하는 신호 왜곡을 최소화할 수 있는 구조적 이점을 가진다. 반면, 유기 인터포저는 상대적으로 거친(Coarse) 패턴 해상도를 가지며, 재료 자체의 유전율(Dielectric Constant) 변동성이 실리콘 기반 공정보다 크기 때문에 고주파 대역에서의 신호 손실(Insertion Loss)과 반사(Return Loss) 관리가 매우 까다롭다. 다만, 최근에는 유기 재료의 유전 특성을 개선한 고성능 ABF(Ajinomoto Build-up Film) 등의 도입으로 그 간극을 좁히려는 시도가 이어지고 있다.

둘째, 열 관리(Thermal Management) 역량은 시스템의 신뢰성과 직결되는 요소이다. 실리콘은 기본적으로 높은 열전도율(Thermal Conductivity)을 보유하고 있어, 칩 내부에서 발생하는 열을 인터포저를 통해 기판(Substrate)이나 히트싱크로 분산시키는 데 매우 유리하다. TSV(Through Silicon Via)를 통한 수직적 열 경로(Thermal Path) 확보가 용이하기 때문에, 전력 밀도가 극도로 높은 AI 가속기나 GPU 패키징에서 발생하는 국소적 핫스팟(Hotspot) 문제를 완화하는 데 탁월한 성능을 보인다. 이와 대조적으로 유기 인터포저는 폴리머 기반의 재료 특성상 열전도율이 실리콘에 비해 현저히 낮다. 이는 고출력 소자가 집적될 경우 인터포저 내부의 온도 상승을 가속화하며, 결과적으로 열팽창 계수(CTE) 차이에 의한 휨(Warping) 현상이나 범프(Bump)의 피로 파괴를 유발할 수 있는 취약점을 가진다. 따라서 유기 인터포저를 채택할 경우, 보다 복잡한 열 설계(Thermal Design)와 추가적인 냉각 솔루션이 요구된다.

셋째, 전기적 기생 성분(Electrical Parasitics)은 고속 동작 시 신호의 지연(Latency)과 전력 소모에 직접적인 영향을 미친다. 실리콘 인터포저는 TSV 구조로 인해 수직 연결 시 발생하는 기생 커패시턴스(Parasitic Capacitance)와 인덕턴스(Inductance)를 정밀하게 제어할 수 있다. 이는 고주파 신호의 위상 왜곡을 방지하고 클록 스큐(Clock Skew)를 최소화하는 데 기여한다. 그러나 실리콘 기판 자체가 반도체 성질을 띠고 있어, 기판을 통한 누설 전류(Leakage Current)나 기생 커패시턴스에 의한 신호 감쇠가 발생할 수 있다는 점은 극복해야 할 과제이다. 유기 인터포저는 절연 특성이 우수한 유기 재료를 사용하므로 기판 자체의 기생 커패시턴스 측면에서는 유리할 수 있으나, 배선 간의 간격(Spacing)을 충분히 확보하지 못할 경우 유전체 손실(Dielectric Loss)이 급증하여 고주파 신호의 무결성을 해칠 위험이 크다.

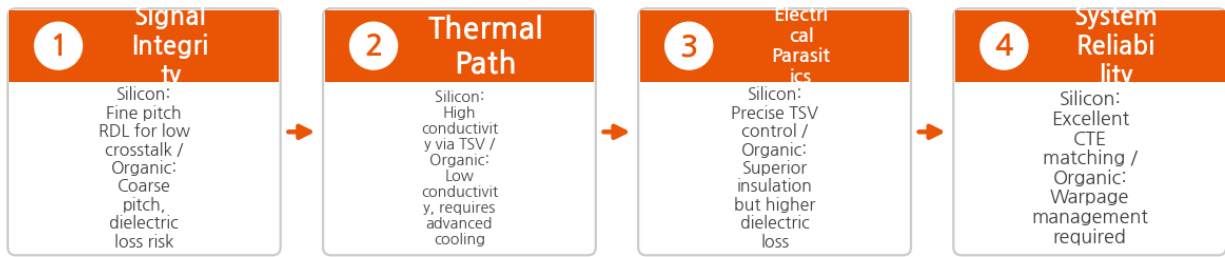
아래 표는 실리콘 인터포저와 유기 인터포저의 주요 KPI를 정량적/정성적 지표로 비교한 결과이다.

KPI 항목	실리콘 인터포저 (Silicon)	유기 인터포저 (Organic)	비고
배선 미세화 (RDL Pitch)	매우 높음 (≤ 1um 수준 가능)	보통 (5um ~ 10um 이상)	실리콘이 고밀도 연결에 유리
신호 무결성 (SI)	우수 (저손실, 고주파 대응력 높음)	보통 (고주파 대역 손실 주의 필요)	실리콘이 고속 데이터 전송에 유리
열전도율 (Thermal Cond.)	높음 (약 149 W/m·K)	낮음 (약 0.2 ~ 0.5 W/m·K)	실리콘이 핫스팟 제어에 유리

기생 커패시턴스 제어	정밀 제어 가능 (TSV 활용)	재료 특성에 의존적	실리콘이 전기적 안정성 확보 용이
열팽창 계수 (CTE) 매칭	매우 우수 (Si-Die 간 일치)	보통 (Die와의 차이 존재)	실기 기반의 신뢰성 확보 용이
전기적 절연성	보통 (기판 전도성 고려 필요)	매우 우수 (우수한 절연 재료 사용)	유기 재료가 절연 특성에서 우위

결론적으로, 실리콘 인터포저는 극한의 성능(Extreme Performance)이 요구되는 최상위 계층의 컴퓨팅 모듈에 적합하며, 유기 인터포저는 성능과 비용의 균형(Performance-Cost Balance)이 중요한 범용 고성능 패키징 시장에서 강력한 경쟁력을 가진다. 설계자는 애플리케이션의 동작 주파수, 허용 가능한 열 설계 전력(TDP), 그리고 목표로 하는 I/O 밀도를 종합적으로 고려하여 최적의 인터포저 기술을 선택해야 한다. [출처: Semiconductor Engineering]

### Interposer KPI Trade-off Architecture



### 제조 공정 및 경제성 평가

차세대 패키징 기술의 상용화 여부를 결정짓는 가장 핵심적인 요소는 단순한 성능 지표를 넘어, 대량 생산 체제에서의 수율(Yield) 확보와 제조 원가(Cost)의 최적화이다. Silicon Interposer와 Organic Interposer는 근본적으로 서로 다른 제조 기반을 가지고 있으며, 이는 공정의 복잡도, 설비 투자 규모(CAPEX), 그리고 운영 비용(OPEX) 측면에서 극명한 차이를 만들어낸다. Silicon 기술은 반도체 전공정(Front-end)의 인프라를 활용하는 반면, Organic 기술은 전통적인 PCB 및 패키지 후공정(Back-end)의 메커니즘을 따르기 때문이다.

Silicon Interposer의 제조 공정은 기본적으로 Wafer-level 공정을 기반으로 한다. 이는 실리콘 웨이퍼 위에 TSV(Through Silicon Via)를 형성하고, 고해상도의 RDL(Redistribution Layer)을 구현하기 위해 포토공정(Photolithography), 식각(Etching), 증착(Deposition) 등 미세 패턴 형성을 위한 고도의 공정 기술을 요구한다. 이러한 공정의 특성상 반도체 팹(Fab) 내의 고가 장비들이 필수적으로 사용되며, 이는 초기 설비 투자 비용인 CAPEX를 극도로 높이는 원인이 된다. 특히 TSV 형성 과정에서의 웨이퍼 박막화(Thinning) 공정과 웨이퍼 관통 홀의 정렬(Alignment) 오차 제어는 수율을 결정짓는 치명적인 변수로 작용한다. 미세 피치(Fine Pitch)를 구현할수록 공정 난이도는 기하급수적으로 상승하며, 이는 곧 불량률 증가와 직결되어 단위당 제조 단가를 상승시키는 구조를 가진다. [출처: Yole Group]

반면, Organic Interposer는 PCB(Printed Circuit Board) 제조 기술과 유사한 RDL 기반의 공정을 채택한다. 이는 주로 유기 절연재(ABF 등)를 적층하고 구리(Cu) 배선을 형성하는 방식으로 진행되며, Wafer-level 공정에 비해 상대적으로 거친(Coarse) 공정 마진을 허용한다. Organic 공정은 반도체 전공정 장비가 아닌, 기존 패키징 산업에서 검증된 PCB 제조 설비를 활용할 수 있다는 점에서 CAPEX 측면에서 압도적인 우위를 점한다. 또한, 웨이퍼 단위가

아닌 패널(Panel) 또는 대형 기판 단위로 공정이 진행될 수 있어 규모의 경제를 달성하기 용이하며, 공정 단계가 단순하여 운영 비용인 OPEX 관리 측면에서도 유리하다. 다만, 고밀도 배선을 구현하기 위한 미세 RDL 공정 도입 시에는 유기 재료의 열팽창 계수(CTE) 불일치로 인한 Warpage(휘어짐) 제어 이슈가 발생하며, 이는 수율 저하의 주요 원인이 되기도 한다.

두 기술의 경제성 및 제조 공정 특성을 정량적·구조적 관점에서 비교하면 다음과 같다.

비교 항목	Silicon Interposer (Wafer-level)	Organic Interposer (PCB/Panel-level)
주요 공정 기반	Semiconductor Front-end (TSV, Litho)	PCB/Substrate Back-end (RDL, Plating)
설비 투자 (CAPEX)	매우 높음 (High-end Fab 장비 필수)	상대적으로 낮음 (기존 패키징 설비 활용)
운영 비용 (OPEX)	높음 (고가 소재 및 클린룸 유지비)	낮음 (대량 생산 및 공정 단순화 가능)
수율 변동 요인	TSV 결함, Wafer Thinning, Alignment	Warpage, Dielectric Reliability, RDL Pitch
미세 피치 구현력	매우 우수 (Sub-micron 수준 가능)	제한적 (최근 미세화 중이나 한계 존재)
단가 구조	고성능/고단가 (High-end AI/HPC용)	저비용/대량생산 (Consumer/Mid-range용)

결론적으로, Silicon Interposer는 성능 극대화가 최우선인 AI 가속기 및 고성능 컴퓨팅(HPC) 시장을 타깃으로 하며, 높은 제조 비용을 감수하더라도 초미세 연결성을 확보하는 전략을 취한다. 반면, Organic Interposer는 비용 효율성과 확장성이 중요한 모바일, 컨슈머 가전 및 중급형 데이터센터 시장을 중심으로 급격히 확산되고 있다. 최근에는 Silicon의 성능과 Organic의 경제성을 절충하기 위해, Silicon의 미세 공정과 Organic의 저비용 공정을 결합한 하이브리드 형태의 패키징 솔루션에 대한 연구와 투자가 활발히 진행되고 있다. [출처: TechInsights]

### 시장 트렌드 및 적용 사례

최근 생성형 AI(Generative AI)의 폭발적인 성장과 대규모 언어 모델(LLM)의 고도화는 반도체 패키징 시장의 패러다임을 근본적으로 변화시키고 있습니다. 과거에는 개별 칩의 성능 향상이 주된 동력이었다면, 현재는 칩과 칩 사이의 데이터 전송 대역폭(Bandwidth)을 극대화하고 지연 시간(Latency)을 최소화하는 'Advanced Packaging' 기술이 시스템 전체의 성능을 결정짓는 핵심 요소로 부상했습니다. 특히 고대역폭 메모리(HBM)와 로직 반도체의 결합이 필수적인 AI 가속기 시장이 커짐에 따라, 인터포저(Interposer) 기술은 단순한 연결 매개체를 넘어 시스템 아키텍처의 중심축 역할을 수행하고 있습니다.

현재 시장은 고성능 컴퓨팅(HPC)과 AI 연산에 특화된 Silicon Interposer 기반의 초고밀도 패키징과, 비용 효율성 및 대면적화가 유리한 Organic Interposer 기반의 패키징이 각기 다른 애플리케이션 영역에서 점유율을 확대해 나가는 양상을 보입니다. HBM3 및 차세대 HBM4로의 전환기에 접어들면서, 인터포저의 기술적 선택은 단순한 성능 비교를 넘어 고객사의 타겟 성능과 경제적 목표에 따라 매우 정교하게 결정되고 있습니다.

주요 애플리케이션별 채택 현황 및 기술 적용 트렌드는 다음과 같습니다.

애플리케이션 구분	주요 타겟 제품	주력 인터포저 기술	핵심 요구 사항	시장 동향 및 전망
-----------	----------	------------	----------	------------

AI 가속기 (AI Accelerator)	NVIDIA H100/B200, AMD Instinct 시리즈	Silicon Interposer (CoWoS 등)	초고대역폭(Ultra-high BW), 미세 피치 연결	TSV 기반의 극도로 높은 연결 밀도가 필수적이며, 현재 Silicon 기반 기술이 독점적 지위 유지
고성능 GPU (High-end GPU)	데이터센터용 GPU, 워크스테이션용 GPU	Silicon Interposer	신호 무결성(SI), 전력 무결성(PI), 열 방출 성능	대규모 데이터 처리를 위한 고밀도 RDL과 실리콘 기판의 안정적인 결합이 핵심
HBM 기반 메모리 시스템	HBM3, HBM3E, HBM4	Silicon Interposer	수천 개의 TSV를 통한 수직 연결 및 수평 전송	HBM4로 진화하며 로직 다이와의 통합이 가속됨에 따라 Silicon Interposer의 중요성 심화
고성능 컴퓨팅 (HPC)	서버용 CPU, 고성능 프로세서	Hybrid (Silicon + Organic)	대면적 패키징, 비용 최적화, 신호 경로 단축	칩렛(Chiplet) 구조 도입에 따라 실리콘과 유기 기판을 혼합하거나 대면적 유기 인터포저 검토 증가
엣지 AI 및 소비자 가전	Edge AI SoC, 고성능 모바일 AP	Organic Interposer (RDL 기반)	비용 효율성, 대량 생산 수율, 적정 수준의 대역폭	초고성능보다는 전력 소모와 단가 경쟁력이 중요하므로 Organic 기술의 채택 비중이 높음

첫째, AI 가속기 및 고성능 GPU 시장은 현재 Silicon Interposer 기술이 주도하고 있습니다. NVIDIA의 CoWoS(Chip on Wafer on Substrate)와 같은 기술이 대표적인 사례로, HBM과 GPU 로직 다이를 하나의 실리콘 인터포저 위에 배치함으로써 수만 개의 마이크로 범프(Micro-bump)를 통한 초고속 데이터 통로를 확보합니다. HBM3 및 HBM3E 환경에서는 데이터 전송 속도가 기하급수적으로 증가함에 따라, 신호 손실을 최소화할 수 있는 실리콘 기반의 미세 피치(Fine-pitch) 기술이 필수적입니다. 특히 차세대 HBM4로 넘어가면서 메모리 컨트롤러와 로직 다이가 더 긴밀하게 통합되어야 하는 'Base Die'의 중요성이 커지고 있으며, 이는 실리콘 인터포저의 공정 정밀도가 곧 AI 모델의 추론 및 학습 성능과 직결됨을 의미합니다. [출처: TrendForce]

둘째, Organic Interposer 기술은 대면적화(Large-scale)와 비용 절감이라는 측면에서 강력한 대안으로 부상하고 있습니다. 실리콘 인터포저는 웨이퍼 크기의 제약으로 인해 패키지 전체 크기를 키우는 데 한계가 있고, 공정 비용이 매우 높다는 단점이 있습니다. 반면, 유기 재료를 기반으로 한 RDL(Redistribution Layer) 기술은 PCB 공정과 유사한 방식으로 대면적 구현이 용이하며, 칩렛(Chiplet) 구조를 통해 여러 개의 다이를 하나의 거대한 패키지로 묶는 'Multi-die Integration'에 유리합니다. 최근에는 AI 가속기의 성능 요구치가 실리콘 인터포저의 한계치에 도달함에 따라, 유기 기판 위에 고밀도 RDL을 형성하여 실리콘 인터포저의 성능과 유기 기판의 경제성을 동시에 잡으려는 하이브리드 방식의 연구가 활발히 진행되고 있습니다.

셋째, 시장의 장기적인 흐름은 'Heterogeneous Integration(이종 집적)'의 심화로 요약됩니다. 단순히 하나의 인터포저를 선택하는 문제를 넘어, 로직, 메모리, 아날로그 칩을 각각 최적의 공정으로 제조한 뒤 이를 어떻게

효율적으로 결합하느냐가 관건입니다. HBM4 시대에는 메모리 업체와 파운드리 업체 간의 협업이 더욱 중요해질 것이며, 이 과정에서 실리콘 인터포저의 TSV 기술과 유기 인터포저의 대면적 RDL 기술이 상호 보완적으로 적용될 것입니다. 결론적으로, 초고성능 AI 연산 영역에서는 Silicon Interposer가 견고한 기술적 장벽을 형성하며 시장을 리드할 것이나, 시스템 규모의 확장성과 경제성이 요구되는 영역에서는 Organic Interposer 기술이 점진적으로 그 영역을 잠식하며 시장의 파이를 키워나갈 것으로 전망됩니다. [출처: Yole Group]

## 결론 및 기술적 시사점

반도체 미세화 공정이 무어의 법칙(Moore's Law)의 물리적 한계에 직면함에 따라, 성능 향상의 중심축은 전공정(Front-end)의 미세 패턴 형성에서 후공정(Back-end)의 고도화된 패키징 기술로 급격히 이동하고 있다. 본 보고서에서 분석한 Silicon Interposer와 Organic Interposer는 각각 '초고밀도 연결성'과 '비용 및 대면적화 효율성'이라는 상이한 강점을 보유하고 있으며, 이는 향후 반도체 생태계 내에서 상호 배타적인 관계가 아닌 애플리케이션의 요구 사양에 따른 선택적 보완 관계로 발전할 것이다.

단기적으로는 AI 가속기, 고성능 컴퓨팅(HPC), HBM(High Bandwidth Memory)과 같이 극단적인 대역폭과 초미세 피치(Pitch)가 요구되는 영역에서 Silicon Interposer 기반의 2.5D 패키징이 주류를 형성할 것으로 전망된다. 그러나 실리콘 인터포저의 높은 제조 비용과 TSV(Through Silicon Via) 공정의 복잡성, 그리고 대면적 웨이퍼에서의 수율 저하 문제는 기술적 병목 구간으로 작용하고 있다. 이를 극복하기 위해 업계는 기존의 Micro-bump 방식에서 벗어나, 범프 없이 구리(Cu)와 구리를 직접 연결하는 Hybrid Bonding 기술로의 전환을 가속화하고 있다. Hybrid Bonding은 인터포저와 칩 사이의 간극을 최소화하여 데이터 전송 속도를 혁신적으로 높이고 전력 소모를 줄일 수 있는 핵심 기술 로드맵(Technology Roadmap)의 정점에 위치한다.

중장기적 관점에서의 미래 전망(Future Outlook)은 이종 집적(Heterogeneous Integration)의 고도화에 달려 있다. Organic Interposer는 RDL(Redistribution Layer) 공정의 미세화와 신소재 도입을 통해 실리콘 인터포저의 영역을 점진적으로 침투할 것이며, 특히 대면적 패키징이 필요한 데이터 센터용 프로세서 시장에서 강력한 대안이 될 것이다. 결과적으로 차세대 패키징 시장은 초고성능을 지향하는 'Hybrid Bonding 기반의 Silicon 기술'과, 확장성과 경제성을 지향하는 '고밀도 RDL 기반의 Organic 기술'이 공존하며, 시스템의 목적(Performance vs Cost)에 따라 최적화된 솔루션을 제공하는 형태로 진화할 것이다. 기술적 승패는 단순히 재료의 우위를 넘어, 서로 다른 물리적 특성을 가진 칩들을 얼마나 안정적이고 저비용으로 연결할 수 있는 '인터커넥트(Interconnect) 통합 솔루션'을 확보하느냐에 달려 있다.