

# 삼성전자 HBM 제조 공정 및 핵심 장비 공급망 심층 분석 보고

문서번호 CRSM-AI-2026-AUTO

작성일 2026-06-06

작성 Cressem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

## 목 차

|                                                         |    |
|---------------------------------------------------------|----|
| 삼성전자 HBM 제조 공정 및 핵심 장비 공급망 심층 분석 보고서                    | 3  |
| 개요 및 분석 배경 . . . . .                                    | 3  |
| HBM 전공정(Front-end): TSV 형성 및 웨이퍼 레벨 공정 . . . . .        | 4  |
| HBM 후공정(Back-end): Advanced Packaging 및 적층 기술 . . . . . | 5  |
| [Diagram] HBM 통합 제조 프로세스 및 장비 맵 . . . . .               | 7  |
| 공정별 핵심 장비 및 글로벌 공급망(Vendor) 분석 . . . . .                | 9  |
| 차세대 기술 전환: Hybrid Bonding 및 공정 변화 . . . . .             | 11 |
| 결론 및 시사점 . . . . .                                      | 13 |

## 삼성전자 HBM 제조 공정 및 핵심 장비 공급망 심층 분석 보고서

본 보고서는 삼성전자의 HBM(High Bandwidth Memory) 제조 공정을 전공정(Front-end)과 후공정(Back-end)으로 구분하여 단계별 기술 메커니즘을 상세히 분석합니다. 각 공정 단계에 필수적인 핵심 장비와 글로벌 공급망(Vendor)을 매핑하여 기술적 흐름을 시각화하고 차세대 기술 트렌드를 제시합니다.

### 개요 및 분석 배경

#### 1.1. AI 패러다임의 전환과 HBM 시장의 폭발적 성장

21세기 반도체 산업의 패러다임은 단순한 연산 능력(Computing Power)의 증대를 넘어, 연산 장치와 메모리 사이의 데이터 병목 현상(Memory Wall)을 어떻게 해결하느냐의 싸움으로 전이되었습니다. 생성형 AI(Generative AI)의 등장과 함께 초거대 언어 모델(LLM)을 구동하기 위한 AI 가속기(AI Accelerator) 시장이 급격히 팽창함에 따라, 방대한 양의 데이터를 초고속으로 처리할 수 있는 고대역폭 메모리(HBM, High Bandwidth Memory)의 중요성이 그 어느 때보다 강조되고 있습니다.

기존의 DDR(Double Data Rate) 방식은 데이터 전송 통로(Bus)의 한계로 인해 고성능 GPU 및 NPU(Neural Processing Unit)의 속도를 뒷받침하기에 역부족입니다. 반면, HBM은 TSV(Through-Silicon Via, 실리콘 관통 전극) 기술을 통해 수십 개의 DRAM 다이(Die)를 수직으로 적층함으로써, 데이터가 오가는 통로를 비약적으로 늘린 구조를 가집니다. 이러한 구조적 특성 덕분에 HBM은 단위 면적당 데이터 전송 대역폭(Bandwidth)을 극대화할 수 있으며, 이는 곧 AI 연산의 효율성과 직결되는 핵심 요소로 자리 잡았습니다. 현재 HBM 시장은 단순한 메모리 공급을 넘어, 시스템 전체의 성능을 좌우하는 전략적 자산으로 격상되었으며, 이에 따른 기술적 진입 장벽 또한 기하급수적으로 높아지고 있습니다.

#### 1.2. 삼성전자의 기술적 지향점: 수율(Yield)과 원가 경쟁력의 동시 확보

글로벌 메모리 반도체 시장의 선두 주자인 삼성전자는 HBM 시장의 주도권을 공고히 하기 위해 다각적인 기술 혁신 전략을 전개하고 있습니다. 삼성전자의 전략적 지향점은 크게 두 가지 축으로 요약됩니다.

첫째, '초고단 적층 기술을 통한 성능 극대화'입니다. HBM3E를 넘어 HBM4로 진화하는 과정에서 적층 단수는 더욱 높아질 것이며, 이는 물리적인 두께 제어와 열 관리(Thermal Management) 기술의 한계를 시험하는 단계에 진입했음을 의미합니다. 삼성전자는 자사만의 독자적인 TC-NCF(Thermal Compression Non-Conductive Film) 기술을 고도화하여, 고단 적층 시 발생할 수 있는 웨이퍼의 휨(Warp) 현상을 억제하고 적층 안정성을 확보하는 데 주력하고 있습니다. 또한, 차세대 공정인 Hybrid Bonding(하이브리드 본딩) 기술을 선제적으로 준비하여 범프(Bump) 없는 초미세 접합을 통한 데이터 전송 속도의 혁신을 꾀하고 있습니다.

둘째, '공정 혁신을 통한 제조 원가 절감 및 수율 최적화'입니다. 최근 삼성전자가 주목하고 있는 400mm급 링웨이퍼(Ring Wafer) 기술은 기존 300mm 웨이퍼의 구조적 한계를 극복하려는 시도입니다. 웨이퍼 가장자리의 불량 구간을 효율적으로 관리하고 유효 면적 활용도(Utilization)를 극대화함으로써, 단위 면적당 생산되는 칩의 수를 늘리고 제조 원가(Cost per Die)를 획기적으로 낮추려는 전략입니다. 이는 단순히 기술적 우위를 점하는 것을 넘어, 대규모 양산 체제에서 압도적인 가격 경쟁력을 확보하여 빅테크 기업(CSP)들을 고객사로 락인(Lock-in)하기 위한 핵심적인 움직임으로 분석됩니다.

#### 1.3. 보고서의 목적 및 분석 범위

본 보고서는 급변하는 HBM 제조 생태계 내에서 삼성전자가 채택하고 있는 최첨단 공정 기술을 심층적으로 분석하고, 이를 뒷받침하는 글로벌 장비 공급망(Supply Chain)의 구조를 규명하는 데 목적이 있습니다.

단순히 개별 공정을 나열하는 수준을 넘어, 전공정(Front-end)의 TSV 형성 단계부터 후공정(Back-end)의 Advanced Packaging 및 최종 테스트 단계에 이르기까지의 전체 프로세스를 유기적으로 연결하여 고찰합니다. 특히, 공정의 고도화에 따라 필수적으로 요구되는 핵심 장비(Critical Equipment)들을 매핑하고, Lam Research, Applied Materials, Besi 등 글로벌 선도 기업들의 기술적 역할과 시장 내 위치를 분석합니다.

또한, HBM4 이후의 게임 체인저가 될 Hybrid Bonding 기술 도입이 가져올 장비 생태계의 지각 변동을 예측함으로써, 향후 반도체 후공정(Advanced Packaging) 시장의 기술적 난제와 그에 따른 대응 전략을 제시하고자 합니다. 본 보고서가 제공하는 분석 데이터는 HBM 제조 공정의 흐름을 이해하고자 하는 엔지니어, 공급망 전략을 수립하는 기획자, 그리고 차세대 패키징 기술의 향방을 예측하고자 하는 산업 분석가들에게 실질적인 인사이트를 제공할 것입니다.

## HBM 전공정(Front-end): TSV 형성 및 웨이퍼 레벨 공정

HBM(High Bandwidth Memory)의 성능을 결정짓는 가장 근본적인 요소는 수직으로 적층된 수십 개의 DRAM 다이(Die) 사이를 얼마나 빠르고 안정적으로 연결하느냐에 달려 있습니다. 이를 가능하게 하는 핵심 기술이 바로 TSV(Through-Silicon Via, 실리콘 관통 전극) 공정입니다. 일반적인 DRAM이 와이어 본딩(Wire Bonding)을 통해 전기적 신호를 주고받는 것과 달리, HBM은 웨이퍼 자체에 미세한 구멍을 뚫고 그 내부를 전도성 물질로 채워 수직 통로를 형성합니다.

본 섹션에서는 HBM의 고대역폭(High Bandwidth)을 구현하기 위한 전공정(Front-end)의 핵심 단계인 TSV 형성 과정을 식각(Etching), 증착(Deposition), 도금(Electroplating)의 메커니즘을 중심으로 심층 분석합니다.

### 2.1. TSV 형성의 핵심 메커니즘 및 단계별 상세 공정

TSV 공정은 웨이퍼 레벨에서 진행되며, 고종횡비(High Aspect Ratio, HAR)를 가진 미세 채널을 형성하고 이를 전기적으로 연결 가능한 구조로 만드는 복합적인 과정입니다.

#### #### 2.1.1. 고종횡비 식각 (High Aspect Ratio Etching: DRIE)

TSV 형성의 첫 번째 관문은 실리콘 웨이퍼에 수 마이크로미터( $\mu\text{m}$ ) 깊이의 미세한 구멍을 뚫는 것입니다. HBM의 적층 수가 증가함에 따라 요구되는 TSV의 깊이와 직경의 비율(Aspect Ratio)은 급격히 높아지고 있습니다.

- **기술적 원리:** 주로 DRIE(Deep Reactive Ion Etching) 기술이 사용됩니다. 이는 플라즈마를 이용한 건식 식각(Dry Etching) 방식으로, 이온의 직진성을 극대화하여 수직 방향으로 깊은 구멍을 형성합니다. 대표적인 메커니즘으로는 Bosch Process가 있습니다. 이는 식각(Etching) 단계와 보호막 형성(Passivation) 단계를 빠르게 반복하여, 측면 식각(Undercut)을 방지하고 수직도를 확보하는 방식입니다.

- **기술적 난제:** 구멍이 깊어질수록 하단부까지 플라즈마 이온이 도달하기 어려워지는 'Aspect Ratio Dependent Etching (ARDE)' 현상이 발생합니다. 이는 식각 속도의 불균일성을 초래하여 TSV의 깊이가 일정하지 않게 만드는 주요 원인이 됩니다.

#### #### 2.1.2. 절연막 및 확산 방지막 증착 (Deposition: ALD & CVD)

식각된 TSV 내부 벽면은 금속(Cu)이 실리콘 기판과 직접 접촉하여 누설 전류(Leakage Current)가 발생하는 것을 막기 위해 절연 처리가 필수적입니다.

- **절연막 형성 (Insulation Layer):** TSV 내부의 미세한 곡면을 따라 균일한 두께의 절연층을 형성하기 위해 ALD(Atomic Layer Deposition, 원자층 증착) 기술이 핵심적으로 사용됩니다. ALD는 원자 단위로 층을 쌓아 올리기 때문에, 매우 높은 종횡비를 가진 구조 내부에서도 뛰어난 단차 피복성(Step Coverage)을 보장합니다 [1].

- **확산 방지막 형성 (Barrier Layer):** 절연막 위에 구리(Cu)가 실리콘이나 절연막 내부로 확산되는 것을 방지하기 위해 Ti(티타늄)나 Ta(탄탈륨) 기반의 확산 방지막을 증착합니다. 이 역시 미세한 구멍 내부 전체를 빈틈없이

감싸야 하므로 고정밀 증착 장비가 요구됩니다.

#### #### 2.1.3. 구리 충전 공정 (Copper Electroplating)

절연 및 방지막 형성이 완료되면, TSV 내부를 전기 전도성이 높은 구리(Cu)로 가득 채워 실제 데이터가 흐르는 통로를 완성합니다.

- **기술적 원리: Electroplating(전해 도금)** 공정을 통해 전해액 내의 구리 이온을 전기적 힘으로 TSV 내부로 이동시켜 결정 구조를 형성합니다.
- **핵심 관리 요소:** 구리가 채워질 때 내부에서 빈 공간이 생기는 **Void(공극)** 현상을 방지하는 것이 공정 수율의 핵심입니다. 만약 Void가 발생하면 저항(Resistance)이 급증하거나 신호 전달이 차단되어 최종 제품의 불량으로 직결됩니다. 이를 위해 도금액의 첨가제(Additive) 제어와 전류 밀도(Current Density)의 정밀한 프로파일링이 필수적입니다.

### 2.2. 전공정 주요 공정 및 매칭 장비 요약

HBM 전공정은 초미세 패턴의 정밀도와 수직 구조의 완결성을 확보해야 하는 고난도 영역입니다. 아래 표는 각 공정 단계별 핵심 기술과 이를 구현하기 위한 주요 장비군을 정리한 것입니다.

| 공정 단계 (Process Step)  | 핵심 기술 (Key Technology)           | 주요 목적 (Objective)   | 핵심 장비 (Key Equipment)                           |
|-----------------------|----------------------------------|---------------------|-------------------------------------------------|
| TSV Etching           | DRIE (Deep Reactive Ion Etching) | 고종횡비 수직 채널 형성       | Plasma Etcher (Lam Research, Applied Materials) |
| Insulation Deposition | ALD (Atomic Layer Deposition)    | 미세 구조 내 균일 절연막 형성   | ALD System (Applied Materials, TEL)             |
| Barrier Deposition    | CVD / PVD                        | 금속 확산 방지 및 접합력 강화   | CVD/PVD System (Applied Materials, TEL)         |
| Cu Filling            | Electroplating                   | 전기적 통로(Via) 완성      | Electroplating System (Applied Materials, TEL)  |
| TSV Inspection        | Optical / X-ray Inspection       | TSV 위치, 깊이, Void 검출 | High-Precision Optical / X-ray (KLA, Camtek)    |

### 2.3. 전공정 수율 확보를 위한 기술적 시사점

HBM의 전공정 단계에서 발생하는 불량은 후공정(Back-end)의 적층 단계에서 치명적인 결과로 나타납니다. 예를 들어, 전공정에서 TSV의 위치(Alignment)가 미세하게 어긋나거나(Misalignment), 도금 과정에서 발생한 미세한 Void가 해결되지 않으면, 칩을 쌓았을 때 물리적인 연결 불량은 물론 열 방출 효율 저하를 초래합니다.

특히 삼성전자가 추진하는 차세대 HBM 공정에서는 400mm급 대형 웨이퍼 활용 및 고단 적층이 예고되어 있어, 전공정 단계에서의 **웨이퍼 균일도(Uniformity) 제어**와 **초정밀 검사(Inspection) 역량**이 수율 확보의 성패를 가르는 핵심 변수가 될 것입니다. 따라서 ALD를 통한 초미세 증착 기술과 DRIE를 통한 고정밀 식각 기술, 그리고 이를 실시간으로 모니터링할 수 있는 고해상도 광학 검사 솔루션의 통합적 운용이 필수적입니다.

## HBM 후공정(Back-end): Advanced Packaging 및 적층 기술

HBM(High Bandwidth Memory)의 성능을 결정짓는 핵심 요소는 단순히 개별 DRAM의 속도가 아니라, 수십 개의 칩을 얼마나 정밀하게 쌓고(Stacking), 그 사이의 전기적 연결성을 얼마나 손실 없이 확보하느냐에 달려 있습니다. 삼성전자의 HBM 제조 전략은 전공정에서 형성된 TSV(Through-Silicon Via)를 바탕으로, 후공정(Back-end) 단계에서 고난도의 **Advanced Packaging** 기술을 적용하여 데이터 전송 대역폭을 극대화하는 데 초점이 맞춰져 있습니다. 본 섹션에서는 웨이퍼 상태의 Die를 개별 칩으로 분리하는 단계부터, 최종 패키지 형태를 갖추기 위한 적층 및 몰딩 공정까지의 메커니즘을 심층 분석합니다.

### 3.1. Wafer Dicing: 개별 Die의 정밀 분리 공정

HBM 적층을 위한 첫 단계는 TSV가 형성된 웨이퍼를 개별 DRAM Die 단위로 정밀하게 절단하는 **Wafer Dicing** 공정입니다. HBM은 적층 수가 높아질수록 칩 하나하나의 두께가 얇아지기 때문에, 절단 과정에서 발생하는 물리적 충격에 매우 취약합니다.

- **공정 메커니즘:** 기존의 블레이드(Blade) 방식은 물리적인 마찰과 압력을 가하므로 얇은 웨이퍼에 Crack(균열)이나 Chipping(깨짐)을 유발할 위험이 큼. 따라서 삼성전자를 포함한 최첨단 공정에서는 **Laser Dicing** 기술이 적극적으로 활용됩니다. 레이저를 이용해 절단 경로를 따라 미세하게 웨이퍼를 녹이거나(Ablation), 열적 응력을 이용해 분리하는 방식을 사용함으로써 물리적 손상을 최소화합니다.
- **핵심 관리 항목:** Die의 치수 정밀도(Dimension Accuracy), 절단면의 거칠기(Surface Roughness), 그리고 절단 시 발생하는 미세 균열의 유무입니다. 특히 TSV 전극이 노출되는 부위의 손상은 후속 본딩 공정의 치명적인 불량으로 직결됩니다.

### 3.2. Die-to-Die Stacking: 적층 및 접합 기술의 핵심

HBM의 정체성은 '수직 적층'에 있으며, 이 단계에서 삼성전자는 자사의 독자적인 기술인 **TC-NCF(Thermal Compression Non-Conductive Film)** 방식을 주력으로 사용합니다. 이는 경쟁사인 SK하이닉스의 MR-MUF(Mass Reflow Molded Underfill) 방식과 차별화되는 지점으로, 고단 적층 시 발생하는 물리적 난제를 해결하는 핵심 솔루션입니다.

#### #### 3.2.1. TC-NCF (Thermal Compression Non-Conductive Film) 메커니즘

TC-NCF는 칩과 칩 사이에 비전도성 필름(NCF)을 삽입하고, 열과 압력을 동시에 가하여 접합하는 방식입니다.

1. **Film Lamination:** 얇은 NCF 필름을 웨이퍼 또는 Die 위에 균일하게 도포합니다. 이 필름은 칩 사이의 절연체 역할을 수행함과 동시에, 적층 시 발생하는 칩 간의 간격을 메워주는 역할을 합니다.
2. **Thermal Compression Bonding:** 상부 Die를 하부 Die 위에 정밀하게 정렬(Alignment)한 후, 본딩 헤드를 통해 고온(High Temperature)과 고압(High Pressure)을 가합니다. 이때 압력에 의해 NCF가 압착되면서 칩 사이의 미세한 틈을 메우고, 마이크로 범프(Micro-bump)를 통해 전기적 연결이 완성됩니다.

#### 3. 기술적 강점 및 한계:

- **강점:** NCF가 칩 사이를 물리적으로 지지해주기 때문에, 적층 수가 늘어남에 따라 발생하는 **Warpage(휨 현상)** 제어에 매우 유리합니다. 또한, 칩 사이의 간격을 일정하게 유지할 수 있어 고단 적층(12단, 16단 이상) 시 구조적 안정성이 높습니다.
- **한계:** 압력을 가하는 방식 특성상 공정 시간이 길어질 수 있으며, 고압에 의한 얇은 웨이퍼의 파손 위험이 존재합니다.

#### #### 3.2.2. 비교 분석: TC-NCF vs. MR-MUF

| 비교 항목 | TC-NCF (삼성전자 주력) | MR-MUF (SK하이닉스 주력) |
|-------|------------------|--------------------|
|-------|------------------|--------------------|

|            |                       |                         |
|------------|-----------------------|-------------------------|
| 접합 방식      | 열과 압력을 이용한 압착 본딩      | 칩 적층 후 액체 형태의 보호재 주입    |
| 주요 재료      | 비전도성 필름 (NCF)         | 몰딩 컴파운드 (MUF)           |
| Warpage 제어 | 우수 (필름이 구조적 지지 역할)    | 보통 (액체 경화 후 수축 고려 필요)   |
| 공정 속도      | 상대적 저속 (압착 시간 필요)     | 상대적 고속 (Mass Reflow 가능) |
| 적층 한계 대응   | 고단 적층(High-stack)에 유리 | 방열 성능 및 공정 효율에 강점       |

### 3.3. Molding & Encapsulation: 구조적 보호 및 방열 최적화

적층이 완료된 Die 뭉치는 외부 환경(습기, 충격, 화학 물질)으로부터 보호되어야 합니다. 이를 위해 **Molding** 공정을 통해 **EMC(Epoxy Molding Compound)**를 사용하여 패키지를 완전히 감싸는 과정을 거칩니다.

- **공정 메커니즘:** 적층된 Die 구조물 주위에 액상 또는 고체 형태의 EMC를 주입하고 경화(Curing)시킵니다. 이 과정에서 형성된 몰딩 구조는 패키지의 물리적 강도를 높이고, 외부로부터의 오염을 차단하는 보호막 역할을 합니다.
- **HBM 특화 이슈 (Thermal Management):** HBM은 고속 데이터 전송 시 막대한 열이 발생합니다. 따라서 몰딩 공정에서 사용되는 EMC의 열전도율(Thermal Conductivity)은 제품의 신뢰성과 직결됩니다. 열 방출이 원활하지 않을 경우, 내부 온도가 상승하여 데이터 오류(Bit Error)가 발생하거나 소자의 수명이 단축될 수 있습니다.

### 3.4. 후공정 핵심 장비 및 기술적 요구사항 요약

HBM 후공정은 극도로 미세한 공정 마진을 다루기 때문에, 각 단계별로 다음과 같은 고정밀 장비의 운용이 필수적입니다.

| 공정 단계      | 핵심 장비 (Key Equipment)            | 기술적 요구사항 (Key Requirements)             |
|------------|----------------------------------|-----------------------------------------|
| Dicing     | Laser Dicing System              | 미세 Crack 방지, Die 정밀도 확보                 |
| Lamination | NCF Laminator                    | 필름 두께 균일성(Uniformity), 기포(Void) 제거      |
| Bonding    | TC Bonder                        | 초정밀 정렬(Sub-micron Alignment), 압력/온도 제어  |
| Molding    | Molding Machine / Transfer Press | EMC 충전성(Flowability), Warpage 제어        |
| Inspection | 3D SPI / X-ray / AOI             | TSV 연결성 확인, 내부 Void/Delamination 검출 [1] |

결론적으로, 삼성전자의 HBM 후공정 경쟁력은 **TC-NCF 공정의 정밀도 극대화**와 **고단 적층 시 발생하는 Warpage 및 열 관리 문제를 어떻게 제어하느냐**에 달려 있습니다. 특히, 차세대 HBM4로 넘어가는 시점에서는 기존의 범프 방식이 아닌 **Hybrid Bonding**으로의 전환이 예고되어 있어, 현재의 적층 기술을 넘어선 초정밀 정렬 및 표면 평탄화(CMP) 기술이 후공정의 새로운 핵심 과제로 부상하고 있습니다.

## [Diagram] HBM 통합 제조 프로세스 및 장비 맵

HBM(High Bandwidth Memory) 제조 공정은 일반적인 DRAM 제조 공정과 달리, 전공정에서 형성된 TSV(Through-Silicon Via)를 기반으로 후공정의 Advanced Packaging 기술이 유기적으로 결합되는 복합적인 구조를 가집니다. 본 섹션에서는 웨이퍼 상태의 미세 회로 형성 단계(Front-end)부터, 개별 칩으로 절단하여 수직으로 적층하고 최종 패키징하는 단계(Back-end)까지의 전체 흐름을 공정 순서에 따라 체계적으로 구조화하여 제시합니다.

## 1. HBM 제조 프로세스 아키텍처 개요

HBM의 제조 흐름은 크게 '**Wafer-Level Process(전공정)**'와 '**Advanced Packaging Process(후공정)**'로 구분됩니다.

전공정 단계에서는 실리콘 웨이퍼 내부에 수천 개의 데이터 통로인 TSV를 형성하는 것이 핵심입니다. 이는 고속 데이터 전송을 위한 물리적 기반을 마련하는 과정으로, 식각(Etching), 증착(Deposition), 도금(Plating) 등의 고정밀 공정이 연속적으로 수행됩니다. 특히 TSV 내부의 Void(공극)를 방지하고 균일한 구리(Cu) 충진을 달성하는 것이 수율의 핵심입니다. [1]

후공정 단계에서는 형성된 TSV를 활용하여 칩을 수직으로 쌓아 올리는 적층(Stacking) 기술이 적용됩니다. 삼성전자의 경우, 칩 사이에 비전도성 필름을 삽입하여 적층하는 **TC-NCF(Thermal Compression Non-Conductive Film)** 기술을 사용하여 고단 적층 시 발생하는 휨(Warping) 현상을 제어하고 구조적 안정성을 확보하는 전략을 취하고 있습니다. [5, 7]

## 2. 공정 단계별 상세 흐름 및 매칭 장비 맵 (Equipment Mapping)

아래 표는 HBM의 전체 제조 사이클을 공정 순서에 따라 분류하고, 각 단계에서 요구되는 핵심 기술과 이를 구현하기 위한 필수 장비군을 매핑한 것입니다.

| 구분                      | 공정 단계 (Process Step) | 핵심 기술 및 목적 (Key Technology)         | 매칭 필수 장비 (Required Equipment)                  |
|-------------------------|----------------------|-------------------------------------|------------------------------------------------|
| Front-end (Wafer Level) | TSV Formation        | 고종횡비(High Aspect Ratio) 식각 및 절연막 형성 | DRIE (Deep RIE), ALD (Atomic Layer Deposition) |
|                         | TSV Filling          | 구리(Cu) 전해 도금을 통한 전극 충진              | Electroplating System                          |
|                         | Wafer Inspection     | TSV 위치, 깊이 및 내부 결함(Void) 검사         | Wafer Probe, High-Precision Optical System [1] |
| Back-end (Packaging)    | Wafer Dicing         | 웨이퍼를 개별 Die로 정밀 분리                  | Laser/Blade Dicing System                      |
|                         | Micro-bump Prep      | 칩 간 연결을 위한 마이크로 범프 형성               | Bump Formation/Inspection System [1]           |
|                         | Stacking (TC-NCF)    | NCF 필름 도포 및 열/압력을 이용한 적층            | NCF Lamination & TC Bonder [5]                 |
|                         | Underfill/Molding    | 적층 구조 보호 및 절연 (Encapsulation)       | Molding/Encapsulation System                   |

|             |            |                   |                                                   |
|-------------|------------|-------------------|---------------------------------------------------|
| Final Stage | Final Test | 전기적/기능적/열적 신뢰성 검증 | ATE(Automated Test Equipment), Burn-in System [2] |
|-------------|------------|-------------------|---------------------------------------------------|

### 3. 공정 흐름의 기술적 연계성 분석

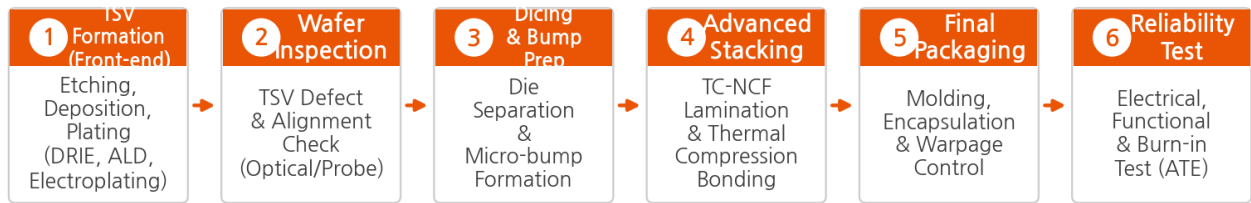
HBM 제조의 핵심은 '전공정의 정밀도가 후공정의 수율을 결정한다'는 점에 있습니다.

1. **TSV-to-Bump 연계:** 전공정에서 형성된 TSV의 종횡비와 도금 품질은 후공정의 마이크로 범프(Micro-bump) 정렬(Alignment) 정확도와 직결됩니다. 만약 TSV 내부의 충진이 불완전할 경우, 적층 후 전기적 연결 불량(Open/Short)이 발생하게 됩니다. [1]

2. **Warpage 제어의 중요성:** 적층 단수가 높아질수록(예: HBM3E → HBM4) 칩 사이의 간격 유지와 물리적 변형(Warpage) 관리가 극도로 어려워집니다. 삼성전자의 TC-NCF 공정은 이 단계에서 칩의 평탄도를 유지하며 고밀도 적층을 가능하게 하는 핵심 메커니즘입니다. [5]

3. **검사(Inspection)의 통합:** 전공정의 Wafer Probe 단계부터 후공정의 3D SPI(Solder Paste Inspection) 및 X-ray 비파괴 검사, 그리고 최종 Burn-in 테스트에 이르기까지, 각 단계별 검사 장비는 단순 불량 검출을 넘어 공정 데이터를 피드백하여 전체 수율을 최적화하는 스마트 팩토리의 중추 역할을 수행합니다. [2, 6]

### HBM Integrated Manufacturing Process & Equipment Architecture



### 공정별 핵심 장비 및 글로벌 공급망(Vendor) 분석

HBM(High Bandwidth Memory)의 제조 경쟁력은 단순히 개별 공정의 기술력을 넘어, 각 단계에 투입되는 초정밀 장비의 성능과 이를 뒷받침하는 글로벌 공급망(Supply Chain)의 안정성에 의해 결정됩니다. HBM은 일반 DRAM 대비 공정 난이도가 기하급수적으로 높으며, 특히 TSV(Through-Silicon Via) 형성부터 고단 적층(Stacking)에 이르기까지 전 공정이 고도로 정밀화된 장비들의 유기적인 결합으로 이루어집니다. 본 섹션에서는 HBM 제조의 핵심 공정을 전공정(Front-end)과 후공정(Back-end)으로 구분하여, 각 단계별 필수 장비와 이를 공급하는 글로벌 선도 기업(Vendor)을 심층 분석합니다.

#### 1. 전공정(Front-end): TSV 형성 및 웨이퍼 레벨 공정 장비

전공정 단계는 웨이퍼 내부에 수천 개의 미세한 전기적 통로인 TSV를 형성하는 과정으로, 이 단계의 결함은 적층 후 수정이 불가능하므로 극도의 정밀도가 요구됩니다.

| 핵심 공정 (Process) | 주요 기능 및 기술적 요구사항 (Function & Requirement) | 핵심 장비 (Key Equipment) | 글로벌 주요 공급사 (Global Vendors) |
|-----------------|-------------------------------------------|-----------------------|-----------------------------|
|-----------------|-------------------------------------------|-----------------------|-----------------------------|

|                      |                                                     |                                     |                                                       |
|----------------------|-----------------------------------------------------|-------------------------------------|-------------------------------------------------------|
| TSV Etching          | 실리콘 웨이퍼에 고종횡비(High Aspect Ratio)의 미세 구멍을 형성하는 식각 공정 | DRIE (Deep Reactive Ion Etching)    | Lam Research, Applied Materials, Tokyo Electron (TEL) |
| Insulation & Barrier | TSV 내부의 누설 전류를 막기 위한 절연막 및 구리 확산 방지막 증착             | ALD (Atomic Layer Deposition)       | Applied Materials, TEL, Lam Research                  |
| Cu Electroplating    | 식각된 구멍 내부에 구리(Cu)를 균일하게 채워 전기적 통로를 완성               | Electroplating System               | Applied Materials, TEL                                |
| TSV Inspection       | TSV의 위치 정확도, 깊이, 내부 Void(공극) 및 연결성 검사               | High-Res Optical / X-ray Inspection | KLA, Camtek, Onto Innovation                          |

**[분석]** TSV 공정의 핵심은 '깊고 좁은' 구멍을 얼마나 결함 없이 뚫고 채우느냐에 있습니다. **Lam Research**와 **Applied Materials**는 고종횡비 식각 및 원자층 증착(ALD) 분야에서 압도적인 점유율을 보유하고 있으며, 이는 HBM의 데이터 전송 속도와 직결되는 TSV의 신뢰성을 결정짓는 핵심 요소입니다. 또한, 적층 전 단계에서 TSV의 불량률 잡아내기 위한 **KLA** 및 **Camtek**의 광학/X-ray 검사 장비는 수율(Yield) 관리의 필수 관문입니다.

## 2. 후공정(Back-end): Advanced Packaging 및 적층 기술 장비

후공정은 개별 Die를 분리하고, 이를 수직으로 쌓아 올린 뒤 물리적으로 결합하는 단계입니다. 삼성전자의 HBM 전략인 TC-NCF(Thermal Compression Non-Conductive Film) 및 차세대 Hybrid Bonding 기술이 이 구간에서 구현됩니다.

| 핵심 공정 (Process)       | 주요 기능 및 기술적 요구사항 (Function & Requirement) | 핵심 장비 (Key Equipment)                  | 글로벌 주요 공급사 (Global Vendors)      |
|-----------------------|-------------------------------------------|----------------------------------------|----------------------------------|
| Wafer Dicing          | 웨이퍼를 개별 Die 단위로 정밀하게 절단 (Chipping 방지 필수)  | Laser / Blade Dicing System            | DISCO, Tokyo Electron (TEL)      |
| NCF Lamination        | 칩 사이에 비전도성 필름을 도포하여 적층 간격 유지 및 절연         | Lamination System                      | Samsung SEMES, Besi              |
| Thermal Compression   | 열과 압력을 가해 범프(Bump)를 접합하고 칩을 고정            | TC Bonder (Thermal Compression Bonder) | Besi, Hanmi Semiconductor, SEMES |
| Molding/Encapsulation | 적층된 구조물을 외부 충격 및 습기로부터 보호하는 봉지 공정         | Molding System                         | ASMPT, SEMES                     |

|                     |                                                                |                           |                                          |
|---------------------|----------------------------------------------------------------|---------------------------|------------------------------------------|
| Advanced Inspection | 적층 후 Die-to-Die<br>정렬(Alignment),<br>Warpage(휨), Bump 높이<br>검사 | 3D SPI / AOI / X-ray / CT | KLA, Camtek, Onto<br>Innovation, CRESSEM |
|---------------------|----------------------------------------------------------------|---------------------------|------------------------------------------|

[분석] 후공정의 핵심은 '적층 안정성'과 '정렬 정밀도'입니다. 특히 고단 적층(12단, 16단 이상)으로 갈수록 칩의 물리적 변형인 **Warpage(휨)** 현상이 심화되는데, 이를 제어하기 위한 **Besi**나 **한미반도체**의 본딩(Bonding) 기술력이 매우 중요합니다. 삼성전자는 자사의 **TC-NCF** 기술을 극대화하기 위해 고정밀 라미네이션 및 본딩 장비 라인업을 강화하고 있습니다. 또한, 적층 내부의 미세한 결함을 비파괴 방식으로 확인해야 하므로 **3D X-ray/CT** 및 **AOI(Automated Optical Inspection)** 장비의 비중이 급격히 증가하고 있습니다.

### 3. 종합 공급망 구조 및 전략적 시사점

HBM 공급망은 크게 [전공정 장비: 식각/증착/도금] **Wrightarrow** [후공정 장비: 절단/본딩/몰딩] **Wrightarrow** [검사 장비: 광학/X-ray/전기적 테스트]의 흐름을 가집니다.

1. **장비 고도화의 양극화**: 전공정에서는 **Applied Materials, Lam Research**와 같은 거대 장비사(Big Tech)의 독점적 지위가 유지되는 반면, 후공정(Advanced Packaging)에서는 **Besi, 한미반도체**와 같이 특정 공정(Bonding)에 특화된 전문 기업들의 영향력이 확대되고 있습니다.

2. **검사(Inspection)의 중요성 증대**: HBM은 구조적 복잡성으로 인해 공정 중간 단계에서의 검사가 수율에 결정적인 영향을 미칩니다. 이에 따라 **KLA**와 같은 전통적 강자 외에도, **CRESSEM**과 같이 AI 비전 기술과 고정밀 광학 엔진을 결합하여 과검(Over-kill)을 줄이고 실시간 결함을 검출하는 솔루션 기업들의 역할이 커지고 있습니다.

3. **Hybrid Bonding으로의 패러다임 전환**: 향후 HBM4 이후 도입될 **Hybrid Bonding** 공정에서는 기존의 Bump 방식이 사라지고 Cu-to-Cu 직접 접합이 이루어집니다. 이는 기존의 TC Bonder 시장을 재편할 것이며, 초정밀 평탄화(CMP) 장비와 원자 단위의 정렬(Alignment)을 지원하는 차세대 검사 장비 공급망이 새롭게 형성될 것으로 예측됩니다.

결론적으로, 삼성전자가 HBM 시장에서 압도적인 수율을 확보하기 위해서는 전공정의 미세 식각 기술과 후공정의 고정밀 적층/검사 기술을 통합적으로 관리할 수 있는 '**장비 생태계(Equipment Ecosystem)**' 구축이 필수적입니다. 이는 특정 Vendor에 대한 의존도를 관리하는 동시에, 차세대 공정(Hybrid Bonding)에 대응하는 신규 장비 공급사와의 전략적 파트너십을 선제적으로 확보하는 것을 의미합니다.

## 차세대 기술 전환: Hybrid Bonding 및 공정 변화

HBM(High Bandwidth Memory) 시장이 HBM3E를 넘어 HBM4(6세대) 및 그 이후의 차세대 제품군으로 진입함에 따라, 기존의 패키징 기술은 물리적 한계점에 도달하고 있습니다. 현재의 주류 기술인 Bump 기반 접합 방식은 적층 수가 증가할수록 전체 패키지의 높이가 높아지고, 데이터 전송 경로가 길어짐에 따라 신호 손실(Signal Loss)과 전력 소모가 증가하는 구조적 문제를 안고 있습니다. 이를 극복하기 위해 삼성전자를 포함한 글로벌 메모리 제조사들이 주목하고 있는 핵심 기술이 바로 **하이브리드 본딩(Hybrid Bonding)**입니다.

### 1. Hybrid Bonding 기술의 메커니즘 및 필요성

하이브리드 본딩은 기존의 마이크로 범프(Micro-bump)를 사용하지 않고, 구리(Cu)와 구리를 직접 맞닿게 하여 접합하는 **Cu-to-Cu Direct Bonding** 기술을 의미합니다. 기존 방식이 솔더(Solder) 재료를 매개체로 하여 범프를 형성하고 이를 녹여 붙이는 방식이었다면, 하이브리드 본딩은 웨이퍼 또는 다이(Die) 표면을 원자 단위 수준으로 평탄화한 후, 절연층(Dielectric)과 금속층(Cu)을 동시에 결합하는 고난도 공정입니다.

이 기술이 도입되어야 하는 근거는 다음과 같은 기술적 이점 때문입니다:

- **초고밀도 I/O 구현:** 범프가 차지하는 물리적 공간이 사라짐에 따라, 기존 대비 I/O(Input/Output)의 밀도를 수십 배 이상 높일 수 있습니다. 이는 HBM의 핵심 가치인 대역폭(Bandwidth) 극대화로 직결됩니다.
- **패키지 두께 감소 (Thinning):** 범프 높이만큼의 공간이 불필요해지므로, 동일한 적층 수에서도 전체 패키지 높이를 획기적으로 낮출 수 있습니다. 이는 고단 적층 시 발생하는 **Warping(휨)** 문제 해결에 결정적인 역할을 합니다.
- **신호 무결성(Signal Integrity) 향상:** 데이터 전송 경로(Interconnect path)가 짧아지고 전기적 저항이 감소하여, 고속 동작 시 발생하는 신호 왜곡과 전력 소모를 최소화할 수 있습니다.

## 2. 공정 및 장비 생태계의 근본적 변화

하이브리드 본딩으로의 전환은 단순히 접합 방식의 변화를 넘어, 전후방 반도체 장비 생태계의 패러다임을 완전히 재편할 것으로 예측됩니다.

| 구분    | 기존 Bump 기반 방식<br>(TC-NCF / MR-MUF) | 차세대 Hybrid Bonding 방식                    | 변화의 핵심 요인                  |
|-------|------------------------------------|------------------------------------------|----------------------------|
| 표면 처리 | 범프 형성 및 플럭스(Flux) 사용               | Ultra-precision CMP<br>(화학기계적 연마)        | 원자 단위의 평탄도(Flatness) 확보 필수 |
| 정렬 기술 | 마이크로 단위의 정렬<br>(Alignment)         | Nano-scale 정렬<br>(Sub-100nm)             | 구리 패드 간의 미세 오차 극복 필요       |
| 접합 방식 | 열과 압력을 이용한<br>Reflow/Compression   | Room Temperature / Low<br>Temp Bonding   | 표면 에너지 및 진공 환경 제어 중요       |
| 검사 항목 | 범프 높이, 볼(Ball) 상태,<br>Void 검사      | Surface Roughness,<br>Cu-to-Cu Alignment | 표면 거칠기 및 미세 간극<br>검사 고도화   |

### #### [장비 수요의 이동 및 신규 수요 발생]

1. **CMP(Chemical Mechanical Polishing) 장비의 고도화:** 하이브리드 본딩의 성패는 접합 면의 평탄도에 달려 있습니다. 따라서 기존의 웨이퍼 연마 기술을 넘어, 다이(Die) 레벨에서 극도로 미세한 표면 거칠기를 구현할 수 있는 **Ultra-precision CMP** 장비에 대한 수요가 폭발적으로 증가할 것입니다.

2. **초정밀 정렬(Alignment) 및 본딩 장비:** 구리 패드 사이의 간격이 극도로 좁아지기 때문에, 기존의 마이크로미터( $\mu m$ ) 단위를 넘어 나노미터(nm) 단위의 정밀도를 갖춘 **Hybrid Bonder**가 필수적입니다. 이는 정밀 스테이지 기술과 고해상도 비전 시스템의 결합을 요구합니다.

3. **차세대 검사 솔루션 (Metrology & Inspection):** 접합 전 표면의 오염이나 미세한 요철을 잡아낼 수 있는 고해상도 광학 검사 장비와, 접합 후 내부의 미세한 결함을 비파괴적으로 확인할 수 있는 **고해상도 3D X-ray/CT** 기술의 중요성이 더욱 커집니다. 특히, 삼성전자가 HBM4 이후 도입할 공정에서는 이러한 검사 장비의 정밀도가 곧 수율(Yield)과 직결될 것입니다. [4]

## 3. 결론 및 전망

하이브리드 본딩은 HBM의 성능을 한 단계 도약시킬 '게임 체인저(Game Changer)'임이 분명합니다. 삼성전자는 이를 위해 기존의 TC-NCF 기술력과 더불어 차세대 Hybrid Bonding 공정 내재화를 위한 R&D를 가속화하고 있습니다. [4]

결과적으로, 향후 HBM 공급망은 기존의 본딩 및 몰딩 장비 중심에서 **초정밀 평탄화(CMP)**, **나노 정렬(Nano-alignment)**, 그리고 **초고해상도 계측(Metrology)** 장비 중심으로 무게 중심이 이동할 것이며, 이

분야에서 독보적인 기술력을 가진 장비사들이 차세대 반도체 패키징 시장의 새로운 주도권을 쥐게 될 것입니다.

## 결론 및 시사점

삼성전자의 HBM(High Bandwidth Memory) 시장 주도권 확보 여부는 단순히 적층 단수를 높이는 것을 넘어, 고단 적층 구조에서 필연적으로 발생하는 물리적·전기적 결함을 얼마나 정밀하게 제어하고 수율(Yield)을 안정화하느냐에 달려 있습니다. 본 보고서에서 분석한 바와 같이, HBM 제조 공정은 전공정의 TSV 형성 기술부터 후공정의 Advanced Packaging 기술에 이르기까지 유기적으로 연결되어 있으며, 각 단계에서의 미세한 오차가 최종 제품의 신뢰성에 치명적인 영향을 미칩니다.

삼성전자의 기술적 경쟁력 강화를 위한 핵심 전략 및 제언은 다음과 같습니다.

첫째, 수율 최적화(Yield Optimization)를 위한 검사 기술의 고도화가 최우선 과제입니다. 삼성전자가 채택하고 있는 TC-NCF(Thermal Compression Non-Conductive Film) 공정은 고단 적층 시 발생하는 **Warping(휨)** 제어에 유리하지만, 칩 사이의 미세한 간극과 접합 상태를 관리하는 난도가 매우 높습니다. 따라서 적층 전 단계에서의 마이크로 범프(Micro-bump) 정렬 검사부터, 적층 후 내부의 Void(공극)를 검출할 수 있는 고해상도 3D X-ray 및 CT 기반 비파괴 검사 솔루션의 통합이 필수적입니다.

둘째, 차세대 패키징 기술인 Hybrid Bonding으로의 선제적 전환 준비가 필요합니다. HBM4 이후 도입될 Hybrid Bonding은 기존의 범프(Bump)를 제거하고 구리(Cu)를 직접 접합하는 방식이므로, 표면의 원자 단위 평탄화(CMP) 기술과 초정밀 정렬(Alignment) 기술이 요구됩니다. 이러한 기술적 패러다임 변화는 기존의 장비 생태계를 완전히 재편할 것이며, 삼성전자는 이에 대응하는 초고해상도 광학 검사 및 계측 장비의 확보를 통해 공정 안정성을 조기에 달성해야 합니다.

셋째, 공정 데이터 기반의 지능형 수율 관리 체계 구축입니다. 단순한 불량 판정을 넘어, 검사 장비에서 수집된 방대한 데이터를 분석하여 공정상의 불량 원인을 역추적(Root Cause Analysis)할 수 있는 AI 기반의 스마트 팩토리 솔루션을 강화해야 합니다. 이는 제조 원가(Cost per Die)를 절감하고, 고객사인 빅테크 기업(CSP)들에게 안정적인 품질의 제품을 적기에 공급할 수 있는 핵심적인 경쟁 우위 요소가 될 것입니다.

결론적으로, 삼성전자는 400mm급 링웨이퍼(Ring Wafer) 도입을 통한 생산 효율성 극대화와 더불어, 하이브리드 본딩 및 고단 적층 공정에서 발생하는 기술적 난제를 해결할 수 있는 '초정밀 검사-계측-제어'의 통합 솔루션을 구축함으로써 AI 메모리 시장의 압도적인 패권(Hegemony)을 확보해야 합니다.