

차세대 반도체 패키징 기술 비교 분석: 2D에서 3D 및 칩렛(Chiplet) 구조까지

문서번호 CRSM-AI-2026-AUTO

작성일 2026-06-11

작성 Cressem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

차세대 반도체 패키징 기술 비교 분석: 2D에서 3D 및 칩렛(Chiplet) 구조까지	3
개요: 반도체 패키징 패러다임의 변화	3
기초 패키징 기술: 1D 및 2D 구조	3
중간 단계의 진화: 2.5D 패키징 기술	4
기술 진화에 따른 검사(Inspection) 요구사항 변화	7
결론 및 시사점	9

차세대 반도체 패키징 기술 비교 분석: 2D에서 3D 및 칩렛(Chiplet) 구조까지

반도체 미세화 한계 극복을 위한 패키징 기술의 진화 과정을 1D부터 3D까지 단계별로 분석합니다. 특히 최근 핵심 기술로 부상한 2.5D, 3D 적층 구조와 칩렛(Chiplet) 기반의 이질적 집적(Heterogeneous Integration) 기술을 비교하고, 이에 따른 검사 기술의 변화를 고찰합니다.

개요: 반도체 패키징 패러다임의 변화

반도체 산업은 지난 수십 년간 무어의 법칙(Moore's Law)에 따라 소자의 미세화(Scaling)를 통해 성능 향상과 집적도 증대를 달성해 왔습니다. 웨이퍼 상에서 단위 면적당 더 많은 트랜지스터를 배치함으로써 전력 효율을 높이고 연산 능력을 극대화하는 전공정(Front-End) 중심의 성장은 반도체 산업의 근간이었습니다. 그러나 최근 반도체 공정 기술이 원자 단위에 근접함에 따라, 물리적 한계에 따른 비용 급증과 수율 저하 문제에 직면하게 되었습니다. 소자 크기를 줄이는 것만으로는 더 이상 성능 향상의 이득(Performance Gain)이 제조 비용의 증가분을 상쇄하기 어려운 '스케일링의 경제적 한계' 지점에 도달한 것입니다 [출처: SK hynix Newsroom].

이러한 기술적 임계점을 극복하기 위해 반도체 산업의 중심축은 '전공정 미세화'에서 '후공정(Back-End) 고도화', 즉 **첨단 패키징(Advanced Packaging)**으로 급격히 이동하고 있습니다. 과거의 패키징이 단순히 완성된 칩(Die)을 외부 환경으로부터 보호하고 전기적 신호를 전달하는 '포장'의 역할에 충실했다면, 현대의 첨단 패키징은 여러 개의 서로 다른 기능을 가진 칩들을 하나의 시스템처럼 동작하게 만드는 **이질적 집적(Heterogeneous Integration)** 기술의 핵심으로 자리 잡았습니다 [출처: Heidelberg Instruments].

이질적 집적 기술은 로직(Logic), 메모리(Memory), I/O 등 각기 다른 공정 노드에서 최적화되어 생산된 칩렛(Chiplet)들을 하나의 패키지 안에 통합하는 것을 목표로 합니다. 이를 통해 모든 소자를 최첨단 미세 공정으로 제작해야 하는 경제적 부담을 줄이면서도, 특정 기능(예: 연산용 로직)에는 초미세 공정을 적용하고, 상대적으로 미세화의 이득이 적은 기능(예: 입출력 인터페이스)에는 성숙 노드(Mature Node)를 사용하여 전체 시스템의 수율과 비용 효율성을 동시에 확보할 수 있습니다 [출처: SK hynix Newsroom].

결과적으로 패키징 기술의 진화는 단순히 칩을 쌓는 차원을 넘어, 2D 수평 배치에서 2.5D 인터포저 구조, 그리고 3D 수직 적층 및 칩렛 기반의 복합 구조로 발전하며 반도체 성능을 결정짓는 핵심 변수가 되었습니다. 특히 HBM(High Bandwidth Memory)과 같은 고대역폭 메모리의 수요 폭증과 AI 가속기 시장의 성장은 이러한 패키징 패러다임의 변화를 가속화하고 있습니다. 이에 따라 패키징 구조가 복잡해질수록 미세한 물리적 변형(Warpage)이나 정렬 오차(Misalignment), 그리고 적층 내부의 결함을 잡아내기 위한 고정밀 검사(Inspection) 기술의 중요성 또한 기하급수적으로 증대되고 있습니다 [출처: 크레셈 기업 분석 보고서].

기초 패키징 기술: 1D 및 2D 구조

반도체 패키징 기술의 역사는 소자의 크기를 줄이고 기능을 통합하려는 노력의 연속이었으며, 그 기점에는 가장 단순한 형태인 1D 및 2D 구조가 존재합니다. 초기 반도체 제조 공정은 단일 칩(Single Die)을 보호하고 외부 회로와 전기적으로 연결하는 것에 집중하였으나, 기술이 발전함에 따라 여러 개의 칩을 하나의 패키지 내에 배치하는 방식으로 진화하였습니다.

1. 1D 구조: 단일 칩(Single Die) 패키징

1D 구조는 가장 기초적인 형태의 패키징으로, 하나의 웨이퍼에서 분리된 단일 반도체 다이(Die)를 패키징하는 방식을 의미합니다. 이 단계에서는 칩 내부의 회로를 외부 환경(습기, 충격, 오염 등)으로부터 보호하는

'보호(Protection)'와 전원 및 신호를 전달하기 위한 '연결(Interconnection)'이 핵심 목적입니다.

- **특징:** 구조가 단순하여 제조 비용이 저렴하고 설계 복잡도가 낮습니다.
- **한계:** 단일 기능만을 수행하는 칩을 사용하므로, 복합적인 연산이 필요한 시스템을 구현하기 위해서는 메인보드(PCB) 상에서 여러 칩을 별도로 배치해야 합니다. 이는 칩 간의 물리적 거리를 멀게 하여 신호 전달 속도(Latency)를 저하시키고, 전력 소모를 증가시키는 원인이 됩니다.

2. 2D 패키징: 수평 배치 및 MCM(Multi Chip Module)

반도체 성능 향상을 위해 여러 개의 서로 다른 기능을 가진 칩을 하나의 패키지 안에 통합하려는 시도가 나타나면서 2D 패키징 기술이 등장하였습니다. 2D 패키징은 칩들을 기판(Substrate) 위에 수평 방향으로 나란히 배치하는 방식을 취하며, 대표적인 사례로 **MCM(Multi Chip Module)**을 들 수 있습니다 [출처: 에스엔피테크].

- **MCM(Multi Chip Module)의 메커니즘:** MCM은 하나의 패키지 내에 CPU, 메모리, 아날로그 소자 등 서로 다른 성격의 칩들을 수평적으로 배치하고, 이를 기판 내의 배선(Trace)을 통해 연결합니다. 이는 과거 개별 칩을 PCB에 따로 실장하던 방식보다 칩 간 거리를 획기적으로 줄여 신호 무결성(Signal Integrity)을 개선할 수 있었습니다.
- **기술적 특징:** 2D 구조는 칩들을 수평적으로 연결하므로, 수직 적층(Stacking) 방식에 비해 열 방출(Thermal Dissipation) 측면에서 유리합니다. 칩 상단이 개방되어 있어 냉각 솔루션을 적용하기 용이하기 때문입니다.

3. 2D 구조의 기술적 한계와 패러다임의 전환

2D 패키징은 구현이 비교적 용이하고 열 관리가 수월하다는 장점이 있으나, 반도체 미세화 공정이 한계에 다다르면서 명확한 한계를 드러내고 있습니다.

구분	2D 패키징 (MCM 포함)	한계점 및 문제점
집적도 (Density)	칩을 수평으로만 배치하여 면적 효율이 낮음	동일 면적 내에 더 많은 기능을 넣기 어려움 (Scaling 한계)
데이터 전송 (Bandwidth)	기판 배선을 통한 신호 전달	칩 간 거리가 3D 방식에 비해 멀어 대역폭 확보에 불리함
전력 효율 (Power)	긴 배선 경로로 인한 저항 및 정전 용량 발생	신호 전송 시 전력 소모가 상대적으로 높음
크기 (Form Factor)	패키지 면적이 넓어짐	모바일 및 고성능 컴퓨팅(HPC)용 소형화 요구에 부합하기 어려움

표 1. 기초 패키징 기술: 1D 및 2D 구조

결과적으로, 2D 패키징은 물리적인 면적(Footprint)을 줄이는 데 한계가 있으며, 데이터 전송 속도가 기하급수적으로 증가하는 AI 및 고성능 컴퓨팅 시장의 요구사항을 충족시키기 위해 인터포저(Interposer)를 활용한 2.5D 기술이나 수직 적층을 이용한 3D 기술로의 진화가 불가피해졌습니다.

중간 단계의 진화: 2.5D 패키징 기술

반도체 패키징 기술의 발전 흐름에서 2.5D 패키징은 전통적인 2D 배치의 물리적 한계와 3D 적층이 가진 열적·공정적 난제를 동시에 해결하기 위해 등장한 전략적 중간 단계(Intermediate Step)입니다. 2D 패키징이 칩들을 기판 위에 수평으로 배치하여 인터커넥션(Interconnection) 경로가 길고 대역폭(Bandwidth) 확보에 불리했다면, 2.5D 패키징은 칩과 기판 사이에 **인터포저(Interposer)**라는 핵심 계층을 도입함으로써 고성능 컴퓨팅(HPC)과 AI

가속기에 필수적인 초고속·고밀도 데이터 통로를 구축합니다 [출처: snptech.kr].

2.5D 패키징의 핵심 메커니즘: 인터포저(Interposer)의 역할

2.5D 패키징을 정의하는 가장 결정적인 요소는 인터포저의 존재입니다. 2D 패키징에서는 로직 칩(Logic Die)과 메모리 칩(Memory Die)이 PCB(Printed Circuit Board)나 패키지 기판(Substrate)에 직접 실장되지만, 2.5D 구조에서는 이들 사이의 물리적 거리를 좁히기 위해 실리콘(Silicon), 유기물(Organic), 혹은 유리(Glass) 소재로 제작된 인터포저를 중간에 배치합니다 [출처: m.blog.naver.com].

가장 대표적인 방식인 **실리콘 인터포저(Silicon Interposer)** 기반의 2.5D 패키징은 반도체 제조 공정(Front-end) 기술을 활용하여 인터포저 내부에 미세한 배선(Routing)을 형성합니다. 이를 통해 칩과 칩 사이를 연결하는 미세 피치(Fine Pitch)의 배선을 구현할 수 있으며, 이는 기존 기판의 배선 밀도보다 수십 배 이상 높은 수준을 제공합니다. 특히 HBM(High Bandwidth Memory)과 GPU/ASIC 간의 데이터를 주고받을 때, 인터포저를 통한 초미세 배선은 신호 지연(Latency)을 최소화하고 데이터 전송 대역폭을 극대화하는 핵심 통로가 됩니다.

2.5D 패키징 구조 단면도

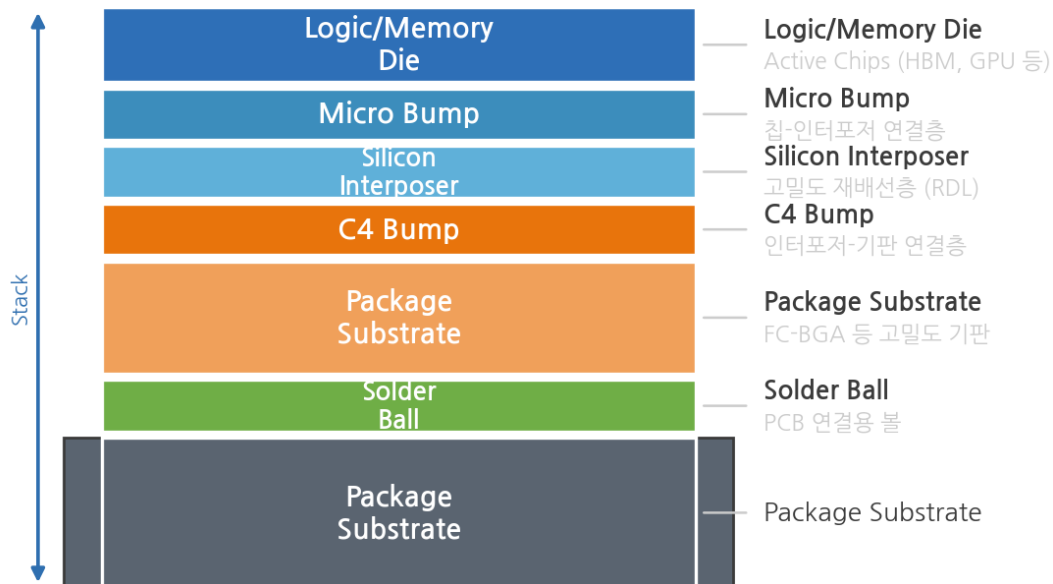


그림 1. 2.5D 패키징 구조 단면도

3D IC TSV 수직 적층 구조 단면도

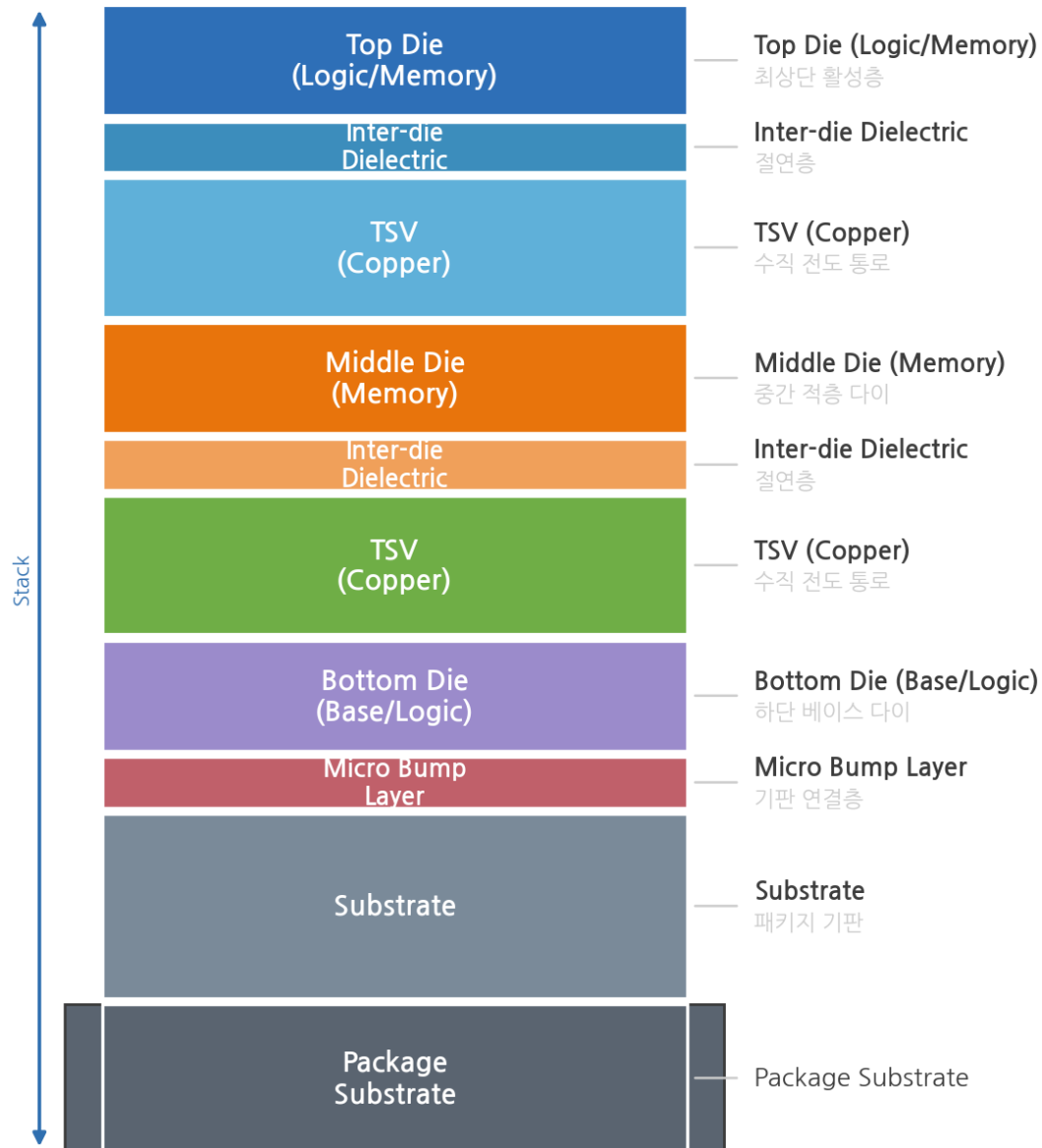


그림 2. 3D IC TSV 수직 적층 구조 단면도

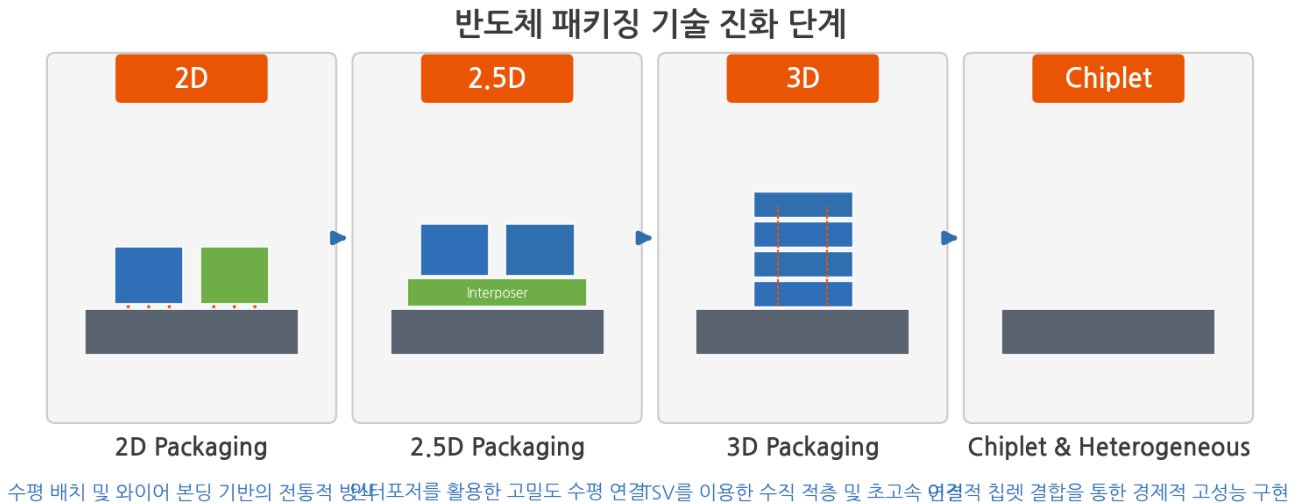


그림 3. 반도체 패키징 기술 진화 단계

기술 진화에 따른 검사(Inspection) 요구사항 변화

반도체 패키징 기술이 2D의 단순 수평 배치에서 2.5D 인터포저 구조를 거쳐 3D 적층 및 칩렛(Chiplet) 기반의 이질적 집적(Heterogeneous Integration)으로 진화함에 따라, 제조 공정의 복잡도는 기하급수적으로 상승하고 있습니다. 이러한 기술적 진보는 성능과 집적도 측면에서 혁신을 가져왔으나, 동시에 검사(Inspection) 측면에서는 기존의 방식으로서는 대응 불가능한 새로운 차원의 난제들을 야기하고 있습니다. 패키징 구조가 고도화될수록 미세한 물리적 변형이나 정렬 오차가 전체 수율(Yield)에 치명적인 영향을 미치기 때문에, 검사 기술의 정밀도와 신뢰성 확보는 차세대 반도체 제조 경쟁력의 핵심 요소로 부상하였습니다.

1. 구조적 고도화에 따른 물리적 변형: Warpage(휨) 관리의 중요성

패키징 기술이 2.5D 및 3D로 진화하며 가장 심각하게 대두되는 물리적 이슈는 Warpage(휨) 현상입니다. 2D 패키징 단계에서는 단일 칩의 물리적 변형이 큰 문제가 되지 않았으나, HBM(High Bandwidth Memory)과 같이 수많은 Die를 수직으로 적층하는 3D 구조나, 대면적 인터포저를 사용하는 2.5D 구조에서는 열팽창 계수(Coefficient of Thermal Expansion, CTE)의 차이로 인해 발생하는 응력이 구조적 불안정성을 초래합니다.

특히 HBM4와 같이 16단 이상의 고단 적층이 요구되는 차세대 공정에서는 적층 수가 증가함에 따라 웨이퍼 및 패키지 전체에 가해지는 물리적 스트레스가 누적됩니다. 이로 인해 발생하는 Warpage는 다음과 같은 연쇄적인 공정 불량량을 유발합니다.

- **본딩 불량(Bonding Failure):** 적층 시 Die 간의 접합면이 완벽하게 밀착되지 않아 접합력이 약화되거나 Void(빈 공간)가 발생할 수 있습니다.
- **회로 단선 및 단락:** 휨 현상으로 인해 내부 미세 회로에 기계적 응력이 가해지면 패턴의 균열(Crack)이나 단선이 발생할 수 있습니다.
- **후속 공정 영향:** Warpage가 제어되지 않은 상태로 다음 공정에 진입할 경우, 플립칩 본딩(Flip Chip Bonding)이나 솔더 볼(Solder Ball) 형성 공정에서 심각한 정렬 오류를 야기합니다.

따라서 고단 적층 대응을 위한 정밀한 Warpage 측정 및 보정 기술의 고도화는 차세대 패키징 검사 솔루션의 필수적인 요구사항입니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

2. 초미세 연결 구조의 정렬 이슈: Misalignment(정렬 오차) 검사

2.5D 및 3D 패키징, 특히 Hybrid Bonding(구리 직접 접합) 기술이 도입됨에 따라 연결(Interconnection)의 밀도는 상상할 수 없을 만큼 높아졌습니다. 기존의 Bump 방식이 아닌, 범프 없이 Cu-to-Cu 접합을 수행하는 Hybrid Bonding 공정에서는 Sub-micron(μm) 단위 이하의 극도로 미세한 정렬(Alignment) 정밀도가 요구됩니다.

이 단계에서 발생하는 Misalignment(정렬 오차)는 단순한 위치 이탈을 넘어 다음과 같은 기술적 결함으로 직결됩니다.

- **접합부 Void 및 저항 증가:** Cu(구리) 패드 간의 정렬이 어긋나면 접합 면적이 감소하여 전기적 저항이 상승하고, 접합부에 미세한 Void가 형성되어 신호 무결성(Signal Integrity, SI)을 저해합니다.
- **Short(단락) 발생:** 인접한 미세 전극 간의 간격이 매우 좁기 때문에, 미세한 정렬 오차만으로도 인접 회로 간의 전기적 단락이 발생할 위험이 매우 높습니다.
- **데이터 전송 효율 저하:** 칩렛 구조와 UCIe 표준 기반의 고속 인터페이스 환경에서는 아주 작은 정렬 오차도 데이터 전송 속도 및 전력 무결성(Power Integrity, PI)에 악영향을 미칩니다.

이에 따라 차세대 검사 장비는 Hybrid Bonding 공정의 Cu-to-Cu 접합면을 실시간으로 감시하고, 미세한 이물질(Particle)이나 정렬 오차를 잡아낼 수 있는 초고해상도 3D 광학 검사 모듈을 탑재해야 합니다 [출처: 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf].

3. 수직 적층 구조의 핵심: TSV(Through-Silicon Via) 및 내부 결함 검사

3D IC 및 HBM의 핵심 기술인 TSV(관통 실리콘 비아)는 칩의 상하부를 전기적으로 연결하는 수직 통로 역할을 합니다. TSV는 수천 개에서 수만 개에 달하는 미세 전극이 칩 내부를 관통하여 형성되므로, 이 연결 상태를 확인하는 것은 패키지의 생존과 직결됩니다.

TSV 기반의 고집적 구조에서는 다음과 같은 특수 검사 역량이 요구됩니다.

검사 항목	주요 결함 유형	검사 기술 요구사항
TSV 연결성 (Connectivity)	Open(단선), Short(단락), High Resistance	고속 전기적 특성 검사 및 고해상도 광학 스캔
Die-to-Die 정렬	Misalignment, Tilt(기울어짐)	3D AOI(Automated Optical Inspection) 기반의 미세 위치 측정
내부 구조 결함	Void, Particle, Delamination(층간 박리)	고해상도 3D X-ray (Computed Tomography) 및 초음파 검사

표 2. 수직 적층 구조의 핵심: TSV(Through-Silicon Via)

특히 HBM4와 같은 차세대 제품은 적층 후 불량률이 발견될 경우 전체 스택(Stack)을 폐기해야 하는 막대한 비용 손실이 발생합니다. 이를 방지하기 위해 적층 전 개별 Die의 전기적 특성을 완벽히 검증하는 Pre-stacking Test(KGD 확보)와 적층 후 내부 결함을 비파괴적으로 확인할 수 있는 고정밀 검사 기술이 필수적입니다 [출처: 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf].

4. 결론: AI 비전과 고정밀 광학의 융합을 통한 검사 패러다임의 전환

패키징 기술의 진화는 검사 장비에게 '더 높은 해상도'와 '더 빠른 속도', 그리고 '더 지능적인 판단'이라는 세 가지 과제를 동시에 던지고 있습니다. 과거의 Rule-based(규칙 기반) 검사 방식은 폭증하는 검사 데이터량과 미세해지는 결함 패턴을 처리하는 데 한계가 있으며, 이는 높은 과검(Over-kill, 양품을 불량으로 판정)률로 이어져 제조 수율을 저하시키는 원인이 됩니다.

따라서 미래의 검사 솔루션은 다음과 같은 방향으로 진화해야 합니다.

1. **AI 기반 결함 분류 (AI-Driven Defect Classification):** Deep Learning 알고리즘을 활용하여 미세 결함(Defect)과 정상적인 노이즈를 정밀하게 구분함으로써 과검율을 획기적으로 낮추고, 결함의 근본 원인(Root Cause Analysis)을 역추적할 수 있는 지능형 시스템을 구축해야 합니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

2. **고속·고해상도 광학 엔진 (High-Speed/High-Resolution Optical Engine):** 생산 라인의 Tact Time(생산 주기)을 극대화하면서도 Sub-micron 단위의 정밀도를 유지할 수 있는 고성능 카메라와 정밀 조명 제어 기술의 결합이 필요합니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

3. **비파괴 및 다각적 검사 통합:** 광학 검사(AOI)의 한계를 극복하기 위해 3D X-ray 및 전기적 특성 검사(Electrical Test)를 통합하여, 패키지 내부와 외부를 아우르는 입체적인 검사 체계를 완성해야 합니다.

결론적으로, 반도체 패키징의 고도화는 검사 기술의 난이도를 높이는 위기인 동시에, 고부가가치 검사 솔루션을 선점할 수 있는 거대한 기회입니다. 기술적 진입장벽이 높아질수록 정밀한 Warpage 제어, 초미세 Alignment 측정, 그리고 AI 기반의 지능형 검사 역량을 보유한 기업이 차세대 반도체 공급망의 핵심 파트너로 자리매김할 것입니다.

결론 및 시사점

1. 미래 패키징 시장 전망: 고성능 컴퓨팅(HPC)과 AI의 동력

반도체 산업의 중심축이 전공정(Front-end)의 미세 공정(Scaling)에서 후공정(Back-end)의 고도화된 패키징 기술로 급격히 이동하고 있습니다. 과거에는 소자의 크기를 줄여 집적도를 높이는 것이 주된 목표였다면, 현재와 미래의 반도체 설계는 어떻게 하면 서로 다른 기능을 가진 칩들을 하나의 패키지 안에 효율적으로 통합할 것인가에 초점이 맞춰져 있습니다.

특히 AI(인공지능) 및 데이터 센터용 프로세서 시장의 폭발적인 성장은 HBM(High Bandwidth Memory)과 같은 고대역폭 메모리와 이를 로직 칩과 결합하는 2.5D 및 3D 패키징 기술에 대한 수요를 극대화하고 있습니다. 향후 패키징 시장은 단순한 '보호 및 연결'의 단계를 넘어, 칩렛(Chiplet) 기반의 이질적 집적(Heterogeneous Integration)을 통해 시스템 전체의 성능을 결정짓는 핵심 요소로 자리 잡을 전망입니다.

2. 기술적 변곡점: Hybrid Bonding과 초정밀 공정의 도입

HBM4 및 차세대 고성능 패키징으로 진입함에 따라, 기존의 범프(Bump)를 이용한 연결 방식은 물리적 한계에 직면하고 있습니다. 이에 따라 구리와 구리를 직접 접합하는 하이브리드 본딩(Hybrid Bonding, Cu-to-Cu) 기술이 차세대 핵심 기술로 부상하고 있습니다.

구분	기존 Bump 방식 (TC-NCF/MR-MUF)	차세대 Hybrid Bonding
연결 구조	솔더 범프(Solder Bump)를 통한 접합	구리(Cu) 패드를 직접 맞닿게 하여 접합
연결 밀도	상대적으로 낮음 (Bump 피치 제한)	극도로 높음 (Sub-micron 급 구현 가능)
두께/높이	범프 높이로 인해 적층 높이 증가	범프가 없어 초박형 적층 가능
주요 과제	열 방출 및 신호 무결성(SI) 확보	초정밀 정렬(Alignment) 및 표면 평탄도

표 3. 기술적 변곡점: Hybrid Bonding과 초정밀 공정의 도입

하이브리드 본딩의 도입은 패키징의 집적도를 비약적으로 높여줄 것이나, 동시에 제조 공정의 난이도를 기하급수적으로 상승시킵니다. 접합면의 미세한 이물질(Particle)이나 아주 작은 정렬 오차(Misalignment)만으로도

전체 패키지가 불량일 수 있기 때문에, 공정 제어의 정밀도가 곧 제품의 경쟁력이 되는 시대가 도래했습니다.

3. 전략적 대응 방향: 수율 최적화(Yield Optimization)와 검사 기술의 고도화

기술이 복잡해질수록 가장 중요한 경영 및 기술적 화두는 **수율(Yield) 확보**입니다. 칩렛 구조와 3D 적층 구조는 단 하나의 칩(Die)만 불량일 발생해도 전체 패키지를 폐기해야 하는 경제적 리스크를 안고 있습니다. 따라서 다음과 같은 세 가지 핵심 전략이 요구됩니다.

- **Pre-stacking Test의 강화 (KGD 확보):** 적층(Stacking) 공정에 들어가기 전, 개별 칩렛(Chiplet)의 전기적 특성을 완벽하게 검증하는 Known Good Die(KGD) 확보 전략이 필수적입니다. 이는 불량 칩이 고가의 패키징 공정에 투입되는 것을 방지하여 전체 수율을 방어하는 핵심 기제입니다. [출처: 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf]
- **초정밀 광학 및 비파괴 검사 솔루션 도입:** 하이브리드 본딩 및 고단 적층(16단 이상)에 대응하기 위해 Sub-micron 급 해상도를 가진 3D 광학 검사(AOI)와 내부 결함을 확인할 수 있는 고해상도 X-ray(CT) 기술의 통합이 필요합니다. 특히 적층 시 발생하는 휨(Warping) 현상을 실시간으로 측정하고 보정하는 기술이 수율 향상의 관건이 될 것입니다. [출처: 기업 분석 보고서 (주)크레셈 (CRESSEM): 차세대 반도체 패키징 검사 솔루션의 선두주자]
- **AI 기반의 스마트 검사 시스템 구축:** 폭증하는 검사 데이터를 처리하고, 단순한 불량 판정을 넘어 불량률의 근본 원인(Root Cause)을 역추적할 수 있는 AI 비전 알고리즘이 도입되어야 합니다. 이는 과검(Over-kill)률을 낮추고 생산 라인의 Tact Time을 최적화하여 제조 원가를 절감하는 데 직접적으로 기여합니다. [출처: 기업 분석 보고서 (주)크레셈 (CRESSEM): 차세대 반도체 패키징 검사 솔루션의 선두주자]

결론적으로, 미래의 반도체 패키징 경쟁력은 얼마나 더 작고, 더 높게, 더 정밀하게 연결하느냐는 '기술적 한계 돌파'와, 그 복잡한 구조 속에서 얼마나 높은 수율을 유지하느냐는 '검사 및 제어 기술'의 결합에 달려 있습니다.