

# 차세대 반도체 패키징 기술 진화 분석: 1D에서 3D 적층 구조

문서번호 CRSM-AI-2026-AUTO

작성일 2026-06-08

작성 Cressem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

# 목 차

|                                       |    |
|---------------------------------------|----|
| 차세대 반도체 패키징 기술 진화 분석: 1D에서 3D 적층 구조까지 | 3  |
| 개요: 반도체 패키징 기술의 패러다임 변화               | 3  |
| 기초 패키징 구조: 1D 및 2D 패키징                | 4  |
| 중간 단계 기술: 2.1D 및 2.5D 패키징의 이해         | 5  |
| 고밀도 적층 기술: 3D IC 및 3D 패키징             | 7  |
| 구조별 비교 분석 (Comparison Matrix)         | 9  |
| 최신 트렌드: HBM 및 AI 가속기 적용 사례            | 10 |
| 결론 및 시사점: 검사 기술의 중요성                  | 12 |

## 차세대 반도체 패키징 기술 진화 분석: 1D에서 3D 적층 구조까지

반도체 미세 공정의 한계를 극복하기 위한 패키징 기술의 발전 과정을 1D부터 3D까지 단계별로 분석합니다. 각 구조별 물리적 특성, 인터커넥트(Interconnect) 방식, 대표 패키지 사례를 비교하고 최신 AI/HPC 트렌드에 따른 기술적 시사점을 도출합니다.

### 개요: 반도체 패키징 기술의 패러다임 변화

반도체 산업은 지난 수십 년간 트랜지스터의 크기를 지속적으로 줄여 집적도를 높이는 '무어의 법칙(Moore's Law)'을 통해 비약적인 발전을 거듭해 왔습니다. 그러나 공정 미세화(Scaling)가 물리적 한계인 원자 단위 수준에 근접함에 따라, 기존의 전공정(Front-end) 중심의 성능 향상 방식은 천문학적 비용 상승과 기술적 난제라는 벽에 직면하였습니다. 이러한 배경 속에서 반도체 산업의 중심축은 단순히 칩을 작게 만드는 것을 넘어, 개별 칩들을 어떻게 효율적으로 연결하고 통합할 것인가라는 '후공정(Back-end)', 즉 **첨단 패키징(Advanced Packaging)** 기술로 급격히 이동하고 있습니다.

과거의 패키징이 단순히 반도체 다이(Die)를 외부 충격으로부터 보호하고 전기적 신호를 전달하는 '보호 및 연결'의 보조적 역할에 머물렀다면, 현재는 시스템 전체의 성능을 결정짓는 핵심적인 아키텍처 설계 단계로 격상되었습니다. 이를 업계에서는 **'More than Moore'** 시대의 도래라고 정의합니다. 이는 미세 공정의 한계를 극복하기 위해 서로 다른 기능을 가진 칩들을 하나로 묶는 **칩렛(Chiplet)** 기술, 그리고 이를 수직·수평으로 고밀도 연결하는 패키징 기술을 통해 시스템 수준의 성능을 극대화하는 전략을 의미합니다.

특히 최근의 기술적 변곡점은 **AI(인공지능)** 및 **HPC(고성능 컴퓨팅)** 시장의 폭발적인 성장과 맞물려 있습니다. AI 모델의 파라미터 수가 기하급수적으로 증가함에 따라, 연산 장치(GPU/NPU)와 메모리(HBM) 사이의 데이터 전송 병목 현상(Memory Wall)을 해결하는 것이 최우선 과제가 되었습니다. 이를 위해 데이터 전송 경로를 단축하고 대역폭(Bandwidth)을 극대화할 수 있는 2.5D 및 3D 적층 기술이 필수적으로 요구되고 있습니다. 즉, 이제 패키징은 단순한 후공정이 아니라, AI 가속기와 같은 초고성능 시스템의 성능을 완성하는 **'패키징 아키텍처화(Packaging Architecturing)'** 단계에 진입한 것입니다.

이러한 패러다임의 변화는 반도체 제조 생태계 전반에 걸쳐 다음과 같은 세 가지 핵심적인 변화를 야기하고 있습니다.

첫째, **연결 밀도(Interconnect Density)의 극대화**입니다. 기존의 PCB(Printed Circuit Board) 기반 연결 방식으로는 AI 연산에 필요한 초고속·대용량 데이터를 처리할 수 없으므로, 실리콘 인터포저(Silicon Interposer)나 고밀도 RDL(Redistribution Layer, 재배포선층)을 활용하여 칩 간의 연결 통로를 미세화하는 기술이 핵심 경쟁력이 되었습니다.

둘째, **이종 집적(Heterogeneous Integration)의 가속화**입니다. 서로 다른 공정 노드(예: 5nm 로직 칩과 28nm I/O 칩)에서 제조된 칩들을 하나의 패키지 안에 통합함으로써, 각 칩의 최적 성능을 유지하면서도 전체 시스템의 비용 효율성을 높이는 전략이 보편화되고 있습니다.

셋째, **검사 및 신뢰성 관리의 난이도 상승**입니다. 칩이 수직으로 높게 쌓이고(High-stacking), 연결 부위가 미세해짐에 따라 기존의 방식으로는 발견하기 어려운 내부 결함이나 휨(Warping) 현상이 심각한 수율 저하 요인으로 작용하고 있습니다. 따라서 고해상도 3D X-ray, 초정밀 광학 검사, AI 기반의 실시간 결함 검출 등 고도화된 검사 솔루션의 도입이 필수적인 상황입니다.

결론적으로, 반도체 기술의 패러다임은 '단일 칩의 미세화'에서 '시스템 단위의 최적화'로 전환되었으며, 그 중심에는 2D에서 3D로 진화하는 첨단 패키징 기술이 자리 잡고 있습니다. 본 보고서에서는 이러한 기술적 진화

과정을 차원별 구조 분석을 통해 심도 있게 다루고자 합니다.

## 기초 패키징 구조: 1D 및 2D 패키징

반도체 패키징 기술의 발전 과정을 이해하기 위해서는 가장 기초적인 단계인 1D 및 2D 구조에 대한 정의가 선행되어야 합니다. 초기 반도체 산업에서 패키징의 주된 목적은 칩(Die)을 외부 환경으로부터 보호하고, 외부 회로와 전기적 연결(Electrical Connection)을 형성하는 것에 국한되었습니다.

**1D 패키징(Single Die Packaging)**은 가장 단순한 형태로, 단일 반도체 칩을 하나의 패키지 내에 수용하는 구조를 의미합니다. 이는 특정 기능을 수행하는 단일 기능 칩(Single-function Chip)을 보호하고 리드(Lead)나 볼(Ball)을 통해 기판(PCB)과 연결하는 형태입니다. 구조적 복잡도는 매우 낮으나, 여러 기능을 수행하기 위해 시스템을 구성하려면 여러 개의 독립된 패키지를 PCB 상에 배치해야 하므로 시스템 전체의 크기(Footprint)를 줄이는 데 한계가 있습니다.

**2D 패키징(2D Packaging)**은 두 개 이상의 반도체 칩을 하나의 패키지 내에 수평 방향으로 배치하는 방식입니다. 이 단계에서 핵심적으로 등장한 기술이 바로 **MCM(Multi Chip Module)**입니다. MCM은 서로 다른 기능을 가진 칩들을 하나의 패키지 기판 위에 나란히 배치하여, 개별 칩들을 각각 패키징하여 PCB에 올리는 것보다 시스템의 크기를 줄이고 칩 간의 상호 연결 거리를 단축할 수 있는 장점을 가집니다.

| 구분     | 1D 패키징 (Single Die)                   | 2D 패키징 (MCM 방식)                          |
|--------|---------------------------------------|------------------------------------------|
| 구조적 특징 | 단일 칩을 단일 패키지에 수용                      | 복수의 칩을 패키지 내 수평 배치                       |
| 연결 방식  | 칩 $\rightarrow$ 패키지 $\rightarrow$ PCB | 칩 $\rightarrow$ 패키지 기판 $\rightarrow$ PCB |
| 주요 장점  | 제조 공정 단순, 비용 저렴                       | 시스템 소형화, 칩 간 상호 연결성 개선                   |
| 주요 한계  | 시스템 확장성 및 집적도 부족                      | 칩 간 배선 밀도 및 데이터 전송 속도 제한                 |
| 대표 사례  | 일반 로직 IC, 개별 메모리 칩                    | MCM(Multi Chip Module), 초기 형태의 시스템 온 패키지 |

표 1.

2D 패키징은 칩들을 수평으로 연결하기 때문에 물리적인 면적을 점유하며, 칩 사이의 거리가 멀어질수록 신호 전달 지연(Signal Latency)과 전력 소모가 증가하는 특성을 보입니다. 이는 이후 등장하는 2.5D 및 3D 패키징 기술이 인터포저(Interposer)나 수직 적층(VERTICAL Stacking)을 통해 해결하고자 하는 핵심 과제들의 출발점이 되었습니다. [출처: 에스엔피테크, RCRTech]

## 기초 패키징 아키텍처 진화 흐름

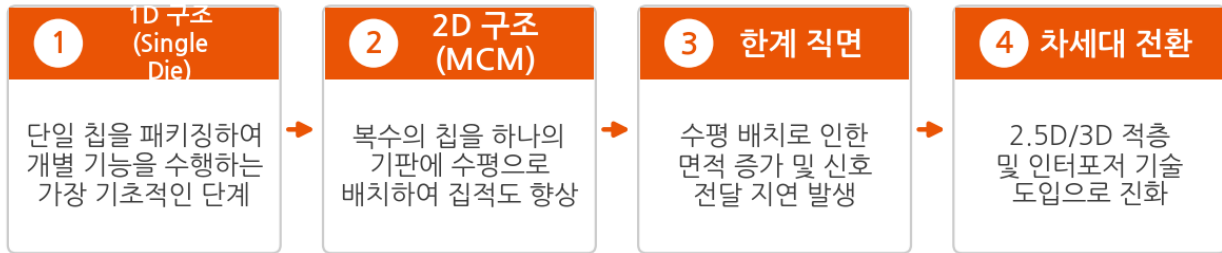


그림 1.

### 중간 단계 기술: 2.1D 및 2.5D 패키징의 이해

반도체 미세 공정의 물리적 한계와 비용 효율성 사이의 간극을 메우기 위해 등장한 2.1D 및 2.5D 패키징 기술은, 기존의 수평적 배치(2D)와 완전한 수직 적층(3D) 사이에서 기술적 가교 역할을 수행하는 핵심 아키텍처입니다. 특히 AI(인공지능) 및 HPC(고성능 컴퓨팅) 시장이 급성장함에 따라, 서로 다른 기능을 가진 칩(Heterogeneous Integration, 이종 집적)을 하나의 패키지 내에서 초고속으로 연결하기 위한 필수적인 중간 단계로 자리 잡았습니다.

#### 1. 2.1D 및 2.5D 패키징의 기술적 정의와 등장 배경

전통적인 2D 패키징은 여러 개의 칩을 PCB(Printed Circuit Board) 상에 수평으로 배치하고, 긴 배선을 통해 연결하는 방식입니다. 그러나 데이터 전송량이 폭증하는 최신 컴퓨팅 환경에서는 이러한 방식이 초래하는 높은 신호 지연(Latency)과 높은 전력 소모를 극복하기 어렵습니다.

**2.1D 패키징**은 엄밀한 학술적 용어라기보다, 기존 2D 방식에서 배선 밀도를 개선하기 위해 미세한 RDL(Redistribution Layer, 재배선층) 기술을 도입하여 연결성을 강화한 과도기적 단계를 의미하는 경우가 많습니다. 이는 칩 간의 간격을 좁히고 신호 경로를 최적화하려는 시도로 이해할 수 있습니다.

**2.5D 패키징**은 2D와 3D의 중간적 특성을 지니며, 가장 결정적인 차이점은 칩과 기판(Substrate) 사이에 **인터포저(Interposer)**라는 중간 매개체를 도입한다는 점입니다[출처: 에스엔피테크]. 2.5D 구조에서는 실리콘(Si), 유기물(Organic), 또는 유리(Glass) 소재로 제작된 인터포저 위에 로직 칩(GPU, CPU 등)과 메모리 칩(HBM 등)을 수평으로 배치합니다. 각 칩은 인터포저 상의 미세한 배선을 통해 매우 높은 밀도로 연결되며, 인터포저는 칩과 하부 기판 사이에서 전기적 신호를 전달하는 고밀도 통로 역할을 수행합니다[출처: RCRTech].

#### 2. 핵심 구성 요소: 인터포저(Interposer)와 RDL(Redistribution Layer)

2.5D 패키징의 성능을 결정짓는 핵심 요소는 인터포저의 사양과 그 위에 형성되는 재배선층(RDL)의 정밀도입니다.

- **인터포저(Interposer)의 역할:** 칩 간의 거리를 물리적으로 좁히고, 칩 내부의 미세한 입출력(I/O) 단자와 패키지 기판의 상대적으로 큰 단자 사이를 연결하는 '브릿지' 역할을 합니다. 인터포저가 실리콘 소재일 경우(Silicon Interposer), 미세 공정을 활용하여 매우 좁은 피치(Pitch)의 배선 구현이 가능하여 초고속 데이터 전송에 유리합니다.
- **RDL(Redistribution Layer, 재배선층):** 칩의 패드(Pad) 위치를 인터포저의 배선 위치에 맞게 재배치하는 층입니다. RDL의 선폭(Line Width)과 간격(Space)이 미세할수록 더 많은 데이터 통로를 확보할 수 있으며, 이는 곧 시스템 전체의 대역폭(Bandwidth) 향상으로 직결됩니다.

- **TSV(Through Silicon Via, 실리콘 관통 전극)**: 실리콘 인터포저를 사용하는 경우, 인터포저의 상부와 하부를 수직으로 관통하는 전극인 TSV가 사용됩니다. 이를 통해 신호 전달 경로를 극단적으로 단축시켜 전력 효율을 높이고 지연 시간을 최소화합니다.

### 3. 대표 기술 사례: TSMC의 CoWoS(Chip on Wafer on Substrate)

현재 2.5D 패키징 시장을 주도하고 있는 가장 대표적인 기술은 TSMC의 **CoWoS(Chip on Wafer on Substrate)** 공정입니다. CoWoS는 이름에서 알 수 있듯이, 실리콘 인터포저(Wafer) 위에 칩들을 올리고(Chip on Wafer), 이를 다시 패키지 기판(Substrate) 위에 올리는(on Substrate) 복합적인 구조를 가집니다.

CoWoS 기술은 특히 **GPU와 HBM의 통합**에 최적화되어 있습니다. 고대역폭 메모리인 HBM을 로직 칩(GPU) 바로 옆에 배치하고, 실리콘 인터포저를 통해 연결함으로써 데이터 병목 현상을 획기적으로 해결했습니다. 이러한 구조 덕분에 AI 가속기 분야에서 독보적인 성능을 발휘할 수 있으며, 엔비디아(NVIDIA)와 같은 주요 AI 반도체 설계 기업들이 채택하고 있는 핵심 제조 방식입니다[출처: Semiconductor Engineering].

#### 4. 2.1D/2.5D 기술 비교 및 분석

2D, 2.5D, 3D 패키징의 기술적 차이를 요약하면 다음과 같습니다.

| 구분        | 2D 패키징                   | 2.5D 패키징               | 3D 패키징                    |
|-----------|--------------------------|------------------------|---------------------------|
| 주요 배치 방식  | 수평 배치 (PCB 기판)           | 수평 배치 + 인터포저           | 수직 적층 (Vertical Stacking) |
| 연결 매개체    | PCB Trace / Wire Bonding | Interposer / RDL / TSV | Hybrid Bonding / TSV      |
| 연결 밀도     | 낮음                       | 높음 (High Density)      | 매우 높음 (Ultra-High)        |
| 데이터 전송 속도 | 상대적으로 느림                 | 매우 빠름                  | 최상 (Extreme)              |
| 제조 복잡도    | 낮음                       | 중간~높음                  | 매우 높음                     |
| 주요 응용 분야  | 일반 소비자 가전, 저사양 칩         | AI 가속기, GPU+HBM 통합     | 고성능 CPU, 최첨단 HBM 적층       |

표 2.

### 5. 기술적 과제와 검사(Inspection)의 중요성

2.5D 패키징 기술이 고도화됨에 따라 공정 난이도는 기하급수적으로 상승하고 있습니다. 특히 인터포저 상의 미세한 RDL 패턴 결함, 칩과 인터포저 간의 접합부(Micro Bump) 불량, 그리고 적층 과정에서 발생하는 **Warping(휨 현상)** 문제는 수율(Yield) 확보의 최대 걸림돌입니다.

최근 HBM4와 같은 차세대 메모리 및 고성능 로직 칩의 통합이 가속화되면서, 2.5D 구조 내에서의 미세 결함을 잡아내기 위한 **초고해상도 3D 광학 검사**와 **X-ray 기반의 비파괴 검사** 기술이 필수적으로 요구되고 있습니다[출처: 보고서\_삼성전자HBM4전환에따른검사기술동향및대응전략\_20260509\_001.pdf].

## 2.5D 패키징 아키텍처 구조도

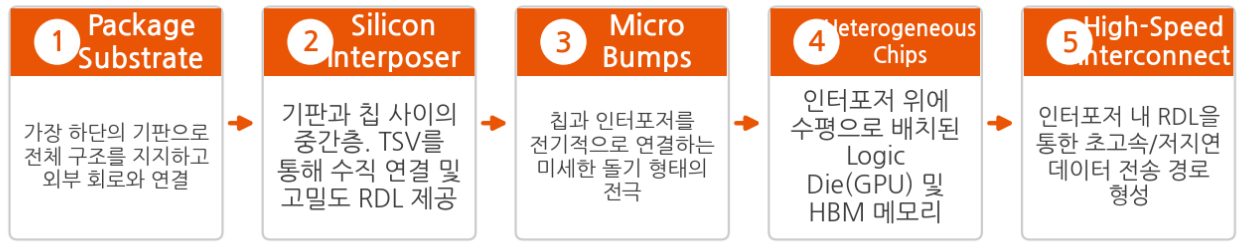


그림 2.

### 고밀도 적층 기술: 3D IC 및 3D 패키징

반도체 산업이 AI(인공지능) 및 HPC(고성능 컴퓨팅) 시대로 급격히 전환됨에 따라, 기존의 수평적 배치(2D)나 인터포저를 활용한 중간 단계(2.5D)를 넘어선 극한의 데이터 전송 효율이 요구되고 있습니다. 이에 따라 등장한 핵심 아키텍처가 바로 **3D IC(Three-Dimensional Integrated Circuit)** 및 **3D 패키징(3D Packaging)** 기술입니다. 이 기술은 칩을 수직으로 쌓아 올려(VERTICAL Stacking) 물리적 거리를 최소화하고, 이를 통해 인터커넥트(Interconnect) 밀도를 비약적으로 상승시키는 것을 목표로 합니다.

#### 1. 3D IC의 핵심 메커니즘: TSV(Through-Silicon Via) 기술

3D IC를 구현하는 가장 근본적인 기술적 토대는 **TSV(실리콘 관통 전극, Through-Silicon Via)**입니다. 기존의 패키징 방식이 와이어 본딩(Wire Bonding)이나 범프(Bump)를 통해 칩의 가장자리를 따라 전기적 신호를 전달했다면, TSV는 실리콘 웨이퍼 자체에 미세한 구멍을 뚫고 전도성 물질을 채워 칩의 상단과 하단을 직접 연결합니다.

- **물리적 이점:** 신호 전달 경로(Signal Path)가 획기적으로 단축되어 데이터 전송 지연(Latency)이 감소하고, 신호 손실(Signal Loss) 및 전력 소모를 최소화할 수 있습니다.
- **연결 밀도 극대화:** TSV를 활용하면 칩의 면적 전체를 활용하여 수만 개 이상의 데이터 통로를 확보할 수 있습니다. AMD의 발표에 따르면, 3D 패키징은 일반적인 2D 패키징 대비 200배 이상의 인터커넥트 밀도(Interconnect Density)를 제공할 수 있습니다 [출처: IDTechEx].
- **기술적 난제:** TSV 공정은 웨이퍼에 미세한 홀을 형성하고 이를 채우는 고난도 식각(Etching) 및 증착(Deposition) 기술을 요구하며, 적층된 칩 사이의 열 방출(Thermal Dissipation) 문제를 해결하는 것이 상용화의 최대 관건입니다.

#### 2. 차세대 연결 기술: Hybrid Bonding (하이브리드 본딩)

TSV 기술이 칩 사이의 통로를 만든다면, **하이브리드 본딩(Hybrid Bonding)**은 그 통로를 더욱 미세화하여 인터커넥트의 한계를 돌파하는 기술입니다. 기존의 방식은 칩 사이에 솔더 범프(Solder Bump)라는 작은 금속 공을 배치하여 연결하는 'Bump-based bonding'을 사용했습니다. 그러나 공정이 미세화될수록 범프의 크기가 커서 입자 간 간격을 줄이는 데 한계가 발생합니다.

하이브리드 본딩은 범프를 제거하고, 구리(Cu) 패드와 절연막(Dielectric)을 직접 맞붙이는 방식입니다. 이는 다음과 같은 혁신을 가져옵니다.

| 구분 | 범프 기반 본딩 (Bump-based) | 하이브리드 본딩 (Hybrid Bonding) |
|----|-----------------------|---------------------------|
|----|-----------------------|---------------------------|

|              |                       |                                               |
|--------------|-----------------------|-----------------------------------------------|
| 연결 방식        | 솔더 범프(Solder Bump) 매개 | Cu-to-Cu 직접 결합 (Direct Bonding)               |
| 피치(Pitch) 규모 | 수십 $\mu\text{m}$ 단위   | sub- $\mu\text{m}$ ( $1\mu\text{m}$ 이하) 단위 가능 |
| 인터커넥트 밀도     | 상대적으로 낮음              | 극도로 높음 (Extreme Density)                      |
| 전기적 특성       | 범프 저항 및 기생 성분 존재      | 기생 성분 최소화, 고속 전송 유리                           |
| 주요 적용        | 일반적인 3D 적층, HBM 일부    | 차세대 HBM4, 초고성능 AI 가속기                         |

표 3.

하이브리드 본딩은 특히 **HBM4**와 같은 차세대 고대역폭 메모리 구현의 핵심 요소로 지목되고 있습니다. 삼성전자의 HBM4 전환 전략에 따르면, Hybrid Bonding 공정 도입 시 초정밀 정렬(Alignment) 검사가 필수적이며, 이는 향후 시장 주도권을 결정짓는 핵심 요소가 될 것으로 전망됩니다 [출처: 보고서\_삼성전자HBM4전환에따른검사기술동향및대응전략\_20260509\_001.pdf].

### 3. 3D 패키징의 구조적 진화와 응용 사례

3D 패키징은 단순히 메모리를 쌓는 것을 넘어, 로직(Logic) 칩과 메모리 칩을 수직으로 통합하거나, 서로 다른 기능을 가진 칩렛(Chiplet)들을 수직으로 결합하는 형태로 진화하고 있습니다.

1. **Memory-on-Logic (HBM 구조):** GPU나 CPU와 같은 프로세서 바로 위에 HBM을 수직으로 적층하여 데이터 병목 현상을 해결합니다. 이는 현재 AI 가속기의 표준 아키텍처로 자리 잡았습니다 [출처: TechInsights].

2. **Logic-on-Logic (3D IC):** 동일한 공정 혹은 서로 다른 공정으로 제조된 두 개의 로직 다이(Die)를 수직으로 쌓는 방식입니다. 캐시 메모리를 로직 칩 위에 직접 쌓아 L3/L4 캐시의 성능을 극대화하는 등의 설계가 가능합니다.

3. **Co-packaged Optics (CPO)와의 결합:** 2026년 이후의 주요 트렌드로, 전기적 신호 대신 광(Optical) 신호를 패키지 내부에 통합하여 데이터 센터의 전력 효율과 대역폭을 동시에 잡으려는 시도가 이어지고 있습니다 [출처: SEMI].

### 4. 검사 및 품질 관리의 중요성 (Inspection & Yield)

3D 적층 기술이 고도화될수록 제조 공정의 난이도는 기하급수적으로 상승하며, 이는 곧 수율(Yield) 문제로 직결됩니다. 칩이 수직으로 쌓이기 시작하면 내부 결함을 확인하기가 매우 어려워지기 때문입니다.

- **Warping(휨) 제어:** 다수의 칩을 수직으로 적층할 때, 열팽창 계수(CTE) 차이로 인해 발생하는 휨 현상은 인터커넥트의 단절을 초래합니다. 따라서 적층된 Die의 휨 정도를 측정하는 3D 프로파일링 기술이 필수적입니다 [출처: 매뉴얼\_HBMAdvancedInspectionSyst\_20260509\_001.pdf].
- **Void(공극) 검출:** 하이브리드 본딩이나 TSV 내부에서 발생하는 미세한 공극(Void)은 전기적 불량을 일으키는 주범입니다. 이를 확인하기 위해 고해상도 3D X-ray(Computed Tomography) 기술이 공정 중간 단계에 적극 도입되고 있습니다 [출처: 보고서\_삼성전자HBM4전환에따른검사기술동향및대응전략\_20260509\_001.pdf].
- **AI 기반 실시간 검사:** 적층 단수가 12단, 16단을 넘어가는 고단 적층 시대에는 검사 데이터의 양이 방대해지므로, AI 엔진을 활용한 실시간 결함 분류(Real-time Defect Detection) 시스템이 장비의 핵심 경쟁력이 됩니다 [출처: 매뉴얼\_HBMAdvancedInspectionSyst\_20260509\_001.pdf].

## 3D IC 및 하이브리드 본딩 구현 아키텍처

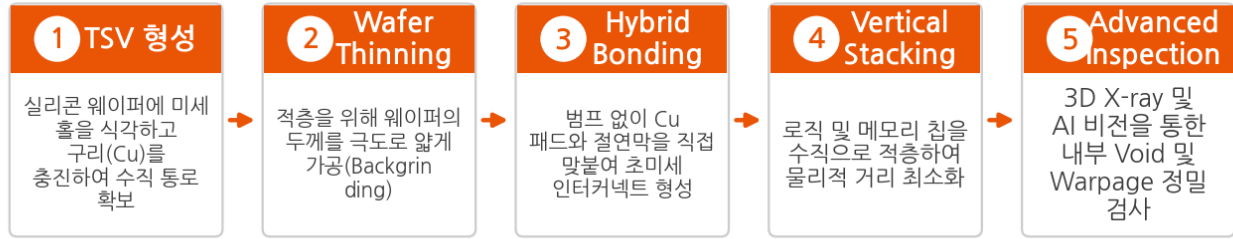


그림 3.

## 구조별 비교 분석 (Comparison Matrix)

반도체 패키징 기술이 2D 수평 배치에서 2.5D 인터포저 기반 구조를 거쳐 3D 수직 적층 구조로 진화함에 따라, 각 구조는 상충 관계(Trade-off)에 있는 성능 지표들을 포함하고 있습니다. 차세대 패키징 아키텍처를 설계하고 검사 솔루션을 도입할 때 반드시 고려해야 하는 핵심 요소인 상호 연결 밀도(Interconnect Density), 데이터 전송 속도(Data Transfer Rate), 제조 복잡도(Manufacturing Complexity), 그리고 경제성(Cost)을 중심으로 상세 비교 분석을 수행합니다.

## 1. 차원별 기술 특성 비교 매트릭스

아래 표는 1D/2D부터 최신 3D 패키징 기술까지의 기술적 격차를 정량적·정성적 관점에서 비교한 결과입니다.

| 구분                           | 1D / 2D 패키징              | 2.5D 패키징                   | 3D IC / 3D 패키징                             |
|------------------------------|--------------------------|----------------------------|--------------------------------------------|
| 핵심 연결 방식                     | Wire Bonding / PCB Trace | Silicon/Organic Interposer | TSV (Through Silicon Via) / Hybrid Bonding |
| 연결 밀도 (Interconnect Density) | 낮음 (Low)                 | 높음 (High)                  | 매우 높음 (Ultra-High)                         |
| 데이터 전송 속도                    | 제한적 (수십 GB/s 수준)         | 고속 (수백 GB/s ~ TB/s)        | 극대화 (최상위 대역폭 지원)                           |
| 제조 복잡도 (Complexity)          | 낮음 (성숙된 공정)              | 높음 (Interposer 공정 추가)      | 매우 높음 (TSV 및 정밀 정렬 필수)                     |
| 열 관리 난이도 (Thermal)           | 용이함                      | 보통 (Interposer를 통한 분산)     | 매우 어려움 (적층된 칩 간 열 축적)                      |
| 주요 비용 요소                     | 기판 및 와이어 비용              | 인터포저 제조 및 본딩 비용            | TSV 형성, 웨이퍼 본딩, 수율 관리                      |
| 대표 사례                        | 일반 MCU, 범용 메모리           | GPU + HBM (CoWoS 등)        | HBM3E/4, 고성능 Logic-on-Logic                |

표 4.

## 2. 핵심 지표별 심층 분석

#### #### 2.1 상호 연결 밀도 및 데이터 전송 속도 (Interconnect Density & Bandwidth)

패키징 기술 진화의 가장 큰 동인은 **상호 연결 밀도(Interconnect Density)**의 향상입니다. 2D 패키징은 PCB 수준의 배선을 사용하므로 칩 간 거리가 멀고 연결 지점이 제한적입니다. 반면, 2.5D 패키징은 실리콘 인터포저(Silicon Interposer)를 사용하여 칩 사이에 미세한 RDL(Redistribution Layer)을 형성함으로써 연결 밀도를 획기적으로 높였습니다 [출처: 에스엔피테크].

특히 3D 패키징은 TSV(Through Silicon Via) 기술을 통해 칩을 수직으로 관통하여 직접 연결하므로, AMD의 발표에 따르면 일반적인 2D 패키징 대비 **200배 이상의 상호 연결 밀도(>200x interconnect density)**를 구현할 수 있습니다 [출처: IDTechEx]. 이러한 밀도 향상은 데이터 전송 경로를 단축시켜 지연 시간(Latency)을 줄이고 대역폭(Bandwidth)을 극대화하며, 결과적으로 AI 및 HPC(High-Performance Computing) 시스템의 병목 현상을 해결하는 핵심 동력이 됩니다 [출처: Semiconductor Engineering].

#### #### 2.2 제조 복잡도 및 수율 관리 (Manufacturing Complexity & Yield)

기술적 우위가 높아질수록 **제조 복잡도(Complexity)**는 기하급수적으로 상승합니다.

- **2.5D 단계:** 인터포저라는 추가적인 기판을 제조하고, 이를 메인 칩과 정밀하게 본딩하는 공정이 추가됩니다. 이 과정에서 인터포저의 평탄도 및 칩과의 정렬(Alignment) 정밀도가 수율을 결정짓는 핵심 요소가 됩니다.
- **3D 단계:** TSV 형성 공정, 웨이퍼 레벨 패키징(WLP), 그리고 차세대 기술인 **Hybrid Bonding(하이브리드 본딩)** 공정이 도입됩니다. Hybrid Bonding은 범프(Bump) 없이 구리(Cu)와 구리를 직접 접합하는 방식으로, 극도로 미세한 정렬 기술을 요구하며 공정 난이도가 매우 높습니다 [출처: 보고서\_삼성전자HBM4전환에따른검사기술동향및대응전략\_20260509\_001.pdf].

#### #### 2.3 비용 및 경제성 분석 (Cost Analysis)

비용 측면에서는 '**성능 대비 비용(Performance per Dollar)**'의 관점이 중요합니다.

1. **2D/2D.1D:** 제조 공정이 표준화되어 있고 수율이 매우 높아 대량 생산 시 단가가 가장 저렴합니다.
2. **2.5D:** 인터포저 비용과 복잡한 조립 공정으로 인해 단가가 상승하지만, AI 가속기 시장에서의 높은 부가가치로 인해 현재 가장 활발하게 채택되고 있습니다.
3. **3D:** 가장 높은 비용이 발생합니다. 특히 고단 적층(8단, 12단, 16단 이상)이 진행될수록 하단부 칩의 결함이 전체 패키지의 손실로 이어지는 'Killer Defect' 리스크가 커지며, 이는 전체 수율(Yield) 저하와 직결되어 제조 비용을 급격히 상승시킵니다 [출처: 매뉴얼\_HBMAdvancedInspectionSyst\_20260509\_001.pdf].

### 3. 종합 결론: 기술 선택의 기준

결론적으로, 특정 애플리케이션에 적합한 패키징 구조를 선택하는 것은 **성능 요구사항(Bandwidth/Density)**과 **경제적 제약(Cost/Complexity)** 사이의 최적점을 찾는 과정입니다. 범용 기기에는 2D가 유리하며, 고성능 컴퓨팅(HPC)과 AI 서버용 GPU-HBM 통합에는 2.5D(CoWoS 등)가 주류를 이루고 있으며, 초고성능/초소형화를 지향하는 차세대 AI 칩셋은 3D 적층 및 Hybrid Bonding 기술로 급격히 이동하고 있습니다 [출처: PatSnap].

## 최신 트렌드: HBM 및 AI 가속기 적용 사례

AI(인공지능) 및 HPC(고성능 컴퓨팅) 시장의 폭발적인 성장으로 인해, 반도체 패키징은 단순한 보호 기능을 넘어 시스템 전체의 성능을 결정짓는 '아키텍처의 핵심'으로 격상되었습니다. 특히 GPU(Graphics Processing Unit)와 같은 연산 장치와 데이터를 공급하는 메모리 사이의 병목 현상(Memory Wall)을 해결하기 위해, 고대역폭 메모리(HBM, High Bandwidth Memory)를 기반으로 한 차세대 패키징 기술이 급격히 발전하고 있습니다.

### 1. HBM(High Bandwidth Memory)의 기술 진화와 구조적 변화

HBM은 여러 개의 DRAM 칩을 수직으로 적층한 후, TSV(Through Silicon Via, 실리콘 관통 전극) 기술을 사용하여 데이터 통로를 확보함으로써 기존 DDR 방식 대비 압도적인 대역폭을 제공하는 기술입니다. 최근 시장의 흐름은 단순히 적층 단수를 높이는 것을 넘어, 데이터 전송 속도와 에너지 효율을 극대화하는 방향으로 진화하고 있습니다.

- **HBM3 및 HBM3E의 확산:** 현재 양산 및 적용 단계에 있는 HBM3와 HBM3E는 고속 데이터 전송을 위해 고밀도/고성능 프로브 카드(High-Speed Probe Card)와 테스터 기술을 필수적으로 요구합니다. 이는 늘어난 채널 수와 증가한 데이터 전송 속도를 물리적으로 지원하기 위함입니다 [출처: 보고서\_삼성전자HBM4전환에따른검사기술동향및대응전략\_20260509\_001.pdf].
- **HBM4 및 차세대 적층 기술:** 2026년 현재, 업계의 시선은 HBM4로 향하고 있습니다. HBM4는 기존의 메모리 중심 패키징에서 벗어나, 연산 기능을 수행하는 Logic Die(로직 다이)와의 통합이 더욱 중요해지는 단계입니다. 특히 HBM4부터는 적층 단수가 12단, 16단을 넘어 고도화됨에 따라, 적층 내부의 미세한 결함을 잡아내기 위한 고해상도 3D X-ray(Computed Tomography) 기술과 같은 비파괴 검사(Non-Destructive Inspection) 기술이 공정 중간 단계에 필수적으로 도입되고 있습니다 [출처: 보고서\_삼성전자HBM4전환에따른검사기술동향및대응전략\_20260509\_001.pdf].
- **Hybrid Bonding의 도입:** HBM의 고단 적층(16단 이상)이 가속화됨에 따라, 기존의 Bump(범프) 기반 연결 방식은 피치(Pitch) 축소에 한계에 직면했습니다. 이를 극복하기 위해 칩과 칩을 직접 연결하는 하이브리드 본딩(Hybrid Bonding) 기술이 차세대 HBM 및 AI 가속기 패키징의 핵심 솔루션으로 부상하고 있습니다. 이는 인터커넥트 밀도를 획기적으로 높일 수 있으나, 초정밀 정렬(Alignment) 검사 역량이 수율을 결정짓는 핵심 요소가 됩니다 [출처: 보고서\_삼성전자HBM4전환에따른검사기술동향및대응전략\_20260509\_001.pdf].

## 2. AI 가속기(AI Accelerator)와 Chiplet 아키텍처의 결합

AI 가속기는 거대한 연산 능력을 필요로 하므로, 단일 거대 칩(Monolithic Die)을 제조하는 대신 기능별로 최적화된 작은 칩들을 연결하는 칩렛(Chiplet) 아키텍처를 채택하고 있습니다.

- **GPU-HBM 통합 패키징:** NVIDIA, AMD 등 주요 AI 가속기 제조사들은 GPU 다이와 HBM을 하나의 패키지 안에 배치하는 2.5D/3D 패키징 기술을 적극 활용합니다. 2.5D 패키징 방식에서는 실리콘 인터포저(Silicon Interposer) 위에 GPU와 HBM을 배치하여 초고속 인터커넥트를 구현하며, 이는 CoWoS(Chip on Wafer on Substrate)와 같은 고난도 공정을 통해 실현됩니다 [출처: 에스엔피테크].
- **Co-packaged Optics(CPO)의 등장:** 데이터 센터 내에서의 전력 소모를 줄이고 광통신 속도를 높이기 위해, 전기 신호를 빛 신호로 변환하는 광학 소자를 패키지 내부로 통합하는 CPO 기술이 2026년 주요 트렌드로 주목받고 있습니다 [출처: TechInsights]. 이는 "Packaging the Future of AI - From Silicon to Photon"이라는 테마와 맞닿아 있는 기술적 진화 방향입니다 [출처: SEMI].

## 3. HBM 및 AI 가속기 패키징의 기술적 난제와 대응 기술

HBM의 고단 적층과 AI 가속기의 대형화는 제조 공정의 난이도를 기하급수적으로 높였으며, 이는 곧 검사 및 제어 기술의 중요성으로 직결됩니다.

| 구분               | 주요 기술적 난제 (Challenges)                   | 대응 및 해결 기술 (Solutions)                                                                 |
|------------------|------------------------------------------|----------------------------------------------------------------------------------------|
| 적층 구조 (Stacking) | 고단 적층 시 발생하는 Die 휨(Warping) 현상 및 열 방출 문제 | 3D 프로파일링 기반 Warpage 측정 및 보정 기술 고도화 [출처: 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략_20260509_001.pdf] |

|                        |                                              |                                                                                                                      |
|------------------------|----------------------------------------------|----------------------------------------------------------------------------------------------------------------------|
| 연결성 (Interconnect)     | TSV 및 Micro Bump의 미세화에 따른 정렬(Alignment) 오차   | Hybrid Bonding용 초고해상도 3D 광학 검사 모듈 개발 [출처: 보고서_삼성전자 HBM4전환에따른검사기술동향및대응전략_20260509_001.pdf]                            |
| 결함 제어 (Defect Control) | 적층 내부의 미세 Void 및 내부 결함 검출의 어려움               | 고해상도 3D X-ray(CT) 및 AI 기반 실시간 결함 검출(Real-time Defect Detection) [출처: 보고서_삼성전자 HBM4전환에따른검사기술동향및대응전략_20260509_001.pdf] |
| 데이터 전송 (Throughput)    | 고속 데이터 전송 시 발생하는 신호 무결성(Signal Integrity) 저하 | 고밀도 RDL(Redistribution Layer) 및 개방형 D2D(Die-to-Die) 인터페이스 적용 [출처: 반도체기술 로드맵 2026]                                    |

표 5.

#### 4. 종합 분석: 수율(Yield) 확보를 위한 검사 기술의 역할

결론적으로, AI 가속기와 HBM 시장의 주도권은 단순히 칩을 잘 만드는 것을 넘어, 복잡해진 패키징 구조 내에서 얼마나 높은 수율을 확보하느냐에 달려 있습니다. 특히 HBM4와 같은 차세대 제품은 Custom Logic Die가 결합되는 복합 구조를 가지므로, 기존의 단순 메모리 검사를 넘어선 고도의 검사 솔루션이 요구됩니다.

현재 업계에서는 다음과 같은 검사 프로세스가 표준으로 자리 잡고 있습니다 [출처: 매뉴얼\_HBMAAdvancedInspectionSyst\_20260509\_001.pdf]:

- 1. Recipe Loading:** HBM의 세대(HBM3, HBM3E 등) 및 적층 단수(8단, 12단, 16단)에 최적화된 검사 레시피를 적용하여 데이터 신뢰성을 확보합니다.
- 2. TSV/Bump Scanning:** 설정된 고해상도로 Micro Bump의 높이, 정렬 상태, TSV의 전기적/물리적 연결성을 정밀 스캔합니다.
- 3. Warpage & 3D Profiling:** 적층된 Die의 휨 정도를 3D로 측정하여 후속 공정의 불량을 방지합니다.
- 4. AI-driven Analysis:** 검사 과정에서 발생하는 방대한 데이터를 AI 엔진이 실시간으로 분석하여 결함을 즉각 분류하고 공정 피드백을 제공합니다.

이러한 기술적 진화는 반도체 패키징이 단순한 '후공정(Back-end)'이 아닌, AI 반도체의 성능을 완성하는 '전공정(Front-end) 수준의 핵심 공정'으로 변화했음을 시사합니다.

#### 결론 및 시사점: 검사 기술의 중요성

차세대 반도체 패키징 기술이 2D의 수평 배치 구조를 넘어 2.5D 인터포저 기술과 3D 수직 적층(Vertical Stacking) 구조로 진화함에 따라, 반도체 제조의 핵심 경쟁력은 단순히 '칩을 만드는 것'에서 '칩을 어떻게 정밀하게 연결하고 보호하느냐'의 문제로 전이되었습니다. 특히 AI 및 HPC(High-Performance Computing) 시장의 폭발적인 성장으로 인해 HBM(High Bandwidth Memory)과 GPU/NPU를 통합하는 고밀도 패키징 수요가 급증하고 있으며, 이는 패키징 공정 내에서 발생할 수 있는 미세 결함이 전체 시스템의 수율(Yield)에 치명적인 영향을 미치는 구조를 형성하고 있습니다.

이러한 기술적 변곡점에서 수율 관리(Yield Management)를 위한 검사 기술(Inspection Technology)의 역할은 다음과 같은 세 가지 핵심 과제를 중심으로 고도화되어야 합니다.

### 1. 고단 적층에 따른 Warpage(휨) 제어 및 측정 기술의 필수성

3D 적층 기술이 8단, 12단을 넘어 16단 이상의 고단화(High-stacking) 단계로 진입함에 따라, 적층된 Die들 사이의 열팽창 계수(CTE) 차이로 인한 Warpage(휨) 현상이 심화되고 있습니다. Warpage는 Micro Bump의 정렬(Alignment) 불량, 접합 불량, 그리고 최종 제품의 전기적 특성 저하를 야기하는 주요 원인입니다. 따라서 공정 중간 단계에서 3D 프로파일링을 통해 적층된 Die의 휨 정도를 실시간으로 측정하고 이를 보정할 수 있는 Warpage Scan 기술의 확보가 필수적입니다 [출처: 매뉴얼\_HBMAdvancedInspectionSyst\_20260509\_001.pdf].

### 2. 미세 공정 내 비파괴 검사(Non-Destructive Inspection)의 확대

TSV(Through Silicon Via) 및 Hybrid Bonding과 같은 초미세 인터커넥트 기술이 도입되면서, 육안이나 일반 광학 장비로는 확인이 불가능한 내부 결함이 증가하고 있습니다. 특히 적층 구조 내부에서 발생하는 미세한 Void(공극)나 Bump의 높이 불량은 패키지의 신뢰성을 근본적으로 흔드는 요소입니다. 이를 해결하기 위해 고해상도 3D X-ray(Computed Tomography) 기술과 같은 비파괴 검사 방식이 공정 중간 단계에 적극적으로 도입되어야 하며, 이는 제품을 파괴하지 않고도 내부의 물리적 결함을 정밀하게 진단할 수 있는 핵심 솔루션이 될 것입니다 [출처: 보고서\_삼성전자HBM4전환에따른검사기술동향및대응전략\_20260509\_001.pdf].

### 3. AI 기반 실시간 결함 검출(Real-time Defect Detection) 시스템 구축

패키징 구조가 복잡해질수록 검사해야 할 데이터의 양과 검사 항목(Inspection Item)은 기하급수적으로 늘어납니다. 기존의 Rule-based 검사 방식으로는 고속 생산 라인에서 발생하는 방대한 양의 결함을 실시간으로 분류하기에 한계가 있습니다. 따라서 AI 알고리즘을 결합하여 Micro Bump의 정렬 상태, 높이, 형상을 실시간으로 분석하고 결함을 자동으로 분류(Classification)하는 지능형 검사 시스템이 요구됩니다 [출처: 매뉴얼\_HBMAdvancedInspectionSyst\_20260509\_001.pdf].

결론적으로, 향후 HBM4 및 차세대 AI 가속기 시장에서 주도권을 확보하기 위해서는 '검사 기술의 정밀도와 속도'가 곧 제조사의 경쟁력이 될 것입니다. 특히 Hybrid Bonding 공정 도입에 따른 초정밀 정렬 검사와 Custom Logic Die의 복합적 검사 역량은 수율 확보를 위한 최우선 과제입니다 [출처: 보고서\_삼성전자HBM4전환에따른검사기술동향및대응전략\_20260509\_001.pdf]. 크레셈(CRESSEM)은 이러한 기술적 흐름에 발맞추어 고단 적층 대응을 위한 Warpage 측정 기술 고도화 및 Hybrid Bonding용 초고해상도 3D 광학 검사 모듈 개발에 역량을 집중해야 합니다 [출처: 보고서\_삼성전자HBM4전환에따른검사기술동향및대응전략\_20260509\_001.pdf].