CRESSEM
CREATIVE ASSEMBLY

차세대 어드밴스드 패키징 기술 분석: EMIB 및 유리기판 비교 보고서

문서번호	CRSM-AI-2026-AUTO
작성일	2026-06-12
작성	Cressem AI 시스템 (자동 생성)
보안등급	사내 비밀 (Confidential)
버전	v1.0

목 차

차세대 어드밴스드 패키징 기술 분석: EMIB 및 유리기판 비교 보고서 3

개요 (Introduction) 3

EMIB의 구조적 메커니즘 및 동작 원리 4

글로벌 주요 플레이어 및 산업 생태계 분석 6

기술 협력 현황 및 공급망(Supply Chain) 분석 7

결론 및 향후 시장 전망 9

차세대 어드밴스드 패키징 기술 분석: EMIB 및 유리기판 비교 보고서

EMIB 기술의 구조적 원리와 유리기판(Glass Substrate)과의 기술적 차별점을 심층 분석합니다. 주요 기업의 기술 로드맵과 산업 생태계의 협력 현황을 통해 차세대 패키징 시장의 전망을 제시합니다.

개요 (Introduction)

반도체 산업이 미세 공정(Scaling)의 물리적 한계에 직면함에 따라, 개별 칩의 성능 향상을 넘어 여러 개의 칩을 하나의 패키지 내에서 어떻게 효율적으로 연결할 것인가를 다루는 **어드밴스드 패키징(Advanced Packaging)** 기술이 핵심 경쟁력으로 부상하고 있습니다. 특히 인공지능(AI), 고성능 컴퓨팅(HPC), 데이터 센터 시장의 폭발적인 성장으로 인해 고대역폭 메모리(HBM)와 로직 다이(Logic Die) 간의 초고속·고밀도 데이터 전송 요구가 급증하고 있습니다. 이러한 기술적 요구사항을 충족하기 위해 등장한 대표적인 차세대 패키징 솔루션이 바로 **EMIB(Embedded Multi-die Interconnect Bridge)** 기술입니다.

1.1 EMIB 기술의 정의 및 핵심 개념

EMIB(Embedded Multi-die Interconnect Bridge)는 인텔(Intel)이 주도하여 개발한 차세대 **2.5D 패키징(2.5D Packaging)** 기술입니다. 기존의 2.5D 패키징 방식이 칩들을 연결하기 위해 대면적의 **실리콘 인터포저(Silicon Interposer)**를 사용하는 것과 달리, EMIB는 칩과 칩 사이의 신호 전달이 필요한 특정 영역(Shoreline)에만 아주 작은 크기의 **실리콘 브릿지(Silicon Bridge)**를 삽입하는 방식을 취합니다.

이 기술의 명칭에서 알 수 있듯이, 'Embedded(매립형)' 구조를 통해 유기 기판(Organic Substrate) 내부에 실리콘 다리(Bridge)를 심어 넣음으로써, 기존의 **FC-BGA(Flip Chip Ball Grid Array)** 패키지 인프라를 최대한 활용하면서도 실리콘 수준의 초미세 배선(Fine Pitch Interconnect) 성능을 구현하는 것이 핵심입니다.

1.2 등장 배경: 기존 기술의 한계 극복

EMIB 기술의 등장은 기존 2.5D 패키징 기술이 가진 경제적·구조적 한계를 극복하기 위한 필연적인 선택의 결과입니다. 기존 기술의 주요 문제점은 다음과 같습니다.

1. **실리콘 인터포저의 높은 비용(High Cost):**

기존의 2.5D 방식(예: TSMC의 CoWoS)은 칩 전체를 수용할 수 있는 대면적 실리콘 인터포저를 사용합니다. 실리콘은 고가의 소재이며, 인터포저의 면적이 커질수록 웨이퍼당 생산 가능한 인터포저의 수가 줄어들어 제조 원가가 기하급수적으로 상승합니다. 반면, EMIB는 연결에 필요한 최소한의 영역에만 실리콘을 사용하므로 원가 경쟁력이 매우 높습니다. [출처: tristanchoi.tistory.com]

2. **공정 복잡도 및 수율 문제:**

대면적 실리콘 인터포저를 제조하기 위해서는 대규모 **TSV(Through-Silicon Via, 실리콘 관통 전극)** 공정이 필요합니다. 이는 공정 단계를 복잡하게 만들고, 웨이퍼 전체의 결함(Defect)이 인터포저 전체의 불량으로 이어질 위험이 큽니다. EMIB는 소형 브릿지에만 TSV를 적용하므로 공정 리스크를 분산시키고 수율을 관리하기에 용이합니다. [출처: blog.naver.com]

3. **패키지 크기 및 물리적 제약:**

대형 인터포저는 패키지의 전체 두께와 크기를 증가시켜, 칩을 수직으로 쌓는 3D 적층 기술이나 초슬림 패키징 설계 시 물리적 제약으로 작용할 수 있습니다. EMIB는 기판 내부에 브릿지를 매립하므로 패키지의 전체적인 프로파일(Profile)을 최적화하는 데 유리합니다.

1.3 기술적 가치 및 산업적 의의

EMIB는 단순한 연결 기술을 넘어, **'칩렛(Chiplet) 아키텍처'** 시대의 핵심 인프라로서 다음과 같은 가치를 지닙니다.

- **이종 집적(Heterogeneous Integration)의 가속화:** 서로 다른 공정 노드(예: 5nm 로직 칩과 10nm I/O 칩)에서 제조된 칩들을 하나의 패키지 안에서 마치 하나의 칩처럼 동작하게 함으로써, 설계 유연성을 극대화합니다.
- **대역폭(Bandwidth) 및 신호 무결성(Signal Integrity) 확보:** 실리콘 브릿지를 통한 초미세 피치 연결은 구리(Cu) 배선의 밀도를 높여, HBM과 같은 고성능 메모리와의 사이에서 병목 현상을 최소화하고 초고속 데이터 전송을 가능하게 합니다.
- **경제적 확장성:** 인텔의 분석에 따르면, EMIB의 단면 실리콘 원가는 1센트/㎟ 수준으로, 대면적 실리콘 인터포저의 약 5센트/㎟ 수준과 비교했을 때 압도적인 비용 우위를 점할 수 있습니다. [출처: bbn.kiwoom.com]

결론적으로, EMIB는 고성능 AI 반도체 시장이 요구하는 **'고성능-저비용-고수율'**이라는 세 가지 난제를 동시에 해결할 수 있는 차세대 패키징의 핵심 패러다임으로 자리 잡고 있습니다. 본 보고서에서는 이러한 EMIB의 구조적 메커니즘을 심층 분석하고, 최근 급부상 중인 유리기판(Glass Substrate) 기술과의 비교를 통해 향후 반도체 패키징 시장의 기술 로드맵을 전망하고자 합니다.

EMIB의 구조적 메커니즘 및 동작 원리

EMIB(Embedded Multi-die Interconnect Bridge) 기술의 핵심은 기존 2.5D 패키징의 주류였던 대면적 실리콘 인터포저(Large Silicon Interposer)를 대체하여, 칩과 칩 사이의 연결이 필요한 국소 부위에만 실리콘 브릿지를 삽입하는 **'임베디드(Embedded)'** 구조에 있습니다. 이는 패키징의 물리적 구조를 근본적으로 변화시켜, 고밀도 인터커넥트(High-density Interconnect)를 유지하면서도 경제성과 공정 효율성을 동시에 달성하려는 목적을 가집니다.

1. 실리콘 브릿지 삽입 구조 (Embedded Bridge Architecture)

전통적인 2.5D 패키징(예: TSMC의 CoWoS)은 로직 다이(Logic Die)와 HBM(High Bandwidth Memory)을 지지하기 위해 전체 면적을 커버하는 거대한 실리콘 인터포저를 사용합니다. 이 방식은 매우 높은 배선 밀도를 제공하지만, 인터포저 자체의 면적이 커짐에 따라 웨이퍼에서의 박리(Die yield) 문제와 막대한 제조 비용이 발생한다는 치명적인 단점이 있습니다.

반면, EMIB는 유기 기판(Organic Substrate) 내부에 형성된 캐비티(Cavity) 또는 홈에 아주 작은 크기의 실리콘 브릿지를 매립합니다. 이 브릿지는 전체 인터포저 역할을 수행하는 것이 아니라, 인접한 두 다이(Die) 사이를 잇는 **'신호 통로(Signal Bridge)'** 역할만을 수행합니다.

- **국소적 실리콘 활용:** 전체 인터포저를 사용할 때보다 실리콘 사용량을 획기적으로 줄일 수 있습니다. 실제로 EMIB의 단면 실리콘 원가는 1센트/㎟ 수준으로, 대면적 실리콘 인터포저의 5센트/㎟ 대비 약 5배의 비용 경쟁력을 확보할 수 있습니다 [출처: 키움증권].
- **구조적 안정성:** 브릿지가 유기 기판(FC-BGA) 내부에 위치하므로, 칩을 직접 지지하는 구조적 부담을 줄이면서도 칩 간의 물리적 거리를 최소화할 수 있습니다.

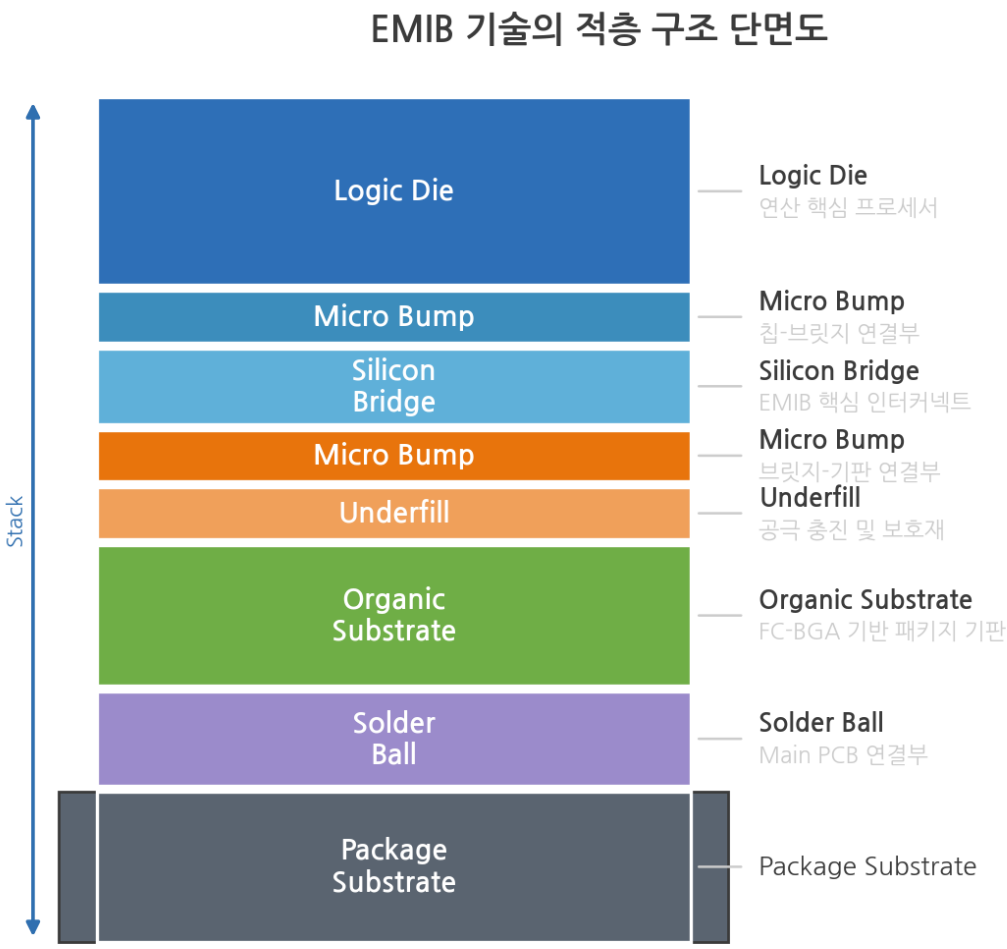

그림 1. EMIB 기술의 적층 구조 단면도

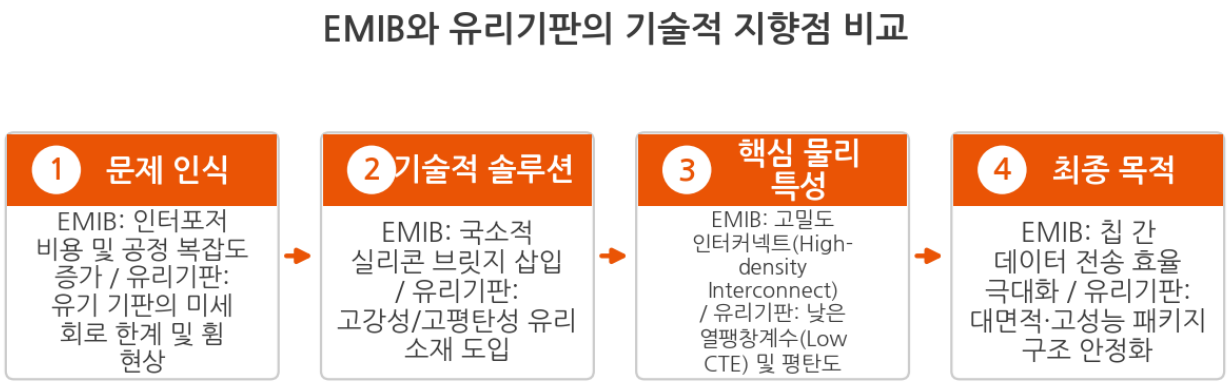

그림 2. EMIB와 유리기판의 기술적 지향점 비교

3. 기술 진화에 따른 산업적 시사점

패키징 기술의 진화는 단순히 '더 작게, 더 빠르게'를 넘어, 제조 공정의 패러다임을 바꾸고 있습니다.

• **검사 난이도의 급증:** 2.5D에서 3D, 그리고 Hybrid Bonding으로 넘어갈수록 결함(Defect)의 크기는 작아지고 연결 밀도는 높아집니다. 기존의 광학 검사 방식으로는 검출하기 어려운 미세한 Misalignment(정렬 오류)나

Bridge(Short) 결함이 발생할 확률이 높아지며, 이는 CRESSEM이 집중하고 있는 AI 기반 고정밀 비전 검사 솔루션의 중요성을 입증합니다.

- **열 관리(Thermal Management)의 중요성:** 3D 적층 및 Hybrid Bonding 기술은 칩의 밀도를 높이는 만큼 단위 면적당 발생하는 열(Heat Flux)을 극심하게 증가시킵니다. 따라서 적층 구조 내에서의 열 방출 효율을 검증하는 Thermal Test와 신뢰성 검사가 제품 양산의 핵심 관건이 될 것입니다.
- **수율(Yield) 중심의 공정 제어:** 기술이 고도화될수록 단 하나의 결함이 전체 스택(Stack)의 폐기로 이어지는 리스크가 커집니다. 따라서 공정 중간 단계에서 실시간으로 결함을 추적하고, 데이터를 기반으로 불량 원인을 역추적(Root Cause Analysis)할 수 있는 스마트 팩토리 솔루션의 수요가 폭발적으로 증가할 전망입니다.

글로벌 주요 플레이어 및 산업 생태계 분석

차세대 어드밴스드 패키징(Advanced Packaging) 시장은 단순한 제조 공정의 영역을 넘어, 설계(Design)-파운드리(Foundry)-메모리(Memory)-패키징(OSAT/Substrate)이 유기적으로 결합된 거대한 기술 생태계를 형성하고 있습니다. 특히 EMIB와 같은 브릿지 기술과 유리기판(Glass Substrate) 기술의 부상은 기존의 분업 체계를 재편하며, 각 분야의 지배적 플레이어들 간의 전략적 파트너십과 기술 주도권 경쟁을 가속화하고 있습니다.

1. 핵심 플레이어별 기술 전략 및 시장 지위

현재 글로벌 패키징 시장은 인텔을 중심으로 한 브릿지 기술 진영과 TSMC를 중심으로 한 인터포저 기술 진영, 그리고 차세대 소재 혁명을 주도하려는 삼성전자의 삼각 구도로 재편되는 양상을 보입니다.

구분	Intel (인텔)	TSMC	Samsung Electronics (삼성전자)
핵심 패키징 기술	**EMIB**, Foveros	**CoWoS**, InFO	**2.5D/3D**, TC-NCF, Hybrid Bonding
전략적 포지션	브릿지 기반의 경제적 고밀도 연결 주도	대면적 실리콘 인터포저 기반 시장 지배	메모리-파운드리 통합 솔루션(Turn-key)
주요 타겟	데이터 센터, 고성능 컴퓨팅(HPC)	AI 가속기 (NVIDIA, AMD 등)	HBM 기반 AI 가속기 및 차세대 메모리
최근 동향	EMIB와 유리기판 결합 연구 가속화	CoWoS 캐파(CAPA) 확대를 위한 선제적 투자	400mm 링웨이퍼 및 Hybrid Bonding 도입

표 1. 핵심 플레이어별 기술 전략 및 시장 지위

1.1. Intel: EMIB 기반의 생태계 선도 및 소재 혁신

인텔은 EMIB(Embedded Multi-die Interconnect Bridge)를 통해 고가의 실리콘 인터포저를 대체하는 경제적 패키징 모델을 제시하며 시장을 선도하고 있습니다. 인텔의 전략은 단순히 칩을 연결하는 것을 넘어, **'EMIB + 유리기판'**의 결합을 통해 패키징의 물리적 한계를 극복하는 데 집중되어 있습니다. 최근 인텔은 EMIB 기술을 적용한 유리기판 샘플에서 미세 균열(Micro-crack) 문제를 성공적으로 해결하며, 차세대 패키징의 표준을 선점하려는 움직임을 보이고 있습니다 [출처: 네이버 블로그].

1.2. TSMC: CoWoS를 통한 독점적 AI 생태계 구축

TSMC는 CoWoS(Chip on Wafer on Substrate) 기술을 통해 NVIDIA와 AMD 등 글로벌 빅테크 기업들의 AI 가속기 수요를 독점하다시피 하고 있습니다. TSV(Through-Silicon Via)를 활용한 대면적 실리콘 인터포저 방식은 구현 난이도가 높고 비용이 발생하지만, 현재까지 검증된 가장 강력한 대역폭(Bandwidth)을 제공한다는 강점이 있습니다. TSMC는 CoWoS의 공급 부족 문제를 해결하기 위해 대규모 설비 투자를 지속하며, 파운드리와 패키징을 통합한 강력한 락인(Lock-in) 효과를 창출하고 있습니다.

1.3. Samsung Electronics: 통합 솔루션과 공정 혁신

삼성전자는 메모리(HBM)-파운드리-패키징을 모두 보유한 유일한 기업으로서, **'Turn-key 솔루션'**을 통해 고객사에게 원스톱 서비스를 제공하는 전략을 취하고 있습니다. 특히 HBM 제조 경쟁력을 극대화하기 위해 400mm급 링웨이퍼(Ring Wafer) 기술을 도입하여 웨이퍼 활용도를 높이고 제조 원가를 절감하는 혁신을 추진 중입니다 [출처: 산업 분석 보고서]. 또한, 삼성은 TC-NCF(Thermal Compression Non-Conductive Film) 기술과 차세대 Hybrid Bonding 기술을 결합하여 적층 높이를 높이면서도 데이터 전송 속도를 극대화하는 전략을 구사하고 있습니다 [출처: 산업 분석 보고서].

2. 기판(Substrate) 및 후공정(OSAT) 공급망 분석

패키징 기술이 미세화됨에 따라, 이를 뒷받침하는 기판(Substrate) 제조사의 역할이 과거와는 비교할 수 없을 정도로 중요해졌습니다.

- **차세대 기판 제조사 (Advanced Substrate):** 유리기판 도입이 가시화되면서 기존 유기 기판(Organic Substrate) 제조사들은 기술 전환기에 직면해 있습니다. **이비덴(Ibiden)**과 같은 일본 기업들은 EMIB-T(TSV가 추가된 브릿지 기술)용 고성능 기판 양산을 위해 공격적인 설비 투자를 진행하고 있으며, 이는 차세대 패키징 공급망의 핵심 축으로 자리 잡고 있습니다 [출처: 지디넷코리아]. 국내에서도 **LG이노텍, 대덕전자** 등 글로벌 Top-tier 대응 역량을 갖춘 기업들이 FC-BGA(Flip Chip Ball Grid Array) 및 차세대 기판 시장 점유율 확대를 위해 기술 개발에 매진하고 있습니다.
- **검사 및 장비 공급망 (Inspection & Equipment):** 패키징의 난이도가 급증함에 따라, 미세 결함(Defect)을 잡아내는 검사 장비의 중요성이 기하급수적으로 증가하고 있습니다. 특히 HBM4부터 도입될 **Hybrid Bonding(구리 직접 접합)** 기술은 기존 Bump 방식보다 훨씬 높은 정밀도의 검사를 요구합니다. 이에 따라 **크레셈(CRESSEM)**과 같은 전문 기업들은 AI 비전 및 고정밀 광학 기술을 결합하여, 초미세 간극을 측정하고 수율(Yield)을 관리할 수 있는 차세대 검사 모듈 개발에 집중하고 있습니다 [출처: 기업 분석 보고서].

3. 산업 생태계의 구조적 변화: 파트너십의 심화

과거의 반도체 생태계가 '설계 → 제조 → 패키징'의 선형적 구조였다면, 현재의 차세대 패키징 생태계는 **'공동 설계 및 최적화(Co-optimization)'**의 구조로 변화하고 있습니다.

1. **메모리-파운드리 간의 결합:** 인텔과 SK하이닉스가 2.5D EMIB 기반의 HBM 패키징 협력을 추진하는 사례에서 볼 수 있듯이, 메모리 제조사와 파운드리 기업 간의 경계가 허물어지고 있습니다. 이는 AI 가속기라는 단일 목적을 위해 최적의 인터커넥트 솔루션을 공동 개발해야 하기 때문입니다.

2. **EDA 및 설계 솔루션의 개입:** EMIB-T와 같은 고도화된 기술은 설계 단계부터 패키징의 물리적 특성을 고려해야 합니다. 이에 따라 키사이트(Keysight)와 같은 EDA(Electronic Design Automation) 기업들이 파운드리와 협력하여 설계-제조 간의 격차를 줄이는 기술 생태계를 구축하고 있습니다.

결론적으로, 글로벌 패키징 시장은 기술적 난이도가 높아질수록 **'소재(유리/실리콘) - 인터커넥트(EMIB/CoWoS) - 검사(AI 비전)'**가 하나의 유기체처럼 움직이는 구조로 진화하고 있으며, 이 연결 고리에서 핵심 기술을 선점하는 플레이어가 차세대 AI 반도체 공급망의 주도권을 쥐게 될 것으로 분석됩니다.

기술 협력 현황 및 공급망(Supply Chain) 분석

차세대 어드밴스드 패키징 시장은 과거 개별 소자 단위의 협력을 넘어, 메모리(Memory), 파운드리(Foundry), 그리고 OSAT(Outsourced Semiconductor Assembly and Test) 및 패키징 기술이 하나의 유기체처럼 움직이는 **'메모리-파운드리-패키징 전략적 얼라이언스(Strategic Alliance)'** 시대로 진입하였습니다. 특히 AI 가속기 시장의 폭발적 성장은 HBM(High Bandwidth Memory)과 로직 다이(Logic Die)를 어떻게 하나의 패키지 내에서 고밀도로 연결하느냐가 핵심 경쟁력이 되었으며, 이에 따라 기술 생태계의 경계가 급격히 허물어지고 있습니다.

1. 메모리-파운드리-패키징 간의 전략적 파트너십 구조

과거의 반도체 공급망이 '설계 → 제조 → 패키징'의 선형적 구조였다면, 현재의 AI 반도체 공급망은 고객사(CSP, Cloud Service Provider)의 요구사항에 맞춰 세 주체가 동시에 기술을 정렬하는 **'Co-Optimization(공동 최적화)'** 구조를 띠고 있습니다.

협력 모델	핵심 구성 요소	주요 목적 및 기대 효과
Foundry-centric Model	TSMC (CoWoS) 중심	로직 다이와 HBM의 인터포저 통합 및 고성능 인터커넥트 구현
Memory-centric Model	삼성전자 (TC-NCF/Hybrid Bonding)	메모리 적층 기술과 차세대 패키징 공정의 결합을 통한 수율 및 원가 경쟁력 확보
Bridge-centric Model	Intel (EMIB/Foveros)	실리콘 브릿지를 활용한 비용 효율적 다이 간 연결 및 이종 집적(Heterogeneous Integration)

표 2. 메모리-파운드리-패키징 간의 전략적 파트너십 구조

1.1. HBM 중심의 생태계 재편

HBM의 대역폭(Bandwidth) 극대화와 전력 효율(Power Efficiency) 개선을 위해서는 메모리 제조사의 적층 기술과 파운드리의 인터포저/브릿지 기술이 완벽하게 결합되어야 합니다. 예를 들어, 인텔의 EMIB 기술은 메모리 제조사가 생산한 HBM 스택을 로직 칩과 연결하는 핵심 통로 역할을 수행하며, 이 과정에서 메모리 업체와 파운드리 간의 물리적/전기적 규격(Spec) 맞춤형 협력이 필수적입니다.

1.2. 전략적 얼라이언스의 심화

최근의 트렌드는 단순한 부품 공급을 넘어, 설계 단계부터 패키징 공정을 고려하는 **'Design for Manufacturing(DFM)'** 기반의 협력입니다.

- **SK하이닉스 & 인텔:** SK하이닉스의 HBM 기술과 인텔의 EMIB/Foveros 패키징 솔루션을 결합하여 차세대 AI 가속기 시장을 겨냥한 전략적 협력을 추진하고 있습니다 [출처: econoel-library]. 이는 파운드리(인텔)가 메모리(SK하이닉스)의 제품을 자사의 패키징 플랫폼에 최적화하여 고객사에게 제공하는 고도화된 형태의 파트너십입니다.
- **삼성전자:** 메모리, 파운드리, 패키징(AVP 사업부)을 모두 보유한 '턴키(Turn-key)' 역량을 바탕으로, 고객사가 설계부터 최종 패키징까지 한 번에 해결할 수 있는 통합 솔루션을 제공하여 공급망의 복잡성을 줄이는 전략을 구사하고 있습니다.

2. 글로벌 공급망(Supply Chain)의 핵심 축 분석

차세대 패키징 기술의 고도화는 공급망 내 각 플레이어들의 역할 변화와 새로운 기술적 요구사항을 창출하고 있습니다.

2.1. 핵심 플레이어별 역할 및 동향

• **Foundry (파운드리):** 단순한 웨이퍼 제조를 넘어, EMIB와 같은 인터커넥트 브릿지 기술이나 CoWoS와 같은 2.5D/3D 패키징 플랫폼을 제공하는 '시스템 통합자'로서의 역할이 강화되고 있습니다.

• **Memory (메모리):** HBM4 이상의 차세대 제품으로 갈수록 적층 높이 제어, 열 관리(Thermal Management), 그리고 TSV(Through-Silicon Via) 신뢰성이 중요해짐에 따라, 패키징 공정의 핵심 파트너로 부상했습니다. 특히 삼성전자의 400mm 링웨이퍼(Ring Wafer) 기술 도입은 제조 원가 절감과 수율 확보를 위한 공급망 혁신의 일환으로 분석됩니다 [출처: pdf1서론HBM시장의패러다임변화20260508001.pdf].

• **Substrate & Equipment (기판 및 장비):** EMIB-T와 같은 고도화된 기술을 지원하기 위해 이비덴(Ibiden)과 같은 차세대 기판 제조사들의 역할이 커지고 있으며, 크레셈(CRESSEM)과 같은 검사 장비 기업은 미세화된 Bump, TSV, Bridge의 결함을 잡아내기 위한 AI 기반 고정밀 광학 검사 솔루션을 공급함으로써 전체 공급망의 수율(Yield)을 책임지는 핵심 역할을 수행합니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

2.2. 공급망 리스크 및 대응 전략

현재의 공급망은 특정 지역 또는 특정 기업에 대한 의존도가 높다는 리스크를 안고 있습니다.

1. **기술적 종속성:** TSMC의 CoWoS와 같은 독점적 패키징 플랫폼에 대한 의존도는 고객사들에게 비용 상승과 공급 불안정성을 초래할 수 있습니다. 이에 대응하여 인텔은 EMIB를 통한 대안적 경로를 제시하고 있습니다.

2. **장비 및 소재의 병목 현상:** Hybrid Bonding과 같은 초미세 공정이 도입됨에 따라, 기존의 검사/식각/세정 장비로는 대응이 불가능한 기술적 병목(Bottleneck)이 발생하고 있습니다. 이는 차세대 검사 모듈 및 AI 비전 알고리즘을 보유한 장비사의 기술력이 공급망 전체의 생산성을 결정짓는 핵심 변수가 되었음을 의미합니다.

3. 소결: 통합적 관점의 공급망 관리(SCM) 필요성

결론적으로, 차세대 어드밴스드 패키징의 승패는 개별 기업의 기술력을 넘어, **'얼마나 긴밀하게 생태계 파트너들과 기술 규격을 동기화(Synchronization)할 수 있는가'**에 달려 있습니다. 메모리 제조사는 패키징 공정의 열적/전기적 특성을 이해해야 하며, 파운드리는 메모리의 물리적 구조를 설계에 반영해야 합니다. 이러한 통합적 SCM(Supply Chain Management) 역량은 향후 AI 반도체 시장의 주도권을 결정짓는 가장 강력한 무기가 될 것입니다.

결론 및 향후 시장 전망

차세대 어드밴스드 패키징(Advanced Packaging) 시장은 단순한 칩의 보호를 넘어, 시스템 전체의 성능과 전력 효율을 결정짓는 핵심 경쟁력으로 급부상하고 있습니다. EMIB와 유리기판(Glass Substrate) 기술의 부상은 반도체 제조 패러다임이 '전공정(Front-end)의 미세화' 중심에서 '후공정(Back-end)의 고도화'로 이동하고 있음을 명확히 보여줍니다.

1. 기술적 난제와 수율 최적화(Yield Optimization)의 중요성

향후 시장의 성패는 각 기술이 가진 고유의 물리적·공정적 한계를 얼마나 효과적으로 극복하느냐에 달려 있습니다.

• **EMIB 기술:** 칩 간의 연결을 위해 유기 기판(Organic Substrate) 내부에 미세한 실리콘 브릿지를 정밀하게 삽입해야 하므로, 브릿지의 정렬(Alignment) 및 삽입 공정에서의 결함 제어가 핵심입니다. 특히, 브릿지와 기판 사이의 계면 신뢰성 확보는 필수적입니다.

• **유리기판 기술:** 유리 소재 특유의 취성(Brittleness)으로 인한 미세 균열(Crack) 방지와, 기존 유기 소재(ABF 등)와의 열팽창 계수(CTE) 차이에 따른 휨(Warpage) 현상 해결이 가장 큰 기술적 장벽입니다.

따라서 제조사들은 단순히 새로운 구조를 도입하는 것에 그치지 않고, AI 기반의 광학 검사 및 데이터 분석 솔루션을 활용하여 결함(Defect)을 실시간으로 탐지하고 공정 파라미터를 최적화함으로써 수율(Yield)을 극대화하는 전략을 취할 것으로 보입니다.

2. 시장 주도권 확보를 위한 전략적 시사점

글로벌 반도체 기업들은 각자의 강점을 바탕으로 시장 주도권을 확보하기 위한 차별화 전략을 전개하고 있습니다.

구분	전략적 방향성	핵심 동력
파운드리/IDM (Intel, TSMC 등)	독자적인 인터커넥트 솔루션 구축	EMIB, CoWoS 등 고유 패키징 IP 확보를 통한 고객사 락인(Lock-in)
메모리 제조사 (삼성전자, SK하이닉스 등)	HBM 기반의 맞춤형 패키징 결합	400mm 링웨이퍼(Ring Wafer) 및 Hybrid Bonding 기술을 통한 원가 경쟁력 확보
장비 및 소재 기업 (Cressem, 기판사 등)	고정밀 검사 및 차세대 소재 공급	초미세 간극 측정 기술 및 대면적 유리기판 양산 기술 선점

표 3. 시장 주도권 확보를 위한 전략적 시사점

3. 향후 시장 전망 (Market Outlook)

단기적으로는 HBM(고대역폭 메모리) 수요 폭증에 따라 EMIB와 같은 2.5D 패키징 기술이 시장을 견인할 것이며, 중장기적으로는 AI 가속기의 대형화 및 고성능화 추세에 맞춰 유리기판 기반의 패키징과 Hybrid Bonding(구리 직접 접합) 기술이 주류로 자리 잡을 것으로 전망됩니다.

결론적으로, 미래의 반도체 시장은 **'메모리-파운드리-패키징'**의 경계가 허물어지는 초연결 생태계가 될 것입니다. 기업들은 개별 기술의 고도화를 넘어, 고객사의 요구에 맞춘 **Customized Inspection System(고객 맞춤형 검사 시스템)** 및 통합 솔루션을 제공함으로써 AI 반도체 공급망 내에서 대체 불가능한 핵심 위치를 점해야 할 것입니다.