



차세대 2.5D/3D 패키징 기술 비교 분석: CoWoS, EM

문서번호 CRSM-AI-2026-AUTO

작성일 2026-06-01

작성 CresseM AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

차세대 2.5D/3D 패키징 기술 비교 분석: CoWoS, EMIB 및 Glass Substrate	3
개요 (Introduction)	3
핵심 기술별 구조 및 작동 원리 (Architectural Analysis)	4
기술별 공정 흐름 및 제조 특성 (Manufacturing Process)	6
3대 핵심 기술 비교 분석 (Comparative Study)	8
공정 단계별 주요 결함 및 검사 전략 (Defect & Inspection Strategy)	9
시장 전망 및 기술 로드맵 (Market Outlook & Roadmap)	12
결론 및 시사점 (Conclusion & Implications)	13

차세대 2.5D/3D 패키징 기술 비교 분석: CoWoS, EMIB 및 Glass Substrate

반도체 패키징의 핵심인 CoWoS, EMIB, Glass Substrate 기술의 구조적 차이점과 공정 특성을 심층 비교합니다. 각 기술의 장단점, 검사 요구사항 및 향후 시장의 기술 패러다임 변화를 분석하여 최적의 패키징 솔루션을 제안합니다.

개요 (Introduction)

1. 반도체 패키징 기술의 진화와 패러다임의 전환

반도체 산업은 지난 수십 년간 전하의 이동 거리를 줄이고 트랜지스터의 밀도를 높이는 **스케일링(Scaling)** 기술을 통해 비약적인 발전을 이루어 왔습니다. 그러나 미세 공정(Node Scaling)이 원자 단위의 물리적 한계에 직면함에 따라, 단일 칩의 성능 향상만으로는 데이터 처리량(Throughput)과 전력 효율(Power Efficiency)을 동시에 달성하기 어려운 **'무어의 법칙(Moore's Law)'의 한계**가 가시화되고 있습니다.

이러한 기술적 정체를 극복하기 위한 돌파구로 등장한 것이 바로 **'More than Moore'** 전략입니다. 이는 단순히 트랜지스터의 크기를 줄이는 것에 집중하는 대신, 서로 다른 기능과 공정 노드를 가진 칩들을 하나의 패키지 내에 통합하여 시스템 전체의 성능을 극대화하는 방향을 의미합니다. 이에 따라 반도체 제조의 중심축은 웨이퍼 전공정(Front-end)에서 칩을 연결하고 보호하며 기능을 통합하는 **후공정(Back-end), 즉 어드밴스드 패키징(Advanced Packaging)** 영역으로 급격히 이동하고 있습니다.

2. 이종 집적(Heterogeneous Integration)의 부상과 기술적 필요성

현대의 AI(Artificial Intelligence), HPC(High-Performance Computing), 그리고 데이터 센터용 가속기 시장은 막대한 양의 데이터를 초고속으로 처리할 수 있는 구조를 요구합니다. 이를 실현하기 위한 핵심 기술이 바로 **이종 집적(Heterogeneous Integration)**입니다. 이종 집적은 로직(Logic) 칩, 고대역폭 메모리(HBM), 아날로그/RF 칩 등을 각각 최적화된 공정으로 제조한 뒤, 이를 하나의 시스템 수준 패키지(System-in-Package, SiP)로 결합하는 기술을 통칭합니다.

이종 집적 기술이 주목받는 이유는 다음과 같은 세 가지 핵심적인 기술적 요구사항 때문입니다.

- **대역폭 확장(Bandwidth Scaling):** GPU와 HBM 사이의 데이터 전송 통로를 극대화하여 병목 현상을 제거해야 합니다.
- **전력 효율성(Power Efficiency):** 칩 간의 물리적 거리를 단축하여 데이터 전송 시 발생하는 기생 커패시턴스(Parasitic Capacitance)와 전력 소모를 최소화해야 합니다.
- **폼 팩터 최적화(Form Factor Optimization):** 고성능 연산 장치를 구현하면서도 장치의 물리적 크기를 줄이고 신호 무결성(Signal Integrity)을 유지해야 합니다.

이러한 요구사항을 충족하기 위해 기존의 전통적인 패키징 방식(Wire Bonding, Flip Chip 등)을 넘어, 인터포저(Interposer)를 활용한 **2.5D 패키징**과 칩을 수직으로 적층하는 **3D 패키징**, 그리고 차세대 소재를 활용한 신기술들이 경쟁적으로 개발되고 있습니다.

3. 차세대 패키징 기술의 기술적 변곡점: CoWoS, EMIB, Glass Substrate

현재 시장은 TSMC의 **CoWoS(Chip on Wafer on Substrate)** 기술이 주도하며 2.5D 패키징의 표준을 제시하고 있습니다. CoWoS는 대면적 실리콘 인터포저를 통해 초고밀도 연결을 제공하며 AI 가속기 시장의 핵심 동력으로 자리 잡았습니다. [출처: TSMC 기술 백서]

동시에 인텔(Intel)은 **EMIB(Embedded Multi-die Interconnect Bridge)** 기술을 통해 CoWoS의 비용적 한계를 극복하려는 시도를 지속하고 있습니다. EMIB는 칩 전체를 덮는 인터포저 대신 필요한 연결부에만 실리콘 브릿지를 매립함으로써, 경제성과 성능의 균형을 맞춘 구조적 혁신을 보여줍니다. [출처: Intel Foundry EMIB Technology Brief]

더 나아가, 최근 반도체 업계의 가장 뜨거운 화두는 **유리 기판(Glass Substrate)**의 도입입니다. 기존의 유기 기판(Organic Substrate, FC-BGA 등)이 가진 열적 불안정성과 미세 회로 구현의 한계를 극복하기 위해, 유리의 우수한 평탄도와 낮은 열팽창 계수(CTE)를 활용한 기술이 논의되고 있습니다. 유리 기판은 CoWoS나 EMIB와 같은 기존 인터커넥트 기술과 결합하거나, 혹은 이를 대체하여 차세대 AI 반도체의 성능을 한 단계 더 격상시킬 게임 체인저(Game Changer)로 평가받고 있습니다. [출처: Giik Korea 시장 보고서]

본 보고서에서는 이러한 기술적 흐름을 바탕으로, 현재 시장을 주도하는 **CoWoS와 EMIB**, 그리고 미래의 표준을 꿈꾸는 **Glass Substrate**의 물리적 구조, 제조 공정, 그리고 성능 및 경제성 관점에서의 차이점을 심도 있게 분석하고자 합니다. 이를 통해 차세대 패키징 기술의 로드맵을 이해하고, 각 기술이 요구하는 검사(Inspection) 및 품질 관리(Quality Control)의 핵심 요소를 도출하는 데 목적을 둡니다.

핵심 기술별 구조 및 작동 원리 (Architectural Analysis)

차세대 고성능 컴퓨팅(HPC)과 AI 가속기 시장을 견인하는 2.5D 및 3D 패키징 기술의 핵심은 '어떠한 매개체를 통해 칩(Die) 간의 데이터를 이동시키는가'와 '그 매개체가 물리적으로 어떤 구조를 갖는가'에 달려 있습니다. 본 섹션에서는 현재 시장의 주류인 TSMC의 **CoWoS(Chip on Wafer on Substrate)**, 인텔의 **EMIB(Embedded Multi-die Interconnect Bridge)**, 그리고 차세대 게임 체인저로 주목받는 **Glass Substrate(유리 기판)**의 물리적 구조와 인터커넥트(Interconnect) 메커니즘을 심층 분석합니다.

1. CoWoS (Chip on Wafer on Substrate): 대면적 실리콘 인터포저 기반 구조

TSMC의 CoWoS 기술은 2.5D 패키징의 표준 모델로 자리 잡았으며, 그 핵심은 **실리콘 인터포저(Silicon Interposer)**라는 거대한 물리적 교량에 있습니다.

- **물리적 구조:** CoWoS는 로직 다이(Logic Die)와 HBM(High Bandwidth Memory)을 유기 기판(Organic Substrate) 위에 배치하기 전, 그 사이에 매우 넓은 면적의 실리콘 웨이퍼를 얇게 가공한 '실리콘 인터포저'를 삽입하는 구조입니다. 이 인터포저는 칩들과 전기적으로 연결되는 거대한 '중간 기판' 역할을 수행합니다. [출처: 연구소 기술 리포트]
- **인터커넥트 방식:** 인터포저 내부에는 수만 개의 **TSV(Through Silicon Via)**가 형성되어 있습니다. 칩의 마이크로 범프(Micro Bump)는 인터포저 상단의 미세한 배선(RDL, Redistribution Layer)과 연결되고, 인터포저 하단의 TSV는 인터포저를 관통하여 하부의 패키지 기판으로 신호를 전달합니다. [출처: Intel Foundry EMIB Technology Brief - 구조적 대조군으로서 참조]
- **작동 원리:** 모든 다이가 하나의 대형 인터포저 위에 배치되므로, 칩 간의 거리가 매우 가깝고 배선 밀도가 극도로 높습니다. 이는 초고대역폭(Ultra-high Bandwidth) 구현을 가능하게 하지만, 인터포저 자체가 하나의 거대한 실리콘 웨이퍼 형태를 띠기 때문에 제조 비용이 매우 높고, 인터포저 크기에 따라 수율이 급격히 저하되는 물리적 한계를 가집니다.

2. EMIB (Embedded Multi-die Interconnect Bridge): 국소적 실리콘 브릿지 매립 구조

인텔의 EMIB 기술은 CoWoS의 '비효율적인 대면적 실리콘 사용' 문제를 해결하기 위해 등장한 **선택적 인터커넥트(Selective Interconnect)** 방식입니다.

- **물리적 구조:** EMIB는 칩 전체를 덮는 거대한 인터포저를 사용하는 대신, 칩과 칩이 맞닿는 경계 지점에만 아주 작은 크기의 **실리콘 브릿지(Silicon Bridge)**를 배치합니다. 이 브릿지는 유기 기판(Organic Substrate) 내부의

미세한 홈(Cavity)에 매립(Embedding)되는 형태를 취합니다. [출처: [2] TSMC CoWoS vs Intel EMIB 기술 비교 분석]

- **인터커넥트 방식:** 브릿지 내부에는 칩 간 고속 통신을 위한 미세한 회로(RDL)와 수직 연결을 위한 TSV가 포함되어 있습니다. 하지만 이 TSV는 CoWoS처럼 웨이퍼 전체를 관통하는 것이 아니라, 브릿지라는 작은 영역 내에서만 작동합니다.
- **작동 원리:** 칩들은 일반적인 FC-BGA(Flip Chip Ball Grid Array) 방식으로 유기 기판 위에 실장되며, 오직 칩 사이의 데이터 통로가 필요한 부분에만 실리콘 브릿지가 전기적 통로 역할을 합니다. 이는 실리콘 사용량을 최소화하여 비용을 절감하면서도, 실리콘 기반의 미세 공정 이점을 그대로 가져와 고성능 연결을 유지하는 '하이브리드' 전략입니다. [출처: [2] TSMC CoWoS vs Intel EMIB 기술 비교 분석]

3. Glass Substrate: 차세대 비실리콘(Non-Silicon) 기반 고밀도 기판

유리 기판은 기존의 플라스틱(Organic) 기판과 실리콘 인터포저의 단점을 동시에 극복하기 위해 등장한 혁신적인 소재 중심의 기술입니다.

- **물리적 구조:** 기존의 유기 기판(플라스틱 소재)을 대체하여, 매우 평탄하고 단단한 **유리(Glass)**를 베이스 소재로 사용합니다. 유리는 플라스틱보다 훨씬 단단하며, 열에 의한 변형(Warping)이 매우 적습니다. [출처: [3] 유리기판 상용화, CoWoS 대체할 것]
- **인터커넥트 방식:** 유리의 매끄러운 표면 특성을 활용하여 실리콘보다 훨씬 미세한 회로 패턴을 직접 구현할 수 있습니다. 또한, 유리 내부를 관통하는 **TGV(Through Glass Via)** 기술을 통해 칩과 기판 간의 수직 연결을 수행합니다. [출처: [5] 유리 기판의 혁신: CoWoS 및 CPO 혁신 추진]
- **작동 원리:** 유리는 열팽창 계수(CTE)를 실리콘과 유사하게 조절할 수 있어, 칩과 기판 사이의 열적 응력을 최소화합니다. 또한, 표면이 매우 평탄하여 미세한 회로 구현이 용이하며, 이는 I/O(Input/Output) 밀도를 획기적으로 높이는 결과로 이어집니다. 결과적으로 CoWoS와 같은 고성능을 유지하면서도, 더 큰 패키지 사이즈와 낮은 전력 소모를 달성할 수 있는 구조적 잠재력을 가집니다. [출처: [3] 유리기판 상용화, CoWoS 대체할 것]

4. 핵심 기술별 구조 및 인터커넥트 특성 비교 요약

세 가지 기술의 물리적 구조와 인터커넥트 메커니즘의 차이를 아래 표와 같이 정리합니다.

비교 항목	CoWoS (TSMC)	EMIB (Intel)	Glass Substrate (Next-Gen)
주요 매개체	대면적 실리콘 인터포저	국소적 실리콘 브릿지	유리(Glass) 베이스 기판
기판 베이스	유기 기판 (Substrate)	유기 기판 (Substrate)	유리 기판 (Glass Core)
수직 연결 방식	TSV (Wafer-level)	TSV (Bridge-level)	TGV (Through Glass Via)
연결 밀도	최상 (전체 영역 커버)	상 (필요 영역 집중)	최상 (미세 회로 구현 용이)
구조적 특징	칩-인터포저-기판의 3층 구조	기판 내 브릿지 매립 구조	단일/다층 유리 기판 구조
주요 장점	검증된 초고성능 연결	비용 효율적 고성능 구현	열 안정성 및 초미세 회로
주요 단점	높은 제조 비용 및 수율 리스크	설계 복잡도 및 매립 정밀도	상용화 초기 단계의 공정 난이도

[분석 결론]

CoWoS는 '전 영역 실리콘화'를 통해 성능을 극대화한 구조인 반면, EMIB는 '필요 영역 실리콘화'를 통해 경제성을 확보한 구조입니다. 반면 Glass Substrate는 매개체의 소재 자체를 '실리콘/플라스틱에서 유리로 전환'함으로써, 물리적 한계인 열팽창과 미세 회로 구현 문제를 근본적으로 해결하려는 접근 방식을 취하고 있습니다. 이러한 구조적 차이는 향후 검사(Inspection) 공정에서 요구되는 해상도와 탐지 대상(TSV vs TGV vs Bridge Alignment)을 결정짓는 핵심 요인이 됩니다.

기술별 공정 흐름 및 제조 특성 (Manufacturing Process)

차세대 패키징 기술인 CoWoS, EMIB, 그리고 Glass Substrate는 각각 지향하는 인터커넥트(Interconnect) 밀도와 비용 구조가 다르기 때문에, 이를 구현하기 위한 제조 공정의 메커니즘과 난이도 또한 확연한 차이를 보입니다. CoWoS는 웨이퍼 레벨(Wafer-level)의 정밀도를, EMIB는 기판 레벨(Substrate-level)의 임베딩(Embedding) 기술을, Glass Substrate는 새로운 소재 기반의 코어 형성(Core Formation) 기술을 핵심으로 합니다.

1. TSMC CoWoS: 웨이퍼 기반의 고밀도 인터포저 공정

CoWoS(Chip on Wafer on Substrate)는 실리콘 인터포저(Silicon Interposer)를 활용하는 대표적인 2.5D 패키징 기술로, 공정의 핵심은 대면적 실리콘 웨이퍼 위에 초미세 회로를 형성하는 RDL(Redistribution Layer, **재배선층**) 공정과 TSV(Through Silicon Via, **실리콘 관통 전극**) 형성 기술에 있습니다. [출처: Intel Foundry EMIB Technology Brief]

[주요 공정 단계]

- **TSV 형성 및 채우기(Filling):** 실리콘 인터포저에 수천 개의 미세한 구멍을 뚫고, 이를 구리(Cu)로 채워 상단 칩과 하단 기판을 전기적으로 연결합니다. 이 과정에서 TSV의 종횡비(Aspect Ratio)를 유지하면서 결함 없이 구리를 채우는 것이 수율의 핵심입니다.
- **RDL(재배선층) 형성:** 인터포저 표면에 미세한 금속 배선을 형성하여 칩의 I/O(Input/Output) 패드와 TSV를 연결합니다. CoWoS는 실리콘 공정 기술을 그대로 사용하므로, 유기 기판보다 훨씬 높은 선폭(Line Width) 및 간격(Space) 밀도를 구현할 수 있습니다.
- **Chip-on-Wafer(CoW) 본딩:** 제조된 실리콘 인터포저 위에 HBM(High Bandwidth Memory) 및 로직 다이(Logic Die)를 마이크로 범프(Micro-bump)를 통해 정밀하게 실장합니다.
- **Substrate 결합:** 완성된 인터포저 셋업을 최종 패키지 기판(Package Substrate) 위에 올리고 솔더 볼(Solder Ball)을 통해 연결합니다.

[제조 난이도 및 특성]

CoWoS는 전형적인 **Wafer-level Packaging** 공정을 따릅니다. 실리콘 인터포저 자체가 하나의 거대한 웨이퍼 역할을 하므로, 인터포저의 크기가 커질수록(Reticle Limit 초과 시) 제조 비용이 기하급수적으로 상승하며, 웨이퍼의 대면적화에 따른 휨(Warping) 제어가 매우 어렵습니다. 하지만 반도체 전공정(Front-end) 기술을 그대로 활용할 수 있어 초고밀도 연결 구현에는 가장 유리합니다.

2. Intel EMIB: 기판 내 실리콘 브릿지 임베딩 공정

EMIB(Embedded Multi-die Interconnect Bridge)는 CoWoS와 달리 인터포저 전체를 실리콘으로 만드는 대신, 필요한 연결 부위에만 작은 **실리콘 브릿지(Silicon Bridge)**를 배치하는 방식입니다. 이는 **Substrate-level**의 공정 복잡도를 높이는 대신 웨이퍼 비용을 획기적으로 낮춘 구조입니다. [출처: Intel Foundry EMIB Technology Brief]

[주요 공정 단계]

- **Bridge 제조:** 칩 간 연결에 필요한 크기만큼의 작은 실리콘 조각(Bridge)을 별도로 제조합니다. 이 브릿지 내부에는 고속 통신을 위한 미세 RDL과 TSV가 미리 형성되어 있어야 합니다.

- **Substrate Cavity 형성:** 유기 기판(Organic Substrate) 또는 FC-BGA 기판의 특정 영역에 실리콘 브릿지가 들어갈 수 있도록 정밀한 홈(Cavity)을 파냅니다.
- **Bridge Embedding(매립):** 형성된 홈 내부에 실리콘 브릿지를 안착시킵니다. 이때 브릿지와 기판 사이의 전기적 연결을 위해 미세한 접합 공정이 수행됩니다.
- **Die Attachment:** 브릿지 상단에 위치할 칩렛(Chiplet)들을 배치합니다. 브릿지가 칩의 접점 부위에만 존재하므로, 칩들은 기판의 일반적인 패드 위에도 배치될 수 있습니다.

[제조 난이도 및 특성]

EMIB의 핵심 난제는 '정밀 매립(Precision Embedding)'입니다. 기판 내부에 아주 작은 실리콘 조각을 정확한 위치에 삽입해야 하며, 기판과 실리콘 사이의 이종 재료 간 정렬(Alignment) 오차를 최소화해야 합니다. 또한, 기판(유기물)과 브릿지(실리콘)의 열팽창 계수(CTE) 차이로 인해 발생하는 응력을 관리하는 것이 공정 안정성의 관건입니다.

3. Glass Substrate: 유리 코어 형성 및 미세 회로 공정

Glass Substrate는 기존 플라스틱(Organic) 기판의 한계를 극복하기 위해 등장한 차세대 기술로, 플라스틱 대신 유리(Glass)를 코어(Core) 소재로 사용합니다. 이는 기존의 패키징 공정과는 완전히 다른 소재 기반의 제조 패러다임을 요구합니다. [출처: Engi's Conpaper]

[주요 공정 단계]

- **Glass Core Formation:** 매우 얇고 평탄한 유리 판을 베이스로 준비합니다. 유리는 표면이 매우 매끄럽고 단단하여 미세 회로 형성에 최적화되어 있습니다.
- **TGV(Through Glass Via) 형성:** 유리 기판을 수직으로 관통하는 구멍을 뚫는 과정입니다. 기존 실리콘의 TSV와 유사하지만, 유리는 깨지기 쉬운(Brittle) 특성이 있어 레이저(Laser) 등을 이용한 초정밀 TGV 공정이 필수적입니다. [출처: 일반 지식]
- **Metallization(금속화):** TGV 내부와 유리 표면에 구리(Cu)를 증착하여 전기적 통로를 형성합니다. 유리의 낮은 표면 에너지를 극복하고 금속층과의 밀착력(Adhesion)을 확보하는 것이 기술적 핵심입니다.
- **RDL 및 Die Integration:** 유리 표면 위에 초미세 RDL을 형성하고, 그 위에 칩을 실장합니다.

[제조 난이도 및 특성]

Glass Substrate는 '소재의 취성(Brittleness) 제어'가 가장 큰 제조 장벽입니다. 유리는 열과 물리적 충격에 강하지만, 가공 과정에서 균열(Crack)이 발생하기 쉽습니다. 따라서 TGV 형성 시 발생하는 미세 균열을 제어하는 기술과, 유리와 금속 간의 계면 신뢰성을 확보하는 것이 양산의 핵심입니다. 하지만 성공적으로 구현될 경우, 플라스틱 대비 25% 이상 얇은 두께를 유지하면서도 훨씬 높은 I/O 밀도와 신호 무결성(Signal Integrity)을 확보할 수 있습니다. [출처: Engi's Conpaper]

[요약] 기술별 제조 특성 비교

구분	CoWoS (2.5D)	EMIB (2.5D)	Glass Substrate (Next-gen)
핵심 소재	Silicon Interposer	Silicon Bridge + Organic Substrate	Glass Core
주요 공정	Wafer-level TSV & RDL	Substrate-level Embedding	TGV & Glass Metallization
연결 밀도	최상 (실리콘 공정 기반)	상 (브릿지 영역 국한)	최상 (초미세 RDL 가능)

제조 난이도	인터포저 대면적화 및 비용	브릿지 정밀 매립 및 정렬	유리 가공(TGV) 및 균열 제어
주요 도전 과제	고비용, 웨이퍼 수율 관리	이종 재료 간 CTE 불일치	소재의 취성 및 금속 밀착력

3대 핵심 기술 비교 분석 (Comparative Study)

차세대 패키징 시장을 주도할 세 가지 핵심 기술인 CoWoS(Chip on Wafer on Substrate), EMIB(Embedded Multi-die Interconnect Bridge), 그리고 차세대 게임 체인저로 주목받는 Glass Substrate(유리 기판)는 각각의 물리적 특성과 인터커넥트(Interconnect) 메커니즘에 따라 성능, 비용, 열 관리, 확장성 측면에서 뚜렷한 트레이드오프(Trade-off) 관계를 형성하고 있습니다. 본 섹션에서는 고성능 컴퓨팅(HPC) 및 AI 가속기 설계 관점에서 이들 기술을 다각도로 비교 분석합니다.

1. 성능 및 I/O 밀도 (Performance & I/O Density)

데이터 전송 대역폭(Bandwidth)과 입출력 밀도(I/O Density)는 AI 반도체의 성능을 결정짓는 가장 중요한 척도입니다.

- CoWoS:** TSMC의 CoWoS 기술은 대면적 실리콘 인터포저(Silicon Interposer)를 기반으로 합니다. 인터포저 상의 초미세 회로(RDL)를 통해 칩 간 연결을 수행하므로, 현재 상용화된 기술 중 가장 높은 I/O 밀도를 제공합니다. 수만 개의 미세 범프(Bump)를 통해 칩과 메모리(HBM) 사이의 초고속 데이터 통로를 형성할 수 있어, 대규모 연산이 필요한 GPU 및 AI 가속기에 최적화되어 있습니다. [출처: 일반 지식]
- EMIB:** 인텔의 EMIB는 필요한 연결 부위에만 실리콘 브릿지를 배치하는 방식입니다. 칩 전체를 덮는 인터포저 방식보다는 밀도가 낮을 수 있으나, 브릿지 내부의 미세 회로를 통해 CoWoS에 근접하는 고속 통신 성능을 구현합니다. 특히 칩렛(Chiplet) 간의 국부적(Local) 연결에 최적화되어 있어, 시스템 전체의 대역폭을 효율적으로 관리할 수 있습니다. [출처: Intel Foundry EMIB Technology Brief]
- Glass Substrate:** 유리 기판은 기존 플라스틱(Organic) 기판의 한계를 뛰어넘는 차세대 솔루션입니다. 유리는 소재 자체가 매우 평탄하고 단단하여, 실리콘 인터포저 수준의 초미세 회로를 기판 자체에 구현할 수 있습니다. 이는 I/O 밀도를 획기적으로 높일 수 있음을 의미하며, 특히 고주파(High-frequency) 신호 전달 시 신호 무결성(Signal Integrity)이 매우 뛰어나 차세대 통신 및 AI 시스템에서 CoWoS의 성능적 대안으로 거론됩니다. [출처: giikorea.co.kr]

2. 비용 및 제조 효율성 (Cost & Manufacturing Efficiency)

반도체 양산 단계에서 경제성은 기술 채택의 결정적 요인입니다.

- CoWoS:** 가장 높은 성능을 제공하지만, 가장 높은 비용을 수반합니다. 대면적 실리콘 인터포저를 제조하기 위해서는 대형 웨이퍼가 소모되며, 이는 곧 직접적인 재료비 상승과 낮은 웨이퍼당 칩 수(Net Die per Wafer)로 이어집니다. 또한, 인터포저 공정 자체가 별도의 복잡한 프로세스를 요구하므로 제조 비용이 매우 높습니다. [출처: 일반 지식]
- EMIB:** CoWoS의 경제적 단점을 보완하기 위해 설계되었습니다. 실리콘을 칩 전체가 아닌 연결 부위에만 '브릿지' 형태로 사용하기 때문에 실리콘 사용량을 극적으로 줄일 수 있습니다. 또한, 기존의 FC-BGA 유기 기판 인프라를 활용할 수 있어, CoWoS 대비 제조 원가 절감 효과가 매우 큼니다. [출처: Intel Foundry EMIB Technology Brief]
- Glass Substrate:** 초기 공정 구축 비용은 높을 수 있으나, 장기적인 양산 관점에서는 혁신적인 비용 절감을 기대할 수 있습니다. 유리 기판은 플라스틱 기판보다 훨씬 얇게 제작 가능하며(기존 대비 25% 이상), 대면적 패널(Panel) 단위 생산이 용이하여 CoWoS와 같은 웨이퍼 기반 공정보다 규모의 경제를 달성하기 유리합니다. [출처: conpaper.blogspot.com]

3. 열 특성 및 구조적 안정성 (Thermal & Structural Reliability)

고성능 칩에서 발생하는 열(Heat)을 어떻게 관리하고, 열팽창에 따른 물리적 변형을 어떻게 제어하느냐가 신뢰성의 핵심입니다.

- **CTE(Coefficient of Thermal Expansion) Matching:** 반도체 칩(Si)과 패키지 기판 사이의 열팽창 계수 차이는 열 사이클(Thermal Cycle) 발생 시 칩의 휘어짐(Warping)이나 연결부 파손을 야기합니다.
- **CoWoS/EMIB:** 실리콘 인터포저나 브릿지는 칩과 동일한 실리콘 소재를 사용하므로 칩과의 CTE 매칭이 완벽합니다. 이는 열적 안정성 측면에서 매우 강력한 장점입니다. 하지만 유기 기판(Organic Substrate)과의 거대한 CTE 차이를 극복해야 하는 과제가 남아 있습니다. [출처: 일반 지식]
- **Glass Substrate:** 유리는 플라스틱 기판보다 열에 훨씬 강하며, 열팽창 계수(CTE)를 실리콘과 유사하게 조절(Tuning)할 수 있는 독보적인 장점이 있습니다. 이는 칩의 휘어짐 현상을 근본적으로 억제하여, 더 큰 면적의 칩을 적층하거나 배치할 때 구조적 안정성을 극대화합니다. [출처: giikorea.co.kr]

4. 종합 비교 요약

위의 분석을 바탕으로 세 가지 기술을 정량적/정성적 관점에서 비교하면 다음과 같습니다.

비교 항목	CoWoS (TSMC)	EMIB (Intel)	Glass Substrate (Next-Gen)
주요 인터커넥트	대면적 실리콘 인터포저	국부적 실리콘 브릿지	유리 기판 내 미세 RDL
I/O 밀도	최상 (Highest)	상 (High)	최상 (Ultra-High Potential)
대역폭 (Bandwidth)	매우 높음	높음	매우 높음 (고주파 특화)
제조 비용 (Cost)	매우 높음 (High)	중간 (Medium)	낮음 (Scale-up 시 유리)
열 안정성 (CTE)	우수 (칩과 일치)	우수 (칩과 일치)	매우 우수 (Tuning 가능)
구조적 특징	칩 전체를 인터포저가 감쌈	유기 기판 내 브릿지 매립	대면적/박형 기판 구현 가능
주요 타겟	초고성능 AI 가속기 (HBM 결합)	칩렛 기반 고성능 CPU/GPU	차세대 AI/HPC 및 고주파 통신

차세대 패키징 기술 비교 아키텍처



공정 단계별 주요 결함 및 검사 전략 (Defect & Inspection Strategy)

차세대 패키징 기술인 CoWoS, EMIB, 그리고 Glass Substrate는 모두 기존 플라스틱(Organic) 기반 패키징보다 훨씬 높은 인터커넥트 밀도(Interconnect Density)와 미세 피치(Fine Pitch)를 지향합니다. 기술적 난이도가 상승함에 따라 결함의 크기는 나노미터(nm) 단위로 미세해지고, 결함의 유형은 구조적 복잡성으로 인해 다변화되고 있습니다. 따라서 각 기술의 구조적 특성에 최적화된 **검사 메트릭(Inspection Metric)**과 **검사 장비(Inspection Equipment)**의 운용 전략이 수율(Yield) 확보의 핵심입니다.

1. CoWoS (Chip on Wafer on Substrate) 검사 전략

CoWoS는 대면적 실리콘 인터포저(Silicon Interposer)를 기반으로 하는 기술로, 웨이퍼 레벨(Wafer-level) 공정과 기판 레벨(Substrate-level) 공정이 결합된 형태를 띕니다.

[주요 결함 유형]

- **Interposer RDL 결함 (RDL Defect):** 인터포저 상의 재배선층(Redistribution Layer, RDL)에서 발생하는 단선(Open), 단락(Short), 그리고 미세 패턴의 브릿지(Bridge) 결함이 가장 치명적입니다. 이는 칩과 인터포저 간의 초고속 데이터 전송을 방해합니다.
- **TSV 정렬 및 충전 결함 (TSV Misalignment & Void):** 실리콘 인터포저를 관통하는 TSV(Through Silicon Via) 내부의 보이드(Void)나, TSV와 RDL 사이의 정렬 오차(Alignment Error)는 전기적 저항을 급증시킵니다.
- **Micro-bump 접합 불량:** 칩과 인터포저를 연결하는 마이크로 범프(Micro-bump)의 비정상적인 형상(Non-wet, Head lift) 및 높이 불균일(Coplanarity)이 발생할 수 있습니다.

[검사 전략]

검사 단계	주요 검사 항목 (Inspection Item)	권장 검사 기술 (Technology)
Wafer-level	RDL 패턴 무결성, TSV Void, TSV 정렬도	AOI (Automated Optical Inspection), Scanning Acoustic Microscopy (SAM)
Assembly	Micro-bump 접합 상태, Die-to-Wafer 정렬	High-resolution AOI, X-ray Inspection
Final Test	인터커넥트 전기적 특성, 열적 안정성	Electrical Probe Test, Thermal Imaging

2. EMIB (Embedded Multi-die Interconnect Bridge) 검사 전략

EMIB는 유기 기판 내부에 미세한 실리콘 브릿지를 매립하는 방식이므로, '매립(Embedding)' 과정에서 발생하는 계면(Interface) 결함 제어가 핵심입니다.

[주요 결함 유형]

- **Bridge Embedding 정렬 오차 (Embedding Misalignment):** 유기 기판에 형성된 캐비티(Cavity)와 실리콘 브릿지 사이의 정렬 오차는 브릿지 내부의 미세 회로와 기판 배선을 연결하지 못하게 만드는 근본적인 원인이 됩니다.
- **Interface Void & Delamination:** 실리콘 브릿지와 유기 기판 사이의 접합부(Interface)에 미세한 공극(Void)이 발생하거나, 열팽창 계수(CTE) 차이로 인해 층간 박리(Delamination)가 일어날 수 있습니다.
- **Bridge RDL Micro-bridge:** 브릿지 내부에 형성된 초미세 RDL 패턴에서 발생하는 미세 단락은 육안이나 일반 광학 장비로는 탐지가 매우 어렵습니다.

[검사 전략]

- **고해상도 2D/3D AOI:** 브릿지가 매립되기 전, 캐비티의 형상과 브릿지의 표면 상태를 나노미터 단위로 검사하여 정렬 오차를 사전 차단해야 합니다.
- **3D X-ray (CT) 검사:** 유기 기판 내부에 매립된 브릿지의 위치와 내부 보이드, 그리고 브릿지와 기판 간의 계면 상태를 비파괴 방식으로 확인하기 위해 고해상도 3D X-ray 기술이 필수적입니다. [출처: 일반 기술 지식]
- **SAM (Scanning Acoustic Microscopy):** 기판 내부의 박리(Delamination) 현상을 탐지하는 데 있어 초음파를 이용한 SAM은 매우 높은 신뢰성을 제공합니다.

3. Glass Substrate (유리 기판) 검사 전략

유리 기판은 기존 플라스틱 대비 표면이 매우 평탄하고 단단하여 미세 회로 구현에 유리하지만, 소재 특성상 발생하는 고유의 결함 유형이 존재합니다.

[주요 결함 유형]

- **Glass Micro-crack (미세 균열):** 유리 소재는 충격이나 열 응력에 취약하여, 가공(Drilling) 또는 패키징 공정 중 눈에 보이지 않는 미세 균열(Micro-crack)이 발생할 수 있습니다. 이는 제품의 신뢰성을 급격히 저하시키는 요소입니다.
- **TGV (Through Glass Via) 결함:** 유리 기판의 핵심인 TGV 형성 과정에서 발생하는 벽면 거칠기(Roughness), 비정상적인 직경, 그리고 비아(Via) 내부의 미세 균열이 주요 관리 대상입니다.
- **Surface Contamination & Scratch:** 유리 표면의 미세한 스크래치나 오염물은 이후 진행되는 미세 패턴 형성(Lithography) 공정의 해상도를 떨어뜨리는 원인이 됩니다.

[검사 전략]

- **Laser-based Surface Inspection:** 유리 표면의 미세 스크래치 및 오염을 탐지하기 위해 레이저 산란을 이용한 초고속 표면 검사 기술이 요구됩니다.
- **TGV Integrity Inspection:** TGV 내부의 형상과 벽면 품질을 검사하기 위해 고배율 광학 현미경 및 **Confocal Microscopy(공초점 현미경)**를 활용하여 깊이 방향(Depth)의 프로파일을 정밀 측정해야 합니다. [출처: 일반 기술 지식]
- **Stress Analysis (응력 분석):** 유리 기판의 파손을 방지하기 위해 공정 중 발생하는 응력을 실시간으로 모니터링하는 기술이 병행되어야 합니다.

4. 기술별 검사 메트릭 및 장비 요구사항 요약

차세대 패키징 검사 장비는 단순히 결함을 찾는 것을 넘어, '**결함의 위치(Location)**', '**크기(Size)**', '**깊이(Depth)**'를 동시에 파악할 수 있는 3D 데이터 확보 능력이 핵심입니다.

구분	CoWoS	EMIB	Glass Substrate
핵심 검사 대상	실리콘 인터포저 & TSV	매립된 실리콘 브릿지	TGV & 유리 표면/균열
최우선 검사 메트릭	RDL Pitch & TSV Alignment	Embedding Precision & Interface Integrity	TGV Aspect Ratio & Micro-crack Detection
주요 결함 특성	패턴 단락/단선, 보이드	계면 박리, 매립 정렬 오차	소재 균열, 비아 형상 불량
필수 검사 솔루션	High-res AOI, X-ray	3D X-ray (CT), SAM	Confocal Microscopy, Laser Inspection
검사 난이도	High (패턴 밀도 중심)	Very High (매립 구조 중심)	High (소재 신뢰성 중심)

결론적으로, CoWoS는 **패턴의 미세화(Miniaturization)**에 대응하는 해상력 중심의 검사가, EMIB는 **매립 구조의 불투명성(Opacity)**을 극복하는 3D 비파괴 검사가, Glass Substrate는 **소재의 취성(Brittleness)**을 관리하는 균열 및 표면 결함 검사가 각각의 공정 수율을 결정짓는 핵심 요소가 될 것입니다.

시장 전망 및 기술 로드맵 (Market Outlook & Roadmap)

차세대 반도체 패키징 시장은 인공지능(AI), 고성능 컴퓨팅(HPC), 그리고 데이터 센터의 폭발적인 수요에 따라 단순한 보호 기능을 넘어 '성능 구현의 핵심 요소'로 급격히 재편되고 있습니다. 현재 시장을 주도하고 있는 CoWoS와 EMIB 기술은 AI 가속기 시장의 성장에 힘입어 견고한 점유율을 유지할 것으로 보이나, 기술적 한계 돌파를 위한 Glass Substrate(유리 기판)의 등장은 향후 패키징 기술의 패러다임을 완전히 바꿀 변곡점이 될 전망입니다.

1. CoWoS 및 EMIB의 시장 지배력 유지와 점진적 진화

현재 AI 반도체 시장의 표준으로 자리 잡은 TSMC의 CoWoS(Chip on Wafer on Substrate) 기술은 향후 몇 년간 시장의 주류(Mainstream) 지위를 지속할 것으로 예측됩니다. NVIDIA를 비롯한 주요 AI 가속기 설계 기업들이 CoWoS 기반의 패키징을 채택함에 따라, 대규모 실리콘 인터포저를 활용한 초고대역폭 연결 수요는 지속적으로 증가하고 있습니다. 다만, 실리콘 웨이퍼 비용 상승과 대면적화에 따른 수율 저하 문제는 CoWoS의 확장을 저해하는 요소로 작용하고 있으며, 이를 극복하기 위한 공정 최적화가 시장 점유율 수성의 관건이 될 것입니다.

인텔(Intel)의 EMIB(Embedded Multi-die Interconnect Bridge) 기술은 CoWoS의 높은 비용 문제를 해결할 수 있는 강력한 대안으로서, 칩렛(Chiplet) 기반 아키텍처가 확산됨에 따라 그 활용 범위가 더욱 넓어질 전망입니다. EMIB는 필요한 영역에만 실리콘 브릿지를 배치하는 구조적 이점을 바탕으로, 비용 효율성을 중시하는 서버 및 고성능 PC 시장에서 점유율을 점진적으로 확대할 것으로 보입니다. 특히, 유기 기판(Organic Substrate)과의 통합 용이성은 기존 제조 인프라를 활용할 수 있다는 점에서 제조사들의 도입 장벽을 낮추는 핵심 요인이 될 것입니다.

2. Glass Substrate의 등장과 상용화 타임라인 예측

Glass Substrate(유리 기판)는 기존 플라스틱(Organic) 기반 기판의 물리적 한계를 극복할 수 있는 '게임 체인저(Game Changer)'로 주목받고 있습니다. 플라스틱 기판은 열에 취약하고 표면 거칠기(Roughness) 문제로 인해 미세 회로 구현에 한계가 있는 반면, 유리는 높은 치수 안정성과 우수한 평탄도를 제공합니다. [출처: giikorea.co.kr]

시장 분석가들과 업계 전문가들의 견해를 종합한 기술 로드맵 및 상용화 전망은 다음과 같습니다.

구분	CoWoS / EMIB (현재 주류)	Glass Substrate (차세대 혁신)
주요 타겟 시장	AI 가속기, HPC, 고성능 GPU	초거대 AI 모델용 가속기, 차세대 데이터 센터
기술적 성숙도	양산 단계 (Mature/Scaling)	연구 개발 및 파일럿 단계 (R&D/Pilot)
상용화 예상 시점	현재 (Full Scale Production)	2026년 ~ 2028년 사이 본격 양산 진입 예상
핵심 과제	비용 절감 및 대면적 수율 확보	유리 절단/가공 기술 및 TGV(Through Glass Via) 신뢰성 확보

유리 기판의 상용화는 단순히 소재의 교체를 의미하지 않습니다. 유리는 열팽창 계수(CTE)가 실리콘과 유사하여 칩과 기판 사이의 열적 응력을 획기적으로 줄일 수 있으며, 이는 더 얇은 패키지 구현과 전력 소모 감소로 이어집니다.

[출처: conpaper.blogspot.com] 업계에서는 2025년경 주요 반도체 제조사들이 유리 기판을 활용한 프로토타입을 선보이고, 2026년 이후부터 본격적인 HPC용 AI 칩에 적용하기 시작할 것으로 내다보고 있습니다.

3. 종합 기술 로드맵 및 시장 점유율 변화 전망

향후 5~10년 동안의 패키징 시장은 '하이브리드 로드맵'의 형태를 띠 것으로 전망됩니다. 모든 시장이 즉각적으로 유리 기판으로 전환되는 것이 아니라, 요구되는 성능과 비용에 따라 기술이 분화되는 양상을 보일 것입니다.

- **단기적 관점 (현재 ~ 2026년):** CoWoS와 EMIB가 시장의 80% 이상을 점유할 것입니다. 특히 AI 모델의 규모가 커짐에 따라 대면적 인터포저 기술이 고도화될 것이며, 칩렛 간 연결을 위한 브릿지 기술의 정밀도가 시장 경쟁력을 결정할 것입니다.
- **중기적 관점 (2026년 ~ 2030년):** 유리 기판이 하이엔드(High-end) 시장을 중심으로 침투하기 시작합니다. 초고성능 AI 서버 및 데이터 센터용 칩에서는 유리 기판이 CoWoS의 일부 영역을 대체하거나, CoWoS와 결합된 형태의 새로운 하이브리드 패키징 구조가 등장할 것입니다. 이 시기에는 유리 기판의 핵심 공정인 TGV(Through Glass Via) 및 미세 회로 형성 기술의 성숙도가 시장 점유율을 결정짓는 핵심 지표가 됩니다.
- **장기적 관점 (2030년 이후):** 유리 기판 기술이 성숙함에 따라, 기존의 유기 기판 기반 패키징은 저사양/범용 제품군으로 밀려나고, 고성능 컴퓨팅 시장은 유리 기판과 실리콘 기반 인터커넥트 기술이 결합된 고집적 패키징이 주도하게 될 것입니다.

결론적으로, 기업들은 현재의 CoWoS/EMIB 공정 수율을 극대화하는 동시에, 다가올 유리 기판 시대를 대비하여 유리 가공 기술 및 초미세 검사(Inspection) 솔루션을 선제적으로 확보하는 이원화 전략(Dual-track Strategy)을 취해야 할 것입니다.

결론 및 시사점 (Conclusion & Implications)

본 보고서에서는 차세대 반도체 패키징의 핵심 축을 담당하는 CoWoS, EMIB, 그리고 차세대 게임 체인저로 주목받는 Glass Substrate(유리 기판) 기술을 구조적, 공정적, 경제적 관점에서 심도 있게 분석하였습니다. 분석 결과를 종합할 때, 향후 패키징 시장은 단일 기술의 독주가 아닌, 애플리케이션의 요구 성능과 경제적 타당성에 따른 '기술의 다변화 및 최적화(Technology Diversification & Optimization)' 단계로 진입할 것으로 전망됩니다.

1. 기술적 우위 요약 및 기술 선택 가이드

각 기술은 고유의 물리적 특성에 따라 명확한 적용 영역(Application Domain)을 가집니다. 이를 요약하면 다음과 같습니다.

구분	CoWoS (TSMC)	EMIB (Intel)	Glass Substrate (Next-Gen)
핵심 강점	극도로 높은 I/O 밀도 및 검증된 신뢰성	비용 효율적 고대역폭 연결 및 설계 유연성	우수한 치수 안정성 및 초미세 회로 구현
주요 한계	높은 실리콘 인터포저 비용 및 대면적 한계	브릿지 매립 공정의 정밀도 제어 난이도	초기 양산 수율 확보 및 공정 인프라 구축
최적 용도	최상위 AI 가속기, 초고성능 HPC	범용 칩렛 기반 고성능 컴퓨팅(HPC)	초거대 AI 모델용 차세대 시스템, 고주파 통신

- CoWoS는 실리콘 인터포저를 통해 구현되는 압도적인 연결 밀도를 바탕으로, 비용보다는 성능이 최우선인 최상위 AI 가속기 시장에서 당분간 지배적인 위치를 유지할 것입니다. [출처: 네이버 블로그]

- **EMIB**는 실리콘 브릿지를 활용한 '필요 영역 선택적 연결' 방식을 통해, 성능과 비용 사이의 최적의 균형점(Sweet Spot)을 찾는 칩렛 기반 시스템 설계에 가장 유리한 구조를 가집니다. [출처: research4lab.tistory.com]
- **Glass Substrate**는 기존 플라스틱(Organic) 기판의 한계인 열 변형과 미세 회로 구현의 어려움을 근본적으로 해결할 대안입니다. 유리의 낮은 열팽창 계수(CTE)와 평탄도를 활용하여 칩 탑재량을 늘리고 전력 소모를 줄일 수 있는 혁신적 솔루션입니다. [출처: conpaper.blogspot.com]

2. 전략적 제언 (Strategic Roadmap)

반도체 패키징 기술의 급격한 패러다임 변화에 대응하기 위해, 제조사 및 장비 기업은 다음과 같은 전략적 방향성을 설정해야 합니다.

첫째, 검사(Inspection) 기술의 고도화 및 지능화가 필수적입니다.

기술이 미세화되고 구조가 복잡해짐에 따라, 기존의 단순 불량 판별을 넘어선 나노미터(nm) 단위의 정밀 검사가 요구됩니다. 특히 EMIB의 브릿지 매립 정밀도나 Glass Substrate의 유리 내부 결함 및 미세 회로 무결성을 확보하기 위해, **고해상도 AOI(Automated Optical Inspection)**와 **고정밀 X-ray** 기술을 결합한 하이브리드 검사 솔루션 개발에 역량을 집중해야 합니다.

둘째, 소재 및 공정 통합 관점의 R&D가 필요합니다.

Glass Substrate의 상용화는 단순히 소재의 교체를 의미하는 것이 아니라, 유리를 가공하고 다루는 완전히 새로운 공정 생태계의 구축을 의미합니다. 따라서 유리 기판의 열적/기계적 특성을 제어할 수 있는 공정 기술과 더불어, 이종 소재 간의 계면(Interface) 신뢰성을 확보하기 위한 재료 공학적 접근이 병행되어야 합니다. [출처: giikorea.co.kr]

셋째, 고객 맞춤형(Customized) 패키징 솔루션 대응 능력을 강화해야 합니다.

고객사(Fabless 및 IDM)는 각자의 칩 아키텍처에 최적화된 인터커넥트 방식을 요구할 것입니다. 따라서 특정 기술에 국한되지 않고, CoWoS의 고밀도 연결부터 EMIB의 유연한 구조, Glass Substrate의 확장성까지 모두 수용할 수 있는 **'플랫폼 기반의 검사 및 제조 대응력'**을 갖추는 것이 미래 시장 주도권 확보의 핵심입니다.