

## 2.5D 패키징 기술 비교 분석: TSMC CoWoS vs In

문서번호 CRSM-AI-2026-AUTO

작성일 2026-06-02

작성 CresseM AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

# 목 차

---

|  |          |
|--|----------|
| <b>2.5D 패키징 기술 비교 분석: TSMC CoWoS vs Intel EMIB</b>                 | <b>3</b> |
| 개요/배경 . . . . .  | 3        |
| TSMC CoWoS(Chip on Wafer on Substrate) 기술 분석 . . . . .             | 4        |
| Intel EMIB(Embedded Multi-die Interconnect Bridge) 기술 분석 . . . . . | 5        |
| 구조적 차이 비교: 인터포저 vs 브릿지 . . . . .                                   | 7        |
| 기술적 성능 및 경제성 비교 분석 . . . . .                                       | 8        |
| 검사 및 수율 관리 관점의 시사점 . . . . .                                       | 10       |
| 결론/시사점 . . . . .   | 11       |

## 2.5D 패키징 기술 비교 분석: TSMC CoWoS vs Intel EMIB

본 보고서는 차세대 반도체 패키징의 핵심인 CoWoS와 EMIB 기술의 구조적 차이점을 심층 분석합니다. 각 기술의 인터포저 활용 방식, 물리적 구조, 그리고 공정 효율성 및 비용 측면의 장단점을 비교하여 최적의 패키징 솔루션을 제안합니다.

### 개요/배경

반도체 산업은 미세 공정(Process Node Scaling)의 물리적 한계와 경제성 저하 문제에 직면해 있습니다. 기존의 전공정(Front-end) 중심의 미세화 전략만으로는 성능 향상 폭이 점차 둔화되는 '무어의 법칙(Moore's Law)'의 한계가 드러남에 따라, 업계의 패러다임은 서로 다른 기능을 가진 칩들을 하나의 패키지 내에 효율적으로 통합하는 **이종 집적(Heterogeneous Integration)** 기술로 급격히 이동하고 있습니다. 이러한 흐름 속에서 등장한 핵심 기술이 바로 **2.5D 패키징(2.5D Packaging)**입니다.

2.5D 패키징은 단순히 칩을 기판(Substrate) 위에 배치하는 기존의 2D 방식이나, 칩을 수직으로 쌓아 올리는 3D 방식의 중간 단계 기술로서, 칩과 칩 사이의 초고속 데이터 통신을 가능하게 하는 **인터포저(Interposer)** 기술을 핵심으로 합니다. 이는 로직(Logic) 칩과 고대역폭 메모리(HBM, High Bandwidth Memory)를 물리적으로 매우 가깝게 배치하여 데이터 전송 경로를 단축하고, 대역폭(Bandwidth)을 극대화함으로써 AI 가속기, 고성능 컴퓨팅(HPC), 데이터 센터용 프로세서의 성능을 비약적으로 향상시키는 역할을 수행합니다.

현재 2.5D 패키징 시장을 주도하는 두 가지 핵심 기술적 접근법은 TSMC의 **CoWoS(Chip on Wafer on Substrate)**와 Intel의 **EMIB(Embedded Multi-die Interconnect Bridge)**입니다. 두 기술은 모두 이종 칩 간의 연결성을 확보한다는 목적은 동일하지만, 구현 방식과 구조적 철학에서 근본적인 차이를 보입니다.

TSMC의 CoWoS는 대면적 실리콘 인터포저(Silicon Interposer)를 사용하는 방식으로, 모든 다이(Die)를 하나의 거대한 실리콘 판 위에 배치하여 상호 연결하는 구조를 가집니다. 이는 매우 높은 연결 밀도와 안정적인 신호 전달을 보장하지만, 인터포저의 크기가 커질수록 제조 비용이 기하급수적으로 상승하고 웨이퍼 활용도가 낮아지는 공정적 한계를 지닙니다. [출처: <https://bbn.kiwoom.com/bbs/jsp/upload/newres/CorpAnal/202103/1616741849276.pdf>].

반면, Intel의 EMIB는 인터포저 전체를 실리콘으로 채우는 대신, 칩과 칩이 만나는 접합부에만 미세한 **실리콘 브릿지(Silicon Bridge)**를 내장하는 방식을 채택합니다. 이는 필요한 부분에만 고가의 실리콘 소재를 사용하여 전체적인 제조 원가를 절감하면서도, 인터포저 전체에 TSV(Through Silicon Via, 실리콘 관통 전극) 공정을 적용해야 하는 부담을 줄인 경제적이고 효율적인 접근법입니다. [출처: <https://research4lab.tistory.com/entry/Report-TSMC-CoWoS-vs-Intel-EMIB-%EA%B8%B0%ED%8C%90-%ED%8C%A8%ED%82%A4%EC%A7%95-%EA%B8%B0%EC%88%A0-%EB%B9%84%EA%B5%90-%EB%B6%84%EC%84%9D>].

본 보고서에서는 이 두 기술의 구조적 차이점을 심층적으로 비교하고, 신호 무결성(Signal Integrity, SI), 전력 무결성(Power Integrity, PI), 열 관리(Thermal Management) 및 제조 원가 측면에서의 기술적·경제적 성패 요인을 분석하고자 합니다. 또한, 이러한 고도화된 패키징 공정에서 필연적으로 발생하는 미세 결함(Defect)을 제어하기 위한 고정밀 검사(Inspection)의 중요성을 함께 고찰할 것입니다.

| 구분    | 2.5D 패키징 기술의 핵심 요구사항                                 |
|-------|--|
| 주요 목적 | 이종 집적(Heterogeneous Integration)을 통한 성능 극대화 및 대역폭 확보 |

|        |  |
|--------|--|
| 핵심 요소  | 초미세 연결(Fine-pitch Interconnect), 고속 데이터 전송, 효율적 열 방출 |
| 기술 트렌드 | CoWoS(대면적 인터포저 기반) vs EMIB(브릿지 기반)의 경쟁 구도            |
| 검사 과제  | TSV 연결성, Die-to-Die 정렬(Alignment), 패키지 휨(Warpage) 관리 |

## TSMC CoWoS(Chip on Wafer on Substrate) 기술 분석

### 2.1 CoWoS의 정의 및 핵심 아키텍처 개요

TSMC의 CoWoS(Chip on Wafer on Substrate)는 고성능 컴퓨팅(HPC) 및 AI 가속기 시장을 겨냥한 대표적인 2.5D 패키징 기술로, 다수의 로직 다이(Logic Die)와 고대역폭 메모리(HBM)를 하나의 대형 실리콘 인터포저(Silicon Interposer) 위에 배치하여 상호 연결하는 방식입니다 [2]. 이 기술은 단순히 칩을 기판 위에 올리는 기존의 패키징 수준을 넘어, 칩과 칩 사이의 통신 경로를 실리콘 기반의 미세 회로로 구성함으로써 데이터 전송 대역폭을 극대화하는 데 목적이 있습니다.

CoWoS 아키텍처의 핵심은 'Wafer-level Packaging'에 있습니다. 이는 개별 칩(Die)을 패키지 기판(Substrate)에 실장하기 전, 웨이퍼 단계에서 인터포저와 칩을 먼저 결합하는 공정을 포함합니다. 이 과정에서 실리콘 인터포저는 칩들 사이에서 초미세 배선(Fine-pitch Interconnect) 역할을 수행하며, 칩과 기판 사이를 연결하는 범프(Bump)와 인터포저 내부를 관통하는 TSV(Through Silicon Via, 실리콘 관통 전극)를 통해 전기적 신호를 전달합니다 [4].

### 2.2 핵심 기술 요소 및 작동 원리

#### #### 2.2.1 실리콘 인터포저(Silicon Interposer)의 역할

CoWoS 구조에서 실리콘 인터포저는 전체 패키지의 '통신 허브' 역할을 수행합니다. 일반적인 유기 기판(Organic Substrate)은 회로 선폭(Line/Space)의 한계로 인해 수 마이크로미터( $\mu\text{m}$ ) 단위의 초미세 배선을 구현하기 어렵지만, 실리콘 인터포저는 반도체 전공정 기술을 그대로 활용할 수 있어 매우 높은 배선 밀도를 제공합니다.

- **고밀도 배선(High-density Routing):** 인터포저 내부에 형성된 미세 회로는 칩 간의 데이터 전송 속도를 비약적으로 높입니다.
- **전기적 특성 최적화:** 실리콘 재료의 특성을 이용하여 신호 전송 경로를 최적화하고, 신호 무결성(Signal Integrity, SI)과 전력 무결성(Power Integrity, PI)을 동시에 확보할 수 있습니다 [4].

#### #### 2.2.2 TSV(Through Silicon Via) 기술의 중요성

CoWoS의 성능을 결정짓는 가장 결정적인 요소는 TSV(실리콘 관통 전극) 공정입니다. TSV는 실리콘 인터포저를 수직으로 관통하는 전극으로, 칩의 상단부와 하단부(기판 측)를 직접 연결하는 통로가 됩니다.

- **수직 연결 구조:** TSV를 통해 신호가 실리콘을 직접 관통하므로, 기존의 와이어 본딩(Wire Bonding)이나 플립칩(Flip-chip) 방식에 비해 신호 경로(Signal Path)가 매우 짧습니다. 이는 기생 인덕턴스(Parasitic Inductance)와 커패시턴스를 최소화하여 고주파 동작 시 신호 왜곡을 방지합니다.
- **전력 공급 능력 향상:** 수많은 TSV를 병렬로 배치함으로써 대량의 전류를 안정적으로 공급할 수 있어, AI 가속기와 같이 급격한 전력 변화가 발생하는 소자의 전력 무결성(Power Integrity)을 유지하는 데 필수적입니다.

#### #### 2.2.3 Fan-out 개념의 확장 및 구조적 특징

CoWoS는 넓은 의미에서 Fan-out 기술의 개념을 차용한 구조를 가집니다. 칩의 입출력(I/O) 단자가 칩의 실제 면적보다 넓게 분포해야 하는 경우, 인터포저를 통해 I/O를 외부로 효율적으로 분배(Distribution)할 수 있습니다 [4]. 이는 고성능 로직 칩과 다수의 HBM을 하나의 패키지 내에 통합할 때, 인터페이스 밀도를 높여 데이터 병목 현상을 해결하는 핵심 기법으로 작용합니다.

### 2.3 CoWoS 기술의 구조적 장점

CoWoS 기술은 차세대 반도체 제조에서 다음과 같은 세 가지 핵심적인 기술적 우위를 점하고 있습니다.

| 구분             | 기술적 특징                   | 기대 효과                                    |
|----------------|--------------------------|--|
| 신호 무결성 (SI)    | 짧은 신호 경로 및 초미세 실리콘 배선 활용 | 고속 데이터 전송 시 신호 왜곡 및 지연 최소화               |
| 전력 무결성 (PI)    | 다수의 TSV를 통한 저저항 전력 경로 확보 | 대전류 공급 시 전압 강하(IR Drop) 방지 및 안정적 동작      |
| 열 관리 (Thermal) | 실리콘 인터포저의 높은 열전도율 활용     | 칩에서 발생하는 열을 효과적으로 분산 및 방출하여 성능 저하 방지 [4] |

특히, CoWoS는 칩들이 인터포저 위에 분산 배치되는 구조를 취하고 있어, 고성능 반도체에서 발생하는 국부적인 열 집중 현상을 완화하는 데 유리합니다. 이러한 열 설계(Thermal Design) 역량은 고성능 컴퓨팅 환경에서 시스템의 신뢰성을 결정짓는 중요한 요소입니다 [4].

### 2.4 기술적 과제 및 제조 공정의 복잡성

CoWoS는 탁월한 성능을 제공하지만, 그만큼 제조 공정의 난이도가 매우 높습니다. 대면적 실리콘 인터포저를 사용하는 특성상, 다음과 같은 공정상 이슈가 발생할 가능성이 높습니다.

- 1. Warpage(휨) 제어:** 서로 다른 열팽창 계수(CTE)를 가진 실리콘 인터포저, 칩, 그리고 유기 기판이 적층되는 과정에서 열처리(Annealing) 시 심한 휨 현상이 발생할 수 있습니다. 이는 적층 정렬(Alignment) 오류의 직접적인 원인이 됩니다.
- 2. TSV 수율 관리:** 수천 개에서 수만 개에 달하는 미세 TSV 중 단 하나라도 연결 불량(Open/Short)이 발생할 경우 전체 패키지가 불량 처리될 수 있으므로, 극도로 정밀한 검사 공정이 요구됩니다.
- 3. 비용 문제:** 대형 실리콘 인터포저는 재료비 자체가 높으며, 공정 단계가 복잡하여 단위 면적당 제조 원가가 높다는 단점이 있습니다. 이는 향후 경쟁 기술인 EMIB(Embedded Multi-die Interconnect Bridge)와 비교되는 주요 경제적 지표가 됩니다 [1].

## Intel EMIB(Embedded Multi-die Interconnect Bridge) 기술 분석

### 1. EMIB 기술의 정의 및 핵심 개념

Intel의 EMIB(Embedded Multi-die Interconnect Bridge) 기술은 차세대 반도체 패키징의 핵심 트렌드인 '칩렛(Chiplet)' 아키텍처를 구현하기 위해 고안된 혁신적인 2.5D 패키징 솔루션입니다. 기존의 2.5D 패키징이 모든 다이(Die)를 거대한 실리콘 인터포저(Silicon Interposer) 위에 배치하는 방식이었다면, EMIB는 다이와 다이 사이를 연결해야 하는 국소적인 영역(Localized area)에만 아주 작은 실리콘 브릿지(Silicon Bridge)를 매립(Embedding)하는 방식을 취합니다 [출처: research4lab.tistory.com].

이 기술의 명칭에서 알 수 있듯이, 'Embedded'는 브릿지가 패키지 기판(Substrate) 내부에 위치함을 의미하며, 'Interconnect Bridge'는 서로 다른 칩렛 간의 고속 통신을 담당하는 물리적 통로 역할을 수행함을 뜻합니다.

EMIB는 전체 면적을 실리콘으로 채우는 대신, 통신이 필요한 지점에만 미세한 실리콘 배선을 배치함으로써 대면적 실리콘 사용에 따른 비용 부담을 획기적으로 줄인 것이 특징입니다.

### 2. EMIB의 구조적 특징 및 단면 메커니즘

EMIB의 구조적 핵심은 **단면(Single-side) 접근성과 기판 매립형 설계**에 있습니다. 일반적인 CoWoS 방식이 웨이퍼 레벨에서 인터포저를 형성하고 그 위에 칩을 적층하는 복잡한 공정을 거치는 것과 달리, EMIB는 다음과 같은 구조적 메커니즘을 가집니다.

- **실리콘 브릿지의 배치:** 매우 얇은 실리콘 조각(Bridge)이 패키지 기판(Substrate)의 타공된 홈(Cavity) 내부에 위치합니다. 이 브릿지 내부에는 초미세 회로가 형성되어 있어, 상단에 배치된 칩렛 간의 신호를 전달합니다.
- **TSV(Through Silicon Via) 공정의 최적화:** CoWoS와 같은 대형 인터포저 방식은 인터포저 전체를 관통하는 대규모 TSV 공정이 필수적이며, 이는 공정 난이도와 비용을 상승시키는 주된 요인입니다. 반면, EMIB는 브릿지 자체의 크기가 매우 작기 때문에 TSV의 개수와 깊이를 최소화할 수 있으며, 이는 곧 공정 효율성으로 직결됩니다 [출처: research4lab.tistory.com].
- **단면 구조의 이점:** EMIB는 기본적으로 단면 구조를 지향하므로, 인터포저 전체를 관통하는 복잡한 공정 없이도 칩 간의 고속 인터커넥트를 구현할 수 있습니다. 이는 제조 공정의 스텝(Step) 수를 줄여 전체적인 생산 리드 타임(Lead Time)을 단축하는 효과를 가져옵니다.

### 3. 경제적 이점 및 제조 원가 분석 (Cost Efficiency)

EMIB 기술이 시장에서 주목받는 가장 강력한 이유는 **비용 효율성(Cost Efficiency)**입니다. 반도체 패키징 공정에서 실리콘(Silicon)은 매우 고가의 소재이며, 이를 사용하는 면적이 넓을수록 제품의 단가는 기하급수적으로 상승합니다.

| 구분        | 대형 실리콘 인터포저 (CoWoS 방식 등)          | 실리콘 브릿지 (EMIB 방식)                                      |
|-----------|-----------------------------------|--|
| 실리콘 사용 면적 | 칩 전체를 커버하는 대면적 (Full-area)        | 연결 부위에만 국한된 미세 면적 (Localized)                          |
| 단위 면적당 원가 | 높음 (전체 면적에 대한 실리콘 비용 발생)          | 낮음 (필요한 부분만 실리콘 사용)                                    |
| 원가 비교 수치  | 약 5 cent/mm <sup>2</sup> 수준 (추정치) | 약 1 cent/mm <sup>2</sup> 수준 (추정치) [출처: bbn.kiwoom.com] |
| TSV 공정 비용 | 대규모 TSV 형성으로 인한 고비용               | 소규모 브릿지 내 TSV로 인한 저비용                                  |

EMIB는 위 표에서 볼 수 있듯이, 실리콘 사용량을 획기적으로 절감함으로써 **단위 면적당 실리콘 원가를 약 1/5 수준으로 낮출 수 있는 잠재력**을 가지고 있습니다 [출처: bbn.kiwoom.com]. 이는 특히 다수의 칩렛을 결합해야 하는 고성능 컴퓨팅(HPC) 및 AI 가속기 시장에서 제품의 가격 경쟁력을 결정짓는 핵심 요소가 됩니다. 또한, 대형 인터포저를 제조할 때 발생하는 수율 저하 리스크를 브릿지 단위의 소규모 제조로 분산시킬 수 있다는 점도 경제적 측면에서의 큰 장점입니다.

### 4. 기술적 도전 과제 및 엔지니어링 관점의 분석

비록 EMIB가 경제적 우위를 점하고 있으나, 기술적으로 극복해야 할 과제 또한 명확합니다.

첫째, **정밀한 매립 공정(Embedding Process)**이 요구됩니다. 기판 내부에 미세한 브릿지를 정확한 위치에 안착시켜야 하며, 이 과정에서 발생하는 미세한 정렬 오차(Misalignment)는 칩 간의 통신 불량으로 이어질 수 있습니다.

둘째, 열 관리(Thermal Management) 이슈입니다. 브릿지가 기판 내부에 매립되어 있는 구조 특성상, 칩렛에서 발생하는 열이 기판을 통해 효율적으로 방출되지 못할 경우 국소적인 Hot-spot이 발생할 위험이 있습니다.

셋째, 신호 무결성(Signal Integrity, SI) 확보입니다. 브릿지의 크기가 작아짐에 따라 배선의 밀도가 극도로 높아지므로, 고속 신호 전송 시 발생하는 전자기 간섭(EMI) 및 크로스토크(Crosstalk)를 제어하기 위한 고도의 설계 기술이 뒷받침되어야 합니다.

결론적으로 EMIB는 '최소한의 실리콘으로 최대한의 연결성'을 구현하는 전략적 기술이며, 이는 향후 칩렛 기반의 이기종 집적(Heterogeneous Integration) 시장에서 Intel의 핵심 경쟁력이 될 것으로 분석됩니다.

## 구조적 차이 비교: 인터포저 vs 브릿지

2.5D 패키징 기술의 핵심은 서로 다른 칩(Die) 간의 초고속 데이터 전송을 위해 어떠한 매개체를 사용하여 전기적 연결을 형성하느냐에 달려 있습니다. 현재 시장을 주도하는 TSMC의 CoWoS(Chip on Wafer on Substrate)와 Intel의 EMIB(Embedded Multi-die Interconnect Bridge)는 이 매개체의 '형태'와 '배치 범위' 측면에서 근본적인 구조적 차이를 보입니다. 본 섹션에서는 인터포저(Interposer) 방식과 브릿지(Bridge) 방식의 구조적 메커니즘을 상세히 대조 분석합니다.

### 1. CoWoS: 대면적 실리콘 인터포저 기반의 통합 구조

TSMC의 CoWoS 기술은 모든 활성 다이(Active Die)를 하나의 대형 실리콘 인터포저(Silicon Interposer) 위에 배치하는 방식을 취합니다 [2]. 여기서 인터포저는 칩과 하부 패키지 기판(Substrate) 사이에서 신호를 전달하는 거대한 '중간 기판' 역할을 수행합니다.

#### 1.1 구조적 메커니즘 및 TSV의 역할

CoWoS 구조에서 가장 중요한 기술적 요소는 TSV(Through Silicon Via, 실리콘 관통 전극)입니다. 인터포저는 두꺼운 실리콘 웨이퍼를 기반으로 하며, 인터포저 상단에 위치한 칩(HBM, GPU 등)과 하단 패키지 기판 사이의 수직적 연결을 위해 수많은 TSV가 관통되어 있어야 합니다 [4]. 즉, 인터포저 전체 면적을 가로지르는 미세한 구리 기둥(Copper Pillar)과 TSV 네트워크가 칩 간의 데이터 통로를 형성합니다.

#### 1.2 전체 면적 활용 방식

CoWoS는 인터포저가 칩이 배치된 전체 영역을 커버하는 'Full-area Coverage' 방식을 사용합니다. 이는 칩 사이의 간격을 매우 조밀하게 설계할 수 있게 하여, 배선 길이를 최소화하고 신호 전송 효율을 극대화하는 데 유리합니다. 그러나 인터포저의 크기가 커질수록 제조 난이도가 기하급수적으로 상승하며, 대면적 실리콘 웨이퍼를 사용하기 때문에 재료비 부담이 큼니다 [1].

### 2. EMIB: 국소적 실리콘 브릿지 기반의 분산 구조

Intel의 EMIB 기술은 CoWoS와 달리 인터포저 전체를 실리콘으로 채우지 않습니다. 대신, 칩과 칩이 만나는 접점(Interface) 부위에만 아주 작은 크기의 실리콘 조각인 '브릿지(Bridge)'를 매립하는 방식을 사용합니다 [2].

#### 2.1 구조적 메커니즘 및 TSV의 차별점

EMIB는 기본적으로 유기 기판(Organic Substrate) 또는 패키지 기판을 기반으로 합니다. 실리콘은 칩 간의 통신이 필요한 '연결 통로' 역할만 수행하도록 설계되었습니다. 가장 결정적인 차이는 TSV 공정의 범위입니다. CoWoS는 인터포저 전체에 걸쳐 대규모 TSV 공정이 필수적이지만, EMIB는 칩 사이의 국소적인 브릿지 영역에만 미세한 연결 구조를 형성하면 되므로 전체적인 TSV 공정 요구 수준이 상대적으로 낮습니다 [1].

#### 2.2 면적 효율성 및 경제적 이점

EMIB는 'Localized Connectivity' 방식을 취합니다. 칩이 배치된 나머지 영역은 상대적으로 저렴한 유기 기판이 차지하므로, 고가의 실리콘 사용량을 획기적으로 줄일 수 있습니다. 이는 인터포저 전체를 실리콘으로 제작할 때

발생하는 제조 원가(Cost per Die) 문제를 해결하는 강력한 경제적 이점을 제공합니다 [1].

### 3. 인터포저 vs 브릿지 구조적 특성 비교 요약

두 기술의 차이점을 물리적 구조, 공정 요구사항, 그리고 경제성 관점에서 비교하면 다음과 같습니다.

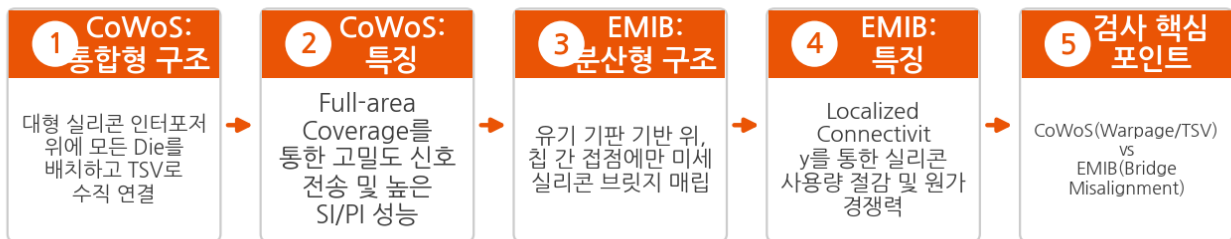
| 비교 항목     | CoWoS (Interposer 방식)    | EMIB (Bridge 방식)         |
|-----------|--------------------------|--------------------------|
| 매개체 형태    | 대면적 실리콘 인터포저 (Full-size) | 국소적 실리콘 브릿지 (Small-size) |
| 기반 기판     | 실리콘 웨이퍼 (Silicon-based)  | 유기 기판 (Organic-based)    |
| TSV 활용 범위 | 인터포저 전 영역 (High Density) | 브릿지 접점 영역 (Localized)    |
| 신호 경로 특성  | 매우 짧고 조밀한 배선 가능          | 칩 간 접점에 집중된 배선           |
| 제조 원가     | 높음 (실리콘 면적 비례)           | 상대적으로 낮음 (실리콘 최소화)       |
| 주요 장점     | 극강의 신호/전력 무결성 및 확장성      | 우수한 경제성 및 공정 유연성         |

### 4. 기술적 시사점: 설계 및 검사 난이도의 변화

구조적 차이는 곧 검사 및 수율 관리의 난이도 변화로 이어집니다. CoWoS는 대면적 실리콘 인터포저를 사용하기 때문에, 적층 과정에서 발생하는 **Warping(휨)** 현상이 전체 구조의 안정성을 위협하는 핵심 요소가 됩니다 [4]. 또한, 수천 개의 TSV 연결성을 확인하기 위한 고해상도 광학 검사가 필수적입니다.

반면, EMIB는 유기 기판 위에 미세한 브릿지를 정확한 위치에 매립해야 하므로, **Misalignment(정렬 오류)** 문제가 매우 치명적입니다 [4]. 브릿지가 설계된 위치에서 미세하게라도 벗어날 경우, 칩 간의 연결 자체가 불가능해지기 때문입니다. 따라서 EMIB 공정에서는 브릿지 매립 및 Die Bonding 단계에서의 초정밀 정렬 검사 기술이 수율 확보의 관건이 됩니다.

## 2.5D 패키징 구조적 아키텍처 비교



### 기술적 성능 및 경제성 비교 분석

2.5D 패키징 기술의 핵심은 서로 다른 칩(Die)들을 어떻게 물리적으로 연결하고, 그 과정에서 발생하는 전기적·열적 성능 저하를 어떻게 최소화하느냐에 달려 있습니다. TSMC의 CoWoS(Chip on Wafer on Substrate)와 Intel의 EMIB(Embedded Multi-die Interconnect Bridge)는 각기 다른 구조적 접근 방식을 취하고 있으며, 이는 신호 무결성(Signal Integrity, SI), 전력 무결성(Power Integrity, PI), 열 관리(Thermal Management), 그리고 제조 원가(Cost) 측면에서 뚜렷한 차이를 만들어냅니다.

## 1. 전기적 성능: 신호 무결성(SI) 및 전력 무결성(PI)

전기적 특성 측면에서 CoWoS와 EMIB는 데이터 전송 속도와 전력 공급의 안정성에서 차별화된 메커니즘을 보입니다.

### CoWoS의 전기적 특성

CoWoS는 대면적 실리콘 인터포저(Silicon Interposer)를 기반으로 합니다. 모든 다이(Die)가 하나의 거대한 실리콘 판 위에 배치되므로, 인터포저 내부의 배선(Routing)을 통해 매우 짧고 균일한 경로로 신호를 전달할 수 있습니다.

- **신호 무결성(SI):** 실리콘 인터포저 내의 미세 배선은 신호 전송선을 극도로 짧게 유지할 수 있게 하며, 이는 신호의 지연(Latency)을 줄이고 고주파 신호의 감쇄를 최소화합니다. 또한, 패키지 내부의 전자기 간섭(EMI)을 최소화할 수 있는 구조적 이점을 가집니다 [출처: m.blog.naver.com/commetbh/223907614189].
- **전력 무결성(PI):** TSV(Through Silicon Via)와 인터포저 배선이 전류 경로를 최적화하여 설계할 수 있습니다. 이는 전력 공급망(Power Delivery Network)의 임피던스를 낮추어, 고성능 AI 가속기 등에서 급격한 전류 변화(di/dt)가 발생할 때 전압 강하(IR Drop)를 방지하고 안정적인 전력을 공급하는 데 유리합니다 [출처: m.blog.naver.com/commetbh/223907614189].

### EMIB의 전기적 특성

EMIB는 필요한 연결 부위에만 소형 실리콘 브릿지(Silicon Bridge)를 삽입하는 방식입니다.

- **신호 무결성(SI):** 브릿지가 칩 간의 직접적인 연결 통로 역할을 수행하므로, 인터포저 전체를 사용하는 방식에 비해 신호 경로가 매우 효율적입니다. 하지만 인터포저 전체를 활용하는 CoWoS와 달리, 브릿지 영역 외의 영역은 유기 기판(Organic Substrate)을 통해 연결되므로, 브릿지 경계면에서의 신호 연속성 확보가 기술적 관건입니다.
- **전력 무결성(PI):** 브릿지 구조는 국소적인 연결에 집중되어 있어, 전체 다이를 아우르는 대규모 전력 분배망을 구축하는 데 있어 CoWoS보다 설계 복잡도가 높을 수 있습니다.

## 2. 열 관리(Thermal Management) 및 방열 특성

반도체 성능이 고도화됨에 따라 발생하는 열을 얼마나 효과적으로 배출하느냐는 패키징의 생존 문제입니다.

- **CoWoS의 열 관리:** 실리콘 인터포저는 재질 특성상 열전도율(Thermal Conductivity)이 매우 높습니다. 칩들이 실리콘 인터포저 위에 분산 배치되어 있고, 인터포저 자체가 열을 빠르게 확산시키는 Heat Spreader 역할을 일부 수행할 수 있습니다. 이는 고성능 반도체에서 발생하는 열을 빠르게 전달하고 방출하여 성능 저하(Thermal Throttling)를 방지하는 데 매우 효과적입니다 [출처: m.blog.naver.com/commetbh/223907614189].
- **EMIB의 열 관리:** EMIB는 칩 사이의 연결부에만 실리콘이 존재하고 나머지 영역은 유기 기판(Substrate)으로 구성됩니다. 유기 기판은 실리콘에 비해 열전도율이 현저히 낮기 때문에, 칩 주변부의 열 배출 설계가 CoWoS만큼 용이하지 않을 수 있습니다. 따라서 열 설계(Thermal Design) 측면에서는 CoWoS가 보다 높은 신뢰성을 제공하는 경향이 있습니다.

## 3. 경제성 및 제조 원가(Cost Analysis)

제조 원가는 두 기술의 가장 극명한 차이를 보여주는 지표입니다.

- **CoWoS (High Cost, High Performance):** CoWoS는 대면적 실리콘 인터포저를 사용합니다. 인터포저의 면적이 커질수록 웨이퍼 한 장에서 얻을 수 있는 유효 면적이 줄어들고, 실리콘 사용량이 급증하여 원가가 상승합니다. 특히 대형 인터포저를 제조하기 위한 공정 난이도와 수율 관리가 비용 상승의 주요 원인입니다.
- **EMIB (Low Cost, High Efficiency):** EMIB는 전체를 실리콘으로 채우는 대신, 필요한 연결부(Bridge)에만 소량의 실리콘을 사용합니다. 이는 실리콘 원가를 획기적으로 절감할 수 있음을 의미합니다. 예를 들어, 단면 실리콘 원가를 비교할 때 EMIB 방식이 CoWoS 대비 면적당 비용 효율성이 매우 높다는 연구 결과가 존재합니다.

[출처: bbn.kiwoom.com].

#### 4. 기술적 성능 및 경제성 비교 요약

| 비교 항목          | TSMC CoWoS                     | Intel EMIB                   | 비고                |
|----------------|--------------------------------|------------------------------|-------------------|
| 주요 구조          | 대면적 실리콘 인터포저 (Full Interposer) | 소형 실리콘 브릿지 (Embedded Bridge) | -                 |
| 신호 무결성 (SI)    | 매우 우수 (최단 경로, 균일한 배선)          | 우수 (국소적 연결 최적화)              | CoWoS가 고주파 대응에 유리 |
| 전력 무결성 (PI)    | 매우 우수 (안정적인 전력망 구축)            | 보통/우수 (설계 복잡도 존재)            | CoWoS가 고전력 칩에 유리  |
| 열 관리 (Thermal) | 매우 우수 (높은 실리콘 열전도율)            | 보통 (유기 기판 비중 높음)             | CoWoS가 방열 설계에 유리  |
| 제조 원가 (Cost)   | 높음 (대면적 실리콘 사용량 과다)            | 낮음 (필요 영역만 실리콘 사용)           | EMIB가 경제성 우위      |
| 주요 타겟          | 초고성능 AI 가속기, 하이엔드 GPU          | 고성능 컴퓨팅(HPC), 일반 서버용 칩       | 애플리케이션별 차별화       |

결론적으로, 최상의 전기적 성능과 열 관리 성능이 요구되는 최첨단 AI 가속기 시장에서는 CoWoS가 기술적 우위를 점하고 있으나, 제조 원가 절감과 경제적 대량 생산이 중요한 시장에서는 EMIB가 강력한 경쟁력을 가집니다. 이는 반도체 제조사가 제품의 목표 성능(Performance Target)과 가격(Price Point) 사이의 균형을 맞추기 위해 어떤 패키징 솔루션을 선택할지를 결정하는 핵심 기준이 됩니다.

#### 검사 및 수율 관리 관점의 시사점

2.5D 패키징 기술이 CoWoS(Chip on Wafer on Substrate)와 EMIB(Embedded Multi-die Interconnect Bridge)로 양분됨에 따라, 제조 공정의 복잡도가 기하급수적으로 증가하고 있습니다. 이는 단순한 패키징을 넘어 고도의 정밀도를 요구하는 검사(Inspection) 공정의 중요성을 시사하며, 검사 기술의 수준이 곧 제품의 최종 수율(Yield)을 결정짓는 핵심 변수로 작용하고 있습니다.

##### 1. 구조적 복잡도에 따른 검사 난이도 상승 (Inspection Challenges)

CoWoS와 EMIB는 각각 인터포저(Interposer)와 브릿지(Bridge)라는 서로 다른 물리적 구조를 사용하므로, 검사 측면에서 직면하는 기술적 과제(Inspection Challenges) 또한 상이합니다.

- **CoWoS의 검사 과제:** 대면적 실리콘 인터포저를 기반으로 하는 CoWoS는 수천 개 이상의 TSV(Through Silicon Via)와 미세 배선이 넓은 면적에 분포합니다. 따라서 인터포저 전체 면적에 대한 결함 검사(Defect Inspection)와 함께, 다수의 칩이 적층될 때 발생하는 전기적 연결성(Connectivity)을 전수 조사해야 하는 높은 검사 부하를 가집니다.
- **EMIB의 검사 과제:** EMIB는 필요한 연결부에만 소형 실리콘 브릿지를 삽입하는 구조입니다. 이는 인터포저 전체를 사용하는 방식보다 면적 효율은 높으나, 브릿지가 기판(Substrate) 내부에 매립(Embedded)되는 형태를 취하므로, 브릿지의 위치 정밀도와 매립 과정에서의 결함을 비파괴적으로 확인하는 것이 매우 까다로운 기술적 난제로 작용합니다.

## 2. 핵심 결함 유형 및 수율 저하 요인 분석

패키징 공정이 고도화될수록 미세한 물리적 변형이나 정렬 오류가 전체 칩의 기능 상실로 이어질 수 있습니다. 크레셈(CRESSEM)의 기술적 관점에서 주목해야 할 주요 결함 유형은 다음과 같습니다.

| 결함 유형 (Defect Type)  | 현상 및 상세 설명   | 수율에 미치는 영향   |
|----------------------|--|--|
| Misalignment (정렬 오류) | Bump 또는 TSV의 위치가 설계된 좌표(Design Rule)에서 벗어나는 현상     | Die-to-Die 통신 불량 및 신호 무결성(SI) 저하를 초래하여 전기적 기능 상실 유발    |
| Warping (휨 현상)       | Die 또는 Substrate의 열팽창 계수(CTE) 차이로 인해 물리적으로 휘어지는 현상 | 고단 적층 시 Bump 접합 불량(Open/Short) 및 후속 공정에서의 물리적 파손 위험 증가 |
| Bridge/Short (단락)    | 인접한 Bump 간에 금속 물질이 과도하게 연결되어 전기적 단락이 발생하는 현상       | 전력 무결성(PI) 파괴 및 과전류로 인한 소자 파괴 유발                       |
| Missing Bump (미형성)   | 특정 위치에 솔더 볼(Solder Ball)이나 Bump가 형성되지 않는 현상        | 데이터 전송 경로의 단절로 인한 특정 I/O 기능 마비                         |

특히, CoWoS와 같은 대면적 구조에서는 **Warping(휨)** 관리가 수율 최적화(Yield Optimization)의 핵심입니다. 열처리(Annealing) 공정 중 발생하는 소재 간의 열팽창 차이는 패키지의 평탄도를 저해하며, 이는 곧 미세 Bump의 접합 신뢰성을 떨어뜨리는 직접적인 원인이 됩니다.

## 3. 수율 최적화를 위한 고정밀 검사 솔루션의 필요성

결론적으로, 2.5D 패키징의 수율을 극대화하기 위해서는 단순한 Pass/Fail 판정을 넘어, 결함의 근본 원인을 역추적(Root Cause Analysis)할 수 있는 지능형 검사 시스템이 필수적입니다.

첫째, **고해상도 광학 검사(High-Resolution Optical Inspection)**를 통해 미세한 Misalignment를  $\mu\text{m}$  단위 이하로 정밀 측정해야 합니다. 이는 Die Bonding 공정의 압력 불균형이나 정렬 장비의 오차를 즉각적으로 피드백하여 공정 파라미터를 최적화하는 데 기여합니다.

둘째, **AI 기반 비전 알고리즘(AI-Driven Machine Vision)**의 도입이 절실합니다. 2.5D 패키징은 결함의 종류가 다양하고 복잡하기 때문에, 기존의 Rule-based 검사 방식으로는 정상적인 노이즈와 실제 결함을 구분하는 데 한계가 있습니다. Deep Learning을 활용하여 결함을 자동으로 분류함으로써 과검(Over-kill)률을 낮추고, 검사 데이터의 신뢰도를 높여야 합니다.

셋째, **데이터 기반의 수율 관리**입니다. 검사 과정에서 수집된 Defect Map과 정렬 데이터를 분석하여, 특정 공정 단계(예: Solder Dispensing 또는 Reflow)에서 발생하는 문제점을 사전에 예측하고 차단하는 스마트 팩토리 구현이 차세대 패키징 시장의 승부처가 될 것입니다.

## 결론/시사점

본 보고서에서 분석한 TSMC의 CoWoS(Chip on Wafer on Substrate) 기술과 Intel의 EMIB(Embedded Multi-die Interconnect Bridge) 기술은 2.5D 패키징 시장을 이끄는 양대 축으로서, 각기 다른 구조적 메커니즘을 통해 고성능 컴퓨팅(HPC) 및 AI 가속기 시장의 요구사항을 충족하고 있습니다. 두 기술은 성능 극대화와 제조 경제성이라는 상충하는 가치 사이에서 최적의 균형점을 찾는 방향으로 진화하고 있습니다.

### 1. 애플리케이션별 최적 기술 선정 가이드 (Technology Selection Guide)

사용 사례와 요구되는 데이터 대역폭, 그리고 비용 구조에 따라 다음과 같은 기술 선정이 권장됩니다.

- **CoWoS 기반 설계:** 다수의 HBM(High Bandwidth Memory)과 로직 다이를 초고속으로 연결해야 하는 최상위 AI 가속기 및 데이터센터용 GPU 설계에 적합합니다. 대면적 실리콘 인터포저를 사용하여 신호 무결성(Signal Integrity, SI)과 전력 무결성(Power Integrity, PI)을 극대화할 수 있으나, 인터포저 면적 증가에 따른 높은 제조 원가와 웨이퍼 활용도 저하를 감수해야 합니다.
- **EMIB 기반 설계:** 고성능을 유지하면서도 제조 비용 효율성을 중시하는 중·고성능 컴퓨팅 및 특정 기능 블록 간의 고속 연결이 필요한 시스템에 적합합니다. 필요한 영역에만 실리콘 브릿지를 배치함으로써 인터포저 대비 원가를 절감할 수 있으며, TSV(Through Silicon Via) 공정의 복잡성을 줄여 공정 효율을 높일 수 있습니다.

## 2. 향후 기술 로드맵 및 시장 전망 (Future Roadmap & Market Trend)

반도체 패키징 기술은 단순히 칩을 연결하는 수준을 넘어, 시스템 전체의 성능을 결정짓는 핵심 요소로 자리 잡고 있습니다. 향후 시장은 다음과 같은 흐름으로 전개될 전망입니다.

- **Hybrid Bonding으로의 진화:** HBM4 및 차세대 패키징 공정에서는 기존의 Bump 방식(Micro Bump)을 넘어, 구리를 직접 접합하는 하이브리드 본딩(Hybrid Bonding) 기술이 도입될 것입니다. 이는 인터포저와 다이 사이의 간극을 극단적으로 줄여 데이터 전송 속도를 혁신적으로 높이는 계기가 될 것입니다 [출처: 분석\_크레셈CRESSEM\_20260509\_001.pdf].
- **검사 난이도의 급격한 상승:** 패키징 기술이 2.5D를 넘어 3D 적층 및 하이브리드 본딩으로 고도화됨에 따라, 미세한 정렬 오차(Misalignment)나 휨(Warp) 현상이 전체 수율에 미치는 영향이 더욱 치명적으로 변하고 있습니다 [출처: 분석\_크레셈CRESSEM\_20260509\_001.pdf]. 이에 따라 초미세 간극을 측정할 수 있는 고정밀 광학 검사 및 AI 기반의 결함 분류 솔루션의 중요성이 더욱 커질 것입니다.

결론적으로, 제조사는 제품의 타겟 성능과 경제적 목표에 맞춰 CoWoS와 EMIB 중 최적의 아키텍처를 선택해야 하며, 제조 공정 측면에서는 고도화되는 패키징 구조에 대응할 수 있는 차세대 검사 및 수율 관리 솔루션 확보가 시장 주도권의 핵심이 될 것입니다.