

CoWoS 공정 단계별 검사 프로세스 및 불량 유형 분석 보고서

문서번호 CRSM-AI-2026-AUTO

작성일 2026-06-01

작성 Cressem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

CoWoS 공정 단계별 검사 프로세스 및 불량 유형 분석 보고서	3
개요 (Introduction)	3
CoWoS 공정 아키텍처 및 흐름도	4
CoW (Chip on Wafer) 공정 및 검사 전략	6
TSV 및 인터포저 미세 회로 검사	8
WoS (Wafer on Substrate) 및 후속 공정 검사	9
주요 불량 유형(Defect Types) 및 원인 분석	11
결론 및 수율 향상을 위한 제언	13

CoWoS 공정 단계별 검사 프로세스 및 불량 유형 분석 보고서

본 보고서는 2.5D 패키징의 핵심인 CoWoS 공정의 각 단계별 메커니즘을 분석하고, 수율 극대화를 위한 필수 검사 항목과 주요 불량 유형을 정의합니다. 인터포저, CoW, WoS 공정 전반에 걸친 정밀 검사 전략을 통해 고성능 반도체 제조의 신뢰성 확보 방안을 제시합니다.

개요 (Introduction)

2.5D 패키징의 패러다임 변화와 CoWoS 기술의 부상

반도체 산업의 발전 흐름이 단일 칩의 미세 공정(Scaling) 중심에서 'More than Moore'로의 패러다임 전환을 맞이함에 따라, **이종 집적(Heterogeneous Integration)** 기술이 핵심 경쟁력으로 부상하고 있습니다. 특히 인공지능(AI), 고성능 컴퓨팅(HPC), 데이터 센터 시장의 폭발적인 수요는 연산 장치인 로직 칩(Logic Die)과 고대역폭 메모리인 HBM(High Bandwidth Memory) 간의 데이터 전송 속도를 극대화할 것을 요구하고 있습니다.

이러한 요구사항을 충족시키기 위해 등장한 기술이 바로 **CoWoS(Chip on Wafer on Substrate)**입니다. CoWoS는 TSMC가 주도하는 대표적인 **2.5D 패키징(2.5D Packaging)** 기술로, 로직 칩과 메모리 칩을 실리콘 인터포저(Silicon Interposer)라는 미세 회로 층 위에 수평적으로 배치하여 물리적 거리를 단축하고 데이터 대역폭(Bandwidth)을 획기적으로 높이는 구조를 가집니다. 기존의 2D 패키징이 기판(Substrate)의 회로 선포 한계로 인해 발생하는 데이터 병목 현상(Bottleneck)을 극복하기 위해, 반도체 전공정 수준의 미세 패턴을 가진 인터포저를 매개체로 활용하는 것이 이 기술의 핵심입니다.

수율 관리(Yield Management)의 핵심: 검사 자동화(Inspection Automation)

CoWoS 공정은 단순한 조립 과정을 넘어, 초미세 피치(Fine Pitch)의 범프(Bump) 연결, 실리콘 인터포저의 복잡한 배선, 그리고 칩과 인터포저 간의 정밀한 정렬(Alignment)을 포함하는 고난도 공정의 집합체입니다. 공정 단계가 복잡해지고 적층 구조가 고도화됨에 따라, 단 하나의 미세한 결함(Defect)이 전체 패키지의 기능 상실로 이어지는 'Single Point of Failure' 리스크가 매우 커졌습니다.

따라서 CoWoS 공정에서 **수율 관리(Yield Management)**는 단순한 품질 확인을 넘어, 제품의 경제성과 직결되는 생존 전략입니다. 특히 다음과 같은 이유로 검사 자동화 및 정밀 검사 전략(Inspection Strategy)의 중요성이 강조됩니다.

구분	주요 내용	기술적 요구사항
결함 검출 한계	인터포저 및 범프의 마이크로미터(μm) 단위 미세화	고해상도 광학 검사(AOI) 및 머신 비전
공정 복잡도	CoW → WoS 단계로 이어지는 누적 불량 전이	인라인(In-line) 실시간 모니터링
경제적 손실	후공정 불량 발견 시 고가 칩(HBM/Logic) 폐기 리스크	단계별 검사(Step-by-step Inspection)

1. **미세화에 따른 결함 검출 한계 극복:** 인터포저 내의 배선 선포와 칩 간의 연결점인 범프의 크기가 마이크로미터(μm) 단위로 작아짐에 따라, 육안이나 기존의 저해상도 검사로는 불량을 잡아낼 수 없습니다. 이는 고해상도 광학 검사(AOI)와 머신 비전(Machine Vision) 기술의 필수성을 의미합니다.

2. **공정 복잡도 증가에 따른 누적 불량 방지:** CoW(Chip on Wafer) 단계에서 발생한 미세한 정렬 오차나 이물(Particle)이 WoS(Wafer on Substrate) 단계를 거치며 더 큰 물리적 손상이나 전기적 불량으로 전이될 수 있습니다. 따라서 각 공정 단계별로 즉각적인 피드백을 제공하는 인라인(In-line) 검사가 필수적입니다.
3. **비용 효율적 수율 확보:** 공정 후반부(Back-end)에서 불량이 발견될 경우, 이미 투입된 고가의 로직 칩과 HBM을 모두 폐기해야 하므로 손실 비용이 막대합니다. 전 공정에 걸친 단계별 검사를 통해 불량 발생 시점을 조기에 포착하는 것이 전체 제조 원가를 낮추는 핵심입니다.

보고서의 목적 및 범위

본 보고서는 CoWoS 공정의 각 단계별로 발생할 수 있는 기술적 난제와 불량 유형을 심층적으로 분석하고, 이를 효과적으로 제어하기 위한 검사 프로세스를 정의하는 데 목적이 있습니다.

보고서는 크게 네 가지 핵심 공정 흐름을 중심으로 전개됩니다. 첫째, 인터포저 위에 칩을 실장하는 **CoW(Chip on Wafer)** 공정에서의 정렬 및 결합 검사를 다룹니다. 둘째, 수직 전극인 **TSV(Through Silicon Via)** 및 인터포저 내부의 미세 회로 검사 항목을 정의합니다. 셋째, 인터포저를 패키지 기판에 결합하는 **WoS(Wafer on Substrate)** 단계의 휘어짐(Warping) 및 접합 검사를 분석합니다. 마지막으로, 칩 사이의 공간을 채우는 **Underfill(언더필)** 및 몰딩 공정에서의 기포(Void) 및 미충진 불량 검사를 포함합니다.

결론적으로 본 문서는 각 공정의 특성에 최적화된 검사 항목을 요약 제시함으로써, 고성능 반도체 패키징 제조 현장에서 수율을 극대화할 수 있는 검사 솔루션의 방향성을 제시하고자 합니다. 이는 크레셈(CRESSEM)이 지향하는 고정밀 비전 검사 기술이 실제 양산 라인에서 어떻게 적용되어 고객사의 생산성을 높일 수 있는지에 대한 기술적 근거를 제공할 것입니다.

CoWoS 공정 아키텍처 및 흐름도

CoWoS(Chip on Wafer on Substrate)는 이종 집적(Heterogeneous Integration) 기술의 정수로, 서로 다른 기능과 공정 노드를 가진 반도체 칩들을 하나의 패키지 내에 통합하는 고도의 아키텍처를 가집니다. 이 기술의 핵심은 로직 칩과 HBM 사이의 데이터 전송 경로를 극도로 단축하기 위해 **실리콘 인터포저(Silicon Interposer)**라는 중간 매개체를 활용한다는 점에 있습니다. CoWoS의 전체 공정 흐름은 크게 인터포저를 준비하고 그 위에 칩을 적층하는 **CoW(Chip on Wafer)** 단계와, 완성된 인터포저-칩 적층체를 패키지 기판에 결합하는 **WoS(Wafer on Substrate)** 단계로 이분화됩니다.

2.1 CoWoS의 계층적 아키텍처 구조

CoWoS의 물리적 구조는 하부에서 상부로 갈수록 고밀도 연결이 이루어지는 계층적(Hierarchical) 특성을 보입니다. 이 구조를 이해하는 것은 각 공정 단계에서 수행되어야 할 검사 항목을 정의하는 데 필수적입니다.

1. **패키지 기판(Package Substrate):** 가장 하단에 위치하며, 전체 패키지의 물리적 지지대 역할을 합니다. 인터포저와는 상대적으로 큰 피치(Pitch)의 볼(Ball)을 통해 연결되며, 외부 PCB로의 신호 전달을 담당합니다.
2. **실리콘 인터포저(Silicon Interposer):** CoWoS 아키텍처의 중추입니다. 반도체 전공정(FEOL) 기술을 사용하여 제작된 초미세 배선(RDL, Redistribution Layer)을 포함하고 있습니다. 로직 칩과 HBM의 미세한 범프(Bump)를 수용할 수 있는 초고밀도 피치를 제공하며, 칩 간의 수평적 데이터 통로 역할을 수행합니다.
3. **TSV(Through Silicon Via):** 인터포저의 상부와 하부를 수직으로 관통하는 전극입니다. 인터포저 상단에 배치된 칩들의 신호를 인터포저 하단의 기판으로 전달하는 수직 통로이며, CoWoS의 전기적 연결성을 결정짓는 핵심 요소입니다.
4. **활성 칩(Active Dies - Logic & HBM):** 최상단에 위치하는 핵심 연산 및 메모리 소자입니다. 인터포저의 RDL 및 범프와 직접 접합되어 고속 데이터 통신을 수행합니다.

2.2 단계별 공정 흐름(Process Flow) 분석

CoWoS 공정은 기술적 난이도가 매우 높은 순차적 프로세스로 진행되며, 각 단계의 성패가 후속 공정의 수율에 직결됩니다.

[Step 1: CoW (Chip on Wafer) 단계]

이 단계는 준비된 실리콘 인터포저 웨이퍼 위에 로직 칩과 HBM을 실장(Mounting)하는 과정입니다. 먼저 인터포저 상의 미세한 패드(Pad) 위치를 파악한 후, 칩의 범프를 인터포저의 RDL 패턴과 정밀하게 정렬(Alignment)하여 접합합니다. 이때 사용되는 **플립 칩 범프 접합(Flip-Chip Bump Bonding)** 기술은 마이크로미터(μm) 단위의 정밀도를 요구하며, 칩 사이의 간격(Gap) 제어와 수평 정렬이 공정의 핵심입니다. CoW 단계가 완료되면 'Chip-on-Wafer' 상태의 웨이퍼가 형성됩니다.

[Step 2: WoS (Wafer on Substrate) 단계]

CoW 공정을 거친 인터포저-칩 적층 웨이퍼를 최종 패키지 기판(Substrate)에 결합하는 단계입니다. 인터포저 하단의 TSV 및 범프를 기판의 패드에 정렬시킨 후, **C4 범프(Controlled Collapse Chip Connection)** 또는 솔더 볼(Solder Ball)을 통해 전기적으로 연결합니다. 이 과정에서 대면적 인터포저와 기판 사이의 열팽창 계수(CTE, Coefficient of Thermal Expansion) 차이로 인한 **휘어짐(Warping)** 현상이 발생할 수 있으며, 이는 접합 불량률의 주요 원인이 됩니다.

[Step 3: 후속 공정 및 몰딩(Molding/Encapsulation)]

칩과 인터포저 사이의 빈 공간을 보호하고 물리적 안정성을 확보하기 위해 **언더필(Underfill)** 공정이 수행됩니다. 에폭시 수지 등의 소재를 칩 사이의 좁은 틈새로 침투시켜 기포(Void) 없이 채워 넣어야 합니다. 이후 몰딩 공정을 통해 전체 패키지를 보호하는 수지로 감싸며 최종적인 패키지 형태를 완성합니다.

2.3 공정 흐름 요약 및 검사 시점 비교

구분	CoW (Chip on Wafer)	WoS (Wafer on Substrate)
주요 대상	인터포저 + 로직 칩 + HBM	인터포저 적층물 + 패키지 기판
핵심 기술	Micro-bump Bonding, Fine Alignment	C4 Bump Bonding, Warpage Control
주요 결함	칩 정렬 오차, 범프 미접합, 이물(Particle)	기판 접합 불량, 언더필 Void, 휘어짐
검사 중점	인터포저 상의 미세 패턴 및 칩 배치 정밀도	인터포저-기판 간의 전기적 연결 및 구조적 안정성

이와 같은 복잡한 계층 구조와 단계별 공정 특성으로 인해, CoWoS 제조에서는 각 단계가 종료될 때마다 실시간으로 결함을 검출하는 **인라인 검사(In-line Inspection)** 체계 구축이 필수적입니다. 특히 CoW 단계에서의 미세 정렬 오류를 조기에 발견하지 못할 경우, 고가의 HBM과 로직 칩이 모두 포함된 WoS 단계에서 막대한 손실이 발생하게 됩니다.

CoWoS Process Architecture Flow



CoW (Chip on Wafer) 공정 및 검사 전략

CoW(Chip on Wafer) 공정은 CoWoS(Chip on Wafer on Substrate) 기술의 첫 번째 핵심 단계로, 미세 회로가 형성된 **실리콘 인터포저(Silicon Interposer)** 위에 로직 칩(Logic Die)과 고대역폭 메모리(HBM)를 정밀하게 배치하고 전기적으로 연결하는 공정을 의미합니다. 이 단계는 전체 CoWoS 공정의 수율을 결정짓는 가장 민감한 구간 중 하나로, 인터포저의 미세 피치(Fine Pitch) 특성과 칩 간의 고밀도 집적을 동시에 충족해야 합니다. 특히 칩과 인터포저 사이의 연결점인 **마이크로 범프(Micro Bump)**의 크기가 수십 마이크로미터(μm) 단위로 작아짐에 따라, 아주 미세한 정렬 오차나 이물질도 치명적인 전기적 불량으로 직결됩니다.

3.1 CoW 공정의 주요 단계 및 기술적 메커니즘

CoW 공정은 고도의 정밀도를 요구하는 다단계 프로세스로 구성되며, 각 단계는 후속 공정의 신뢰성을 담보하기 위한 엄격한 제어 하에 수행됩니다.

- 1. 다이 어태치(Die Attachment):** 준비된 실리콘 인터포저 위에 로직 칩과 HBM 다이를 물리적으로 배치하는 과정입니다. 이때 사용되는 접착제(Adhesive) 또는 솔더 범프(Solder Bump)의 도포 균일성이 매우 중요합니다. 접착제가 불균일하게 도포될 경우, 칩의 수평도가 깨지면서 **워피지(Warpage, 휘어짐)** 현상이 발생하고, 이는 범프 접합 불량률의 근본 원인이 됩니다.
- 2. 마이크로 범프 형성 및 정렬(Micro Bump Formation & Alignment):** 칩과 인터포저 간의 전기적 통로를 형성하는 마이크로 범프는 매우 높은 밀도로 배치됩니다. 칩의 입출력(I/O) 패드와 인터포저의 패드가 정확히 일치하도록 하는 **정렬(Alignment)** 기술이 핵심이며, 이를 위해 고해상도 비전 시스템을 이용한 실시간 위치 보정이 이루어집니다.
- 3. 리플로우(Reflow) 및 접합:** 배치된 칩과 인터포저의 범프를 열을 가해 녹여 물리적·전기적으로 결합하는 과정입니다. 이 과정에서 온도 프로파일(Temperature Profile)이 적절히 제어되지 않으면, 범프의 산화(Oxidation)나 **브릿지(Bridge, 쇼트)** 현상이 발생할 수 있습니다.

3.2 핵심 검사 전략: 정밀 정렬 및 연결성 확보

CoW 공정의 검사 전략은 '사전 예방'과 '실시간 검출'이라는 두 가지 축을 중심으로 설계되어야 합니다. 칩이 인터포저에 안착되기 전후의 모든 물리적 상태를 데이터화하여 관리하는 것이 핵심입니다.

3.2.1 고정밀 정렬 검사 (High-Precision Alignment Inspection)

CoW 단계에서 가장 빈번하게 발생하는 불량은 **미스얼라인먼트(Misalignment)**입니다. 인터포저의 미세 회로 선폭과 칩의 범프 피치가 매우 좁기 때문에, 수 마이크로미터(μm) 수준의 오차만으로도 신호 전달이 불가능해집니다.

- **검사 방식:** 고해상도 CCD/CMOS 카메라와 고배율 렌즈를 결합한 **광학 검사(AOI, Automated Optical Inspection)** 시스템을 활용합니다. 칩의 특정 마크(Fiducial Mark)를 인식하여 인터포저 상의 마크와 비교 분석하며, AI 기반의 패턴 매칭 알고리즘을 통해 실시간으로 좌표를 보정합니다.
- **검사 항목:** 칩의 중심 좌표(X, Y), 회전 각도(Theta), 그리고 범프와 패드 간의 상대적 위치 오차를 측정합니다.

3.2.2 마이크로 범프 및 접합부 검사 (Micro Bump & Joint Inspection)

범프의 상태는 전기적 연결성(Connectivity)을 결정짓는 결정적인 요소입니다. 범프의 형상과 높이, 그리고 접합부의 건전성을 검사해야 합니다.

- **형상 검사:** 범프의 직경, 높이, 볼륨(Volume)을 측정하여 규격 내에 들어오는지 확인합니다. 범프가 너무 작으면 접촉 불량(Open)이 발생하고, 너무 크면 인접 범프와 붙는 쇼트(Short)가 발생합니다.
- **3D 프로파일링:** 2D 이미지로는 파악하기 어려운 칩의 수평도와 범프의 높이 편차를 측정하기 위해 **3D 측정 기술(예: Moire Interferometry 또는 Laser Profilometry)**이 적용됩니다. 이는 칩이 인터포저에 균일하게 밀착되었는지를 판단하는 핵심 지표가 됩니다.

3.3 CoW 공정 주요 불량 유형 및 검사 대응 체계

CoW 공정에서 발생하는 주요 불량 유형을 정리하면 다음과 같습니다. 각 불량은 발생 메커니즘이 상이하므로, 이에 최적화된 검사 솔루션이 필요합니다.

불량 유형 (Defect Type)	발생 메커니즘 (Mechanism)	검사 방법 (Inspection Method)	영향 (Impact)
Misalignment (정렬 불량)	칩 배치 시 기계적 오차 또는 마크 인식 오류	고해상도 AOI, Fiducial Mark 매칭	전기적 신호 단절 (Open)
Solder Bridge (범프 쇼트)	리플로우 시 과도한 열 또는 범프 과다 도포	2D/3D 비전 검사, X-ray 검사	인접 회로 간 단락 (Short)
Void (기포/공극)	접착제 또는 솔더 내 가스 배출 미흡	초음파 검사(SAM), X-ray 검사	접합 강도 저하 및 신뢰성 문제
Coplanarity Issue (평탄도 불량)	칩/인터포저의 Warpage 또는 압력 불균형	3D 프로파일링, 레이저 변위 센서	특정 범프의 접촉 불량
Particle Contamination (이물)	공정 환경 내 미세 먼지 유입	고배율 광학 검사 (Dark-field/Bright-field)	범프 접합 방해 및 쇼트 유발

3.4 기술적 제언: AI 비전 기반의 지능형 검사 도입

CoW 공정의 난이도가 지속적으로 높아짐에 따라, 기존의 Rule-based(규칙 기반) 검사 방식은 한계에 직면하고 있습니다. 미세 패턴의 복잡도가 증가하면 오검출(False Call)이 늘어나 수율 저하의 원인이 되기 때문입니다.

따라서 **AI 기반 머신 비전(AI-based Machine Vision)** 기술의 도입이 필수적입니다. 딥러닝 알고리즘을 활용하여 양품과 불량품의 미세한 특징(Feature)을 학습함으로써, 환경 변화(조명, 칩 색상 차이 등)에 관계없이 높은 검출력을 유지해야 합니다. 특히, CoW 단계에서 검출된 불량 데이터를 실시간으로 상위 공정 제어 시스템(MES)에 피드백하여, 다이 어태치 장비의 파라미터를 즉각 수정하는 **인라인 피드백 루프(In-line Feedback Loop)**를 구축하는 것이 고수율 CoWoS 양산의 핵심 전략입니다.

TSV 및 인터포저 미세 회로 검사

CoWoS(Chip on Wafer on Substrate) 기술의 성능을 결정짓는 가장 근본적인 요소는 로직 칩과 HBM 사이의 초고속 데이터 통로를 형성하는 **실리콘 인터포저(Silicon Interposer)**의 신뢰성입니다. 인터포저는 미세한 회로 패턴이 형성된 실리콘 웨이퍼를 기반으로 하며, 칩과 칩 사이를 수직 및 수평으로 연결하는 핵심 매개체 역할을 수행합니다. 이 과정에서 핵심 기술인 **TSV(Through Silicon Via, 실리콘 관통 전극)**와 인터포저 내부의 **미세 배선(Fine Pitch Interposer Wiring)**에 대한 정밀 검사는 전체 패키지의 전기적 특성과 수율을 보장하기 위한 필수 전제 조건입니다.

4.1 TSV(Through Silicon Via)의 구조적 역할 및 결함 메커니즘

TSV는 실리콘 웨이퍼를 수직으로 관통하여 상부의 회로 층과 하부의 회로 층을 전기적으로 연결하는 통로입니다. CoWoS 공정에서 TSV는 칩과 인터포저, 또는 인터포저와 기판 간의 신호 전달을 위한 '고속도로'와 같으며, 이 통로에 결함이 발생할 경우 데이터 전송 오류(Data Corruption)나 심각한 신호 지연(Signal Integrity Issue)을 초래합니다.

TSV 공정은 크게 Via Hole 식각(Etching), 절연막 증착(Insulation Deposition), 구리(Cu) 충전(Filling), 그리고 CMP(Chemical Mechanical Polishing) 공정으로 구성됩니다. 각 단계에서 발생할 수 있는 주요 결함과 그에 따른 검사 필요성은 다음과 같습니다.

- Void(공극) 형성:** TSV 내부의 구리 충전 과정에서 전해 도금(Electroplating) 시 미세한 기포나 불완전한 충전으로 인해 내부에 빈 공간이 생기는 현상입니다. 이는 전기 저항(Resistance)을 급격히 증가시키며, 열팽창 계수(CTE) 차이에 의한 물리적 응력을 유발하여 장기적인 신뢰성을 저하시킵니다.
- Scallop(스칼롭) 결함:** DRIE(Deep Reactive Ion Etching) 공정 중 식각 벽면이 매끄럽지 못하고 물결 모양으로 파이는 현상입니다. 이는 절연막의 균일한 증착을 방해하고, 이후 구리 충전 시 불균일한 충전을 유발하는 근본 원인이 됩니다.
- Cu Pumping 및 Protrusion:** 열처리 과정에서 구리의 열팽창으로 인해 TSV 상단이 돌출되거나 주변 실리콘을 밀어내는 현상입니다. 이는 후속 공정인 CMP 단계에서 평탄도를 저해하거나, 상부 칩과의 범프(Bump) 접합 시 정렬 불량을 야기합니다.
- Leakage(누설 전류):** TSV 주위의 절연막(Dielectric Liner)이 손상되거나 두께가 불균일할 경우, 실리콘 기판으로 전류가 새어나가는 현상이 발생합니다. 이는 전력 소모를 증가시키고 소자의 동작을 불안정하게 만듭니다.

4.2 인터포저 미세 회로(Interposer Wiring)의 검사 난제

인터포저 내부에는 칩의 범프와 TSV를 연결하기 위한 초미세 금속 배선이 형성됩니다. CoWoS의 고밀도 집적도를 실현하기 위해 인터포저의 배선 선폭(Line Width)과 간격(Space)은 마이크로미터(μm) 미만 단위로 제어됩니다. 이 영역의 검사는 일반적인 PCB 검사와는 차원이 다른 정밀도를 요구합니다.

검사 항목	주요 결함 유형	발생 원인 및 영향	검사 기술 요구사항
배선 패턴(Patterning)	Open / Short	식각 불량 또는 잔류물에 의한 회로 단절 및 단락	초고해상도 광학 이미지 분석 및 패턴 정밀도 측정
배선 두께(Thickness)	Under-thickness / Over-thickness	CMP 공정 제어 실패로 인한 저항 변화 및 단선 위험	3D 형상 측정 및 단차(Step Height) 분석 능력
표면 오염(Contamination)	Particle / Residue	공정 중 유입된 이물질로 인한 전기적 불량 및 접합 방해	미세 입자 검출을 위한 고감도 머신 비전

층간 절연(Inter-layer Dielectric)	Delamination / Cracks	열 응력에 의한 층간 박리 및 미세 균열 발생	비파괴 방식의 결함 탐지 및 계측 기술
-------------------------------	-----------------------	---------------------------	-----------------------

인터포저 배선 검사에서 가장 까다로운 부분은 **미세 피치(Fine Pitch) 내의 단락(Short) 검출**입니다. 배선 간 간격이 극도로 좁기 때문에, 미세한 금속 잔류물(Metal Residue)이나 식각 부산물(Etch Residue)만으로도 전기적 단락이 발생할 수 있습니다. 이를 위해 고해상도 카메라와 정밀한 조명 제어 기술이 결합된 **AOI(Automated Optical Inspection)** 시스템이 필수적입니다.

4.3 차세대 검사 전략: 전기적·물리적 통합 검사(Hybrid Inspection)

TSV와 미세 회로의 결함은 육안이나 일반적인 2D 이미지 분석만으로는 완벽히 파악하기 어렵습니다. 결함이 표면에 드러나지 않는 내부(Sub-surface)에 존재할 가능성이 높기 때문입니다. 따라서 최근의 검사 트렌드는 물리적 형상 검사와 전기적 특성 검사를 통합하는 방향으로 진화하고 있습니다.

1) 고해상도 3D AOI (Automated Optical Inspection):

단순히 평면적인 패턴을 보는 것을 넘어, 백색광 간섭계(White Light Interferometry)나 레이저 스캐닝 기술을 활용하여 배선의 높이, 단차, 그리고 TSV 상단의 평탄도를 3차원으로 측정합니다. 이는 Cu Pumping 현상이나 CMP 공정의 불균일성을 정량적으로 파악하는 데 결정적인 역할을 합니다.

2) 비파괴 전기적 검사(Non-destructive Electrical Testing):

웨이퍼 레벨에서 TSV의 전기적 연결성을 확인하기 위해 **Probe Card**를 이용한 전기적 테스트를 수행합니다. 하지만 미세 피치 대응을 위해 프로브 팁(Probe Tip)의 손상을 최소화하면서도 높은 신뢰성을 확보하는 기술이 핵심입니다. 최근에는 고주파 신호를 활용하여 TSV 내부의 임피던스(Impedance) 변화를 감지함으로써, 미세한 Void나 저항 증가를 사전에 예측하는 기술이 연구되고 있습니다.

3) AI 기반 머신 비전 알고리즘 적용:

인터포저의 복잡한 패턴 속에서 미세 결함을 실시간으로 분류하기 위해 딥러닝(Deep Learning) 기반의 검사 알고리즘이 도입되고 있습니다. 기존의 Rule-based 방식은 미세한 패턴 변화를 불량으로 오인하는 Overkill(과검) 문제가 빈번했으나, AI 기반 알고리즘은 정상 패턴의 변동성을 학습하여 **정밀한 결함 분류(Defect Classification)**와 **가불량(False Alarm) 감소**를 가능하게 합니다.

결론적으로, TSV 및 인터포저 미세 회로 검사는 CoWoS 공정의 '보이지 않는 위험'을 가시화하는 과정입니다. 공정 단계별로 발생하는 물리적 결함(Void, Scallop, Step height)과 전기적 결함(Resistance, Leakage)을 통합적으로 관리할 수 있는 고정밀 검사 솔루션의 확보가 곧 차세대 패키징 시장에서의 수율 주도권을 결정짓는 핵심 요소가 될 것입니다.

WoS (Wafer on Substrate) 및 후속 공정 검사

CoW(Chip on Wafer) 공정을 통해 인터포저 상에 로직 칩과 HBM이 성공적으로 실장되었다 하더라도, CoWoS 공정의 완성에는 인터포저를 최종 패키지 기판(Package Substrate)에 결합하는 **WoS(Wafer on Substrate)** 단계와 그 이후의 보호 공정을 거쳐야만 달성됩니다. WoS 단계는 거대한 인터포저 웨이퍼를 상대적으로 유연한 유기 기판(Organic Substrate) 위에 안착시키는 과정으로, 이 과정에서 발생하는 물리적 변형과 미세 공간의 충전 문제는 제품의 전기적 신뢰성과 직접적으로 연결됩니다. 본 섹션에서는 WoS 공정의 핵심 난제인 휘어짐(Warpage) 제어와 언더필(Underfill) 공정에서의 결함 검사 전략을 심층적으로 분석합니다.

5.1 WoS 공정의 핵심 과제: 휘어짐(Warpage) 제어 및 기판 접합 검사

WoS 공정은 실리콘 기반의 매우 단단하고 평탄한 인터포저를, 열팽창 계수(CTE, Coefficient of Thermal Expansion)가 상대적으로 높고 유연한 FC-BGA(Flip Chip Ball Grid Array)와 같은 유기 기판에 접합하는 과정입니다. 이 단계에서 발생하는 가장 치명적인 기술적 난제는 **휘어짐(Warping)** 현상입니다.

휘어짐(Warping) 발생 메커니즘과 영향:

실리콘(Si)과 유기 기판(Organic Substrate)은 열팽창 계수 차이가 매우 큼니다. 실리콘의 CTE는 약 2.6 ppm/°C 수준인 반면, 유기 기판은 재료에 따라 12~17 ppm/°C 이상에 달합니다. 따라서 공정 중 발생하는 온도 변화(Thermal Cycling)에 따라 두 이종 재료 간의 열팽창 차이가 발생하며, 이는 인터포저와 기판이 휘어지는 응력(Stress)을 유발합니다. 휘어짐이 심화될 경우 다음과 같은 심각한 불량이 발생합니다.

- **범프 탈락 및 미접합(Non-wetting/Open):** 휘어짐으로 인해 인터포저의 솔더 범프(Solder Bump)와 기판의 패드(Pad) 사이의 수직 정렬이 어긋나면서 접합이 제대로 이루어지지 않는 현상입니다.
- **솔더 브릿지(Solder Bridge):** 특정 부위의 과도한 압력이나 변형으로 인해 인접한 범프끼리 서로 붙어 전기적 단락(Short)을 유발합니다.
- **Crack 발생:** 응력이 집중되는 인터포저 모서리나 범프 주변부에서 미세한 균열이 발생하여 장기적 신뢰성을 저하시킵니다.

검사 전략: 고정밀 변위 측정 및 비접촉식 검사

이를 제어하기 위해 WoS 공정에서는 접합 전후의 평탄도를 실시간으로 모니터링해야 합니다.

1. **3D 레이저 프로파일로메트리(3D Laser Profilometry):** 비접촉 방식으로 웨이퍼의 표면 형상을 마이크로미터(μm) 단위의 정밀도로 스캔하여, 웨이퍼의 곡률(Curvature)과 특정 지점의 높이 변화를 측정합니다.
2. **DIC(Digital Image Correlation) 기술:** 고해상도 카메라와 머신 비전 알고리즘을 결합하여, 열적 스트레스 하에서 재료 표면의 변형률(Strain) 분포를 시각화하고 예측 모델을 구축합니다.

5.2 후속 공정: 언더필(Underfill) 및 몰딩(Molding) 검사

인터포저와 기판의 접합이 완료된 후, 칩과 인터포저 사이, 혹은 인터포저와 기판 사이의 미세한 틈새를 에폭시 수지(Epoxy Resin)로 채워 넣는 **언더필(Underfill)** 공정이 진행됩니다. 이는 외부 충격으로부터 범프를 보호하고, 열팽창에 의한 응력을 분산시키는 핵심적인 역할을 합니다.

언더필 결함의 주요 유형:

언더필 공정은 매우 좁은 간격(Gap) 사이로 액체 상태의 수지를 침투시켜야 하므로, 유동성 제어가 매우 까다롭습니다. 여기서 발생하는 주요 불량은 다음과 같습니다.

- **보이드(Void):** 언더필 수지가 미세 피치 사이를 채우는 과정에서 공기 방울이 갇히는 현상입니다. 보이드가 존재하면 해당 부위의 열 방출(Heat Dissipation)이 저해되어 국부적인 핫스팟(Hotspot)이 발생하거나, 물리적 충격 시 범프가 손상될 수 있습니다.
- **미충진(Non-fill):** 수지의 유동성 부족이나 설계된 유로(Flow Path)의 차단으로 인해 특정 영역이 채워지지 않는 현상입니다. 이는 구조적 취약점을 야기합니다.
- **Overflow/Squeeze-out:** 과도한 수지 주입으로 인해 범프 외부로 수지가 흘러나와 인접한 회로를 오염시키거나 쇼트를 유발하는 현상입니다.

검사 전략: 고해상도 X-ray 및 초음파 검사

언더필은 불투명한 에폭시 수지로 덮여 있어 일반적인 광학 검사(AOI)로는 내부 결함을 확인할 수 없습니다. 따라서 다음과 같은 특수 검사 기술이 요구됩니다.

검사 기술	적용 대상 및 원리	장점	한계점
3D AXI (Automated X-ray Inspection)	범프의 정렬, 솔더 브릿지, 내부 보이드 검출	비파괴 방식으로 내부 구조를 투과하여 입체적으로 확인 가능	고밀도 적층 구조에서 상하부 칩 간의 간섭(Artifact) 발생 가능
SAM (Scanning Acoustic Microscopy)	언더필 내부의 미세 보이드 및 층간 박리(Delamination) 검출	초음파의 반사 특성을 이용하여 미세한 공극(Gap) 탐지 능력이 탁월함	검사 속도가 상대적으로 느리며, 시료 준비 및 환경 제어가 필요함
낙하/충격 테스트 후 비전 검사	공정 후 신뢰성 검증을 위한 외관 및 구조 검사	실제 사용 환경에서의 내구성 확인 가능	파괴적 검사 성격이 강함

5.3 요약: WoS 및 후속 공정의 통합 검사 체계

WoS 및 후속 공정은 CoWoS 전체 수율의 '최종 관문'입니다. 앞선 공정에서 아무리 완벽한 칩과 인터포저를 준비했다하더라도, WoS 단계의 휘어짐 제어에 실패하거나 언더필 보이드가 발생하면 고가의 제품은 전량 폐기될 수밖에 없습니다.

따라서 성공적인 양산을 위해서는 **인라인(In-line) 통합 검사 시스템** 구축이 필수적입니다. 단순히 불량을 찾아내는 것을 넘어, 3D 프로파일러를 통해 수집된 휘어짐 데이터를 피드백하여 접합 압력(Bonding Pressure)과 온도를 실시간으로 보정하는 **Closed-loop 제어 시스템**이 도입되어야 합니다. 또한, AXI와 SAM 데이터를 머신 비전 알고리즘과 결합하여 보이드의 크기와 위치를 정량화하고, 이를 통해 언더필 공정의 유동 파라미터를 최적화하는 데이터 기반의 품질 관리가 요구됩니다.

결론적으로, WoS 공정의 검사는 '**물리적 변형(Warpage)의 예측**'과 '**내부 결함(Void)의 정밀 탐지**'라는 두 가지 축을 중심으로 고도화되어야 하며, 이는 크레셈(CRESSEM)이 제공하는 고정밀 광학 및 X-ray 검사 솔루션이 지향해야 할 핵심 기술 영역입니다.

주요 불량 유형(Defect Types) 및 원인 분석

CoWoS(Chip on Wafer on Substrate) 공정은 이종 집적(Heterogeneous Integration) 기술의 정점으로, 서로 다른 물리적 특성을 가진 칩(Logic, HBM)과 인터포저(Interposer), 그리고 패키지 기판(Substrate)을 결합하는 초정밀 공정입니다. 공정 단계가 복잡해지고 연결 밀도(Interconnect Density)가 극도로 높아짐에 따라, 불량률의 메커니즘 또한 단순한 물리적 파손을 넘어 전기적, 열적, 구조적 요인이 복합적으로 작용하는 양상을 보입니다. 본 섹션에서는 CoW 및 WoS 공정을 포함한 전체 프로세스에서 발생하는 핵심 불량 유형을 결함 메커니즘과 발생 원인에 따라 심층 분석합니다.

6.1 연결부 결함: 범프 및 인터커넥트 불량 (Bump & Interconnect Defects)

CoWoS의 핵심은 칩과 인터포저, 그리고 인터포저와 기판 사이의 미세한 전기적 통로를 확보하는 것입니다. 이 연결점(Interconnect)에서 발생하는 불량은 제품의 전기적 기능 상실(Functional Failure)을 야기하는 가장 직접적인 원인입니다.

1) 미스얼라인먼트 (Misalignment)

- **메커니즘:** 칩을 인터포저 상의 패드(Pad)에 배치하거나, 인터포저를 기판에 안착시킬 때 발생하는 위치 오차를 의미합니다. 특히 CoW 단계에서 HBM과 로직 칩의 범프(Bump) 위치가 인터포저의 미세 피치(Fine Pitch) 패턴과 정확히 일치하지 않을 때 발생합니다.
- **원인 분석:**

- **Pick-and-Place 장비의 정밀도 한계:** 초미세 피치 대응을 위한 장비의 반복 정밀도(Repeatability) 저하.
- **열팽창 계수(CTE) 불일치:** 공정 중 온도 변화에 따라 칩, 인터포저, 기판 간의 열팽창 정도가 달라지며 발생하는 구조적 변위.
- **비전 정렬 시스템의 오차:** 광학 검사 시 조명 조건이나 해상도 문제로 인한 정렬 마크(Alignment Mark) 인식 오류.

2) 쇼트 및 오픈 (Short & Open Circuits)

- **메커니즘:**
 - **Short (단락):** 인접한 범프 간에 금속 물질이 연결되어 의도치 않은 전기적 경로가 생성되는 현상입니다.
 - **Open (단선):** 범프와 패드 사이의 전기적 연결이 물리적으로 끊어져 전류가 흐르지 못하는 현상입니다.
- **원인 분석:**
 - **Short:** 범프 형성 공정(Solder Printing) 시 과도한 솔더 도포, 또는 언더필(Underfill) 공정 중 유입된 금속 이물(Particle)에 의한 브릿지(Bridge) 형성.
 - **Open:** 범프 접합(Reflow) 시 불충분한 열량 공급으로 인한 미접합(Non-wetting), 또는 TSV(Through Silicon Via) 내부의 미세 균열(Crack) 및 Void에 의한 연결성 상실.

6.2 구조적 결함: 보이드 및 언더필 불량 (Void & Underfill Defects)

칩과 인터포저 사이의 미세한 갭(Gap)을 채워주는 언더필 공정은 구조적 안정성과 열 방출을 위해 필수적입니다. 이 과정에서 발생하는 결함은 장기적인 신뢰성(Reliability)에 치명적인 영향을 미칩니다.

1) 보이드 (Void)

- **메커니즘:** 언더필 액체가 칩과 인터포저 사이의 미세 공간을 완전히 채우지 못하고 내부에 기포(Air Bubble)나 빈 공간을 남기는 현상입니다.
- **원인 분석:**
 - **유동성(Flowability) 부족:** 언더필 수지의 점도(Viscosity)가 너무 높거나 경화 속도가 빨라 미세 피치 사이로 침투하지 못하는 경우.
 - **가스 배출(Outgassing) 실패:** 공정 중 내부 잔류 가스가 외부로 배출되지 못하고 갇히는 현상.
 - **표면 에너지 불균형:** 칩 또는 인터포저 표면의 세정 상태 불량으로 인한 젖음성(Wetting) 저하.
 - **영향:** 보이드가 발생한 지점은 열 저항(Thermal Resistance)이 급증하여 국부적인 핫스팟(Hot-spot)을 형성하고, 이는 열팽창에 의한 범프 피로 파괴(Thermal Fatigue)로 이어집니다.

2) 언더필 미충진 및 과충진 (Underfill Incomplete/Overflow)

- **메커니즘:** 설계된 영역을 벗어나 범프 상단으로 넘치거나(Overflow), 반대로 칩 가장자리까지 도달하지 못하는(Incomplete Filling) 현상입니다.
- **원인 분석:**
 - **Dispensing 제어 실패:** 액체 주입량의 정밀도 제어 실패.
 - **Capillary Action(모세관 현상) 제어 미흡:** 갭(Gap)의 높이와 표면 장력 간의 균형 실패.

6.3 기하학적 결함: 워피지 (Warpage)

CoWoS 공정은 서로 다른 재질(Si, Organic Substrate, Epoxy 등)이 적층되는 구조이므로, 열적/기계적 스트레스에 의한 휘어짐 현상이 필연적으로 발생합니다.

1) 워피지 (Warpage)

- **메커니즘:** 적층된 구조물이 평면을 유지하지 못하고 위나 아래로 휘어지는 현상입니다. 이는 특히 WoS(Wafer on Substrate) 단계에서 인터포저와 대면적 기판이 결합될 때 두드러집니다.
- **원인 분석:**
 - **CTE Mismatch:** 실리콘(CTE $\approx 2.6 \text{ ppm}/^\circ\text{C}$)과 유기 기판(CTE $\approx 12\sim 17 \text{ ppm}/^\circ\text{C}$) 간의 큰 열팽창 계수 차이로 인해 냉각 과정에서 내부 응력(Residual Stress)이 축적됨.
 - **Material Modulus 차이:** 각 층을 구성하는 재료의 강성(Stiffness) 차이에 의한 굽힘 모멘트 발생.
 - **영향:** 워피지는 범프의 압착 불량을 유도하여 Open/Short를 유발할 뿐만 아니라, 후속 공정인 몰딩(Molding)이나 다이싱(Dicing) 단계에서 칩의 균열(Crack)을 일으키는 근본 원인이 됩니다.

6.4 주요 불량 유형 요약 및 비교 분석

각 불량 유형은 발생 시점과 검사 난이도, 그리고 제품에 미치는 영향도 측면에서 차별화됩니다.

불량 유형	주요 발생 단계	주요 발생 원인	물리적 영향	검사 난이도
Misalignment	CoW (Chip Placement)	장비 정밀도, 열 변위	전기적 연결 불량 (Open/Short)	중 (Vision 기반)
Short (Bridge)	Reflow / Underfill	솔더 과다, 이물 유입	전기적 단락 (Function Failure)	고 (AOI/X-ray)
Open (Non-wet)	TSV / Bump Bonding	접합 온도 미달, TSV 결함	전기적 단절 (Function Failure)	고 (Electrical/X-ray)
Void	Underfill	점도 제어 실패, 가스 잔류	열 저항 증가, 신뢰성 저하	매우 고 (X-ray/SAT)
Warpage	WoS / Post-Molding	CTE 불일치, 내부 응력	구조적 변형, 칩 균열(Crack)	중 (Laser/Vision)

6.5 결론: 불량 제어를 위한 통합적 접근

CoWoS 공정의 불량은 단일 원인에 의해 발생하기보다, **[재료 특성(Material) \rightarrow 공정 변수(Process) \rightarrow 기계적 정밀도(Equipment)]**가 복합적으로 상호작용한 결과입니다. 예를 들어, 워피지(Warpage)는 단순히 기판의 문제가 아니라, 언더필(Underfill)의 경화 특성과 범프(Bump)의 접합 상태를 동시에 변화시켜 최종적으로는 쇼트(Short)나 오픈(Open)이라는 전기적 불량으로 전이됩니다.

따라서 고수율을 달성하기 위해서는 각 단계별로 독립적인 검사를 수행하는 것을 넘어, 전 공정의 데이터를 통합하여 불량의 상관관계를 분석하는 **지능형 검사 체계(Intelligent Inspection System)**가 필수적입니다. 특히, 육안으로 확인이 불가능한 내부 보이드(Void)나 TSV 결함을 검출하기 위한 고해상도 X-ray 및 초음파(SAT) 검사 기술, 그리고 미세 패턴의 정렬을 실시간으로 보정하는 고속 머신 비전(Machine Vision) 알고리즘의 도입이 크레셈(CRESSEM)과 같은 선도적 검사 솔루션 기업의 핵심 역량이 될 것입니다.

결론 및 수율 향상을 위한 제언

7.1 CoWoS 공정의 기술적 요약 및 검사 패러다임의 전환

본 보고서에서는 CoWoS(Chip on Wafer on Substrate) 공정의 핵심 단계인 CoW(Chip on Wafer)와 WoS(Wafer on Substrate), 그리고 이를 관통하는 TSV(Through Silicon Via) 및 인터포저(Interposer) 미세

회로의 검사 프로세스를 심층적으로 분석하였습니다. 분석 결과, CoWoS 공정은 기존의 전통적인 패키징 공정과 비교했을 때 결함의 발생 메커니즘이 훨씬 복잡하며, 단일 결함이 전체 시스템의 치명적인 오류로 직결되는 고위험 구조를 가지고 있음을 확인하였습니다.

특히, 로직 칩과 HBM(High Bandwidth Memory) 사이의 초미세 피치(Fine Pitch) 연결성과 실리콘 인터포저 내의 고밀도 배선은 기존의 검사 방식으로는 검출 한계(Detection Limit)에 봉착해 있습니다. 따라서 CoWoS 공정의 성공적인 양산을 위해서는 다음과 같은 세 가지 핵심적인 검사 패러다임의 전환이 필수적입니다.

구분	기존 패키징 검사 (Conventional)	CoWoS 차세대 검사 (Advanced)
주요 타겟	범프(Bump) 및 와이어 본딩(Wire Bonding)	TSV, Micro-bump, Interposer 배선
정밀도 요구사항	마이크로미터(μm) 단위	나노미터(nm) ~ 서브 마이크로미터(Sub- μm) 단위
검사 시점	후공정(Back-end) 중심의 샘플링 검사	전 공정(Front-to-Back) 단계별 인라인(In-line) 검사
기술적 핵심	육안 및 저해상도 광학 검사	고해상도 AOI, AI 기반 머신 비전, 3D 측정

7.2 수율 최적화(Yield Optimization)를 위한 핵심 전략

CoWoS 공정에서 수율을 극대화하고 제조 원가를 절감하기 위해서는 '사후 검사'가 아닌 '예방적 검사' 체계로의 전환이 이루어져야 합니다. 이를 위한 구체적인 수율 최적화 전략은 다음과 같습니다.

1. 인라인 검사(In-line Inspection)의 전면 도입을 통한 결함 전이 차단

CoW 단계에서 발생한 미세한 정렬 오차(Misalignment)나 이물(Particle)은 WoS 단계의 접합 공정과 언더필(Underfill) 공정을 거치며 물리적 압력과 열적 스트레스를 받아 더 큰 불량으로 확산됩니다. 따라서 각 공정 단계 직후에 즉각적인 검사를 수행하여 불량 발생 시점을 조기에 포착하고, 결함이 다음 공정으로 전이되는 것을 원천 차단하는 인라인 검사 시스템 구축이 최우선 과제입니다.

2. AI 기반 머신 비전(AI-driven Machine Vision)을 통한 검출력 향상

공정 미세화로 인해 발생하는 '미세 결함'과 '정상 패턴' 사이의 모호성을 극복하기 위해, 딥러닝(Deep Learning) 기반의 AI 비전 알고리즘 적용이 필수적입니다. AI 알고리즘은 단순한 규칙 기반(Rule-based) 검사에서 벗어나, 복잡한 패턴 내의 미세한 변형이나 불규칙한 Void(기포)를 높은 정확도로 식별할 수 있습니다. 이는 검사 과정에서의 과검(Overkill, 정상 제품을 불량으로 판정)을 줄이고 미검(Underkill, 불량 제품을 정상으로 판정)을 최소화하여 실질적인 수율(Net Yield)을 높이는 핵심 동력이 됩니다.

3. 데이터 피드백 루프(Data Feedback Loop)를 통한 공정 제어

검사 장비로부터 수집된 고정밀 검사 데이터는 단순히 불량 판정에 그쳐서는 안 됩니다. 검사 결과 데이터(Inspection Data)를 전공정(Front-end)의 설비 파라미터와 연동하여, 특정 불량 패턴이 반복될 경우 설비의 정렬 상태나 압력, 온도를 실시간으로 보정하는 '지능형 제조 시스템(Intelligent Manufacturing System)'으로 진화해야 합니다.

7.3 미래 로드맵(Future Roadmap): 검사 자동화와 제조 경쟁력 강화

향후 반도체 패키징 시장은 3D 적층(3D Stacking)과 더욱 고도화된 이종 집적 기술로 나아갈 것입니다. 이에 따라 검사 기술의 로드맵 또한 다음과 같은 방향으로 전개되어야 합니다.

- **초고속·고해상도 동시 구현:** 검사 속도(Throughput)를 높이면서도 나노 단위의 해상도를 유지할 수 있는 고성능 광학계 및 고속 스캐닝 기술의 개발이 지속되어야 합니다.
- **비파괴 검사(Non-destructive Testing) 기술의 고도화:** 적층 구조 내부의 결함을 확인하기 위해 X-ray 또는 초음파 기반의 비파괴 검사와 광학 검사를 결합한 멀티모달(Multi-modal) 검사 솔루션이 요구될 것입니다.
- **디지털 트윈(Digital Twin) 기반 가상 검사:** 실제 물리적 검사 이전에 가상 환경에서 공정 시뮬레이션을 수행하고, 검사 데이터를 바탕으로 공정의 이상 징후를 예측하는 예지 보전(Predictive Maintenance) 기술이 통합될 것입니다.

결론적으로, CoWoS 공정의 경쟁력은 누가 더 정밀하게 불량을 찾아내느냐를 넘어, "**얼마나 빠르게, 정확하게 불량의 원인을 파악하고 공정을 제어하느냐**"에 달려 있습니다. 크레셈(CRESSEM)은 고정밀 비전 알고리즘과 차세대 광학 검사 솔루션을 통해 고객사가 직면한 수율 한계를 극복하고, AI 반도체 양산의 핵심 파트너로서 제조 경쟁력을 강화하는 데 기여할 것입니다.