

## HBM3E 12-Hi 패키지 적층 구조 및 열관리(Thermal Management) 기술 분석 보고서

문서번호 CRSM-AI-2026-AUTO

작성일 2026-06-13

작성 Cressem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

## 목 차

---

|                                                           |   |
|-----------------------------------------------------------|---|
| HBM3E 12-Hi 패키지 적층 구조 및 열관리(Thermal Management) 기술 분석 보고서 | 3 |
| 개요/배경 . . . . .                                           | 3 |
| HBM3E 12-Hi 적층 구조 및 주요 스펙 . . . . .                       | 4 |
| 차세대 적층 및 본딩(Bonding) 기술 비교 . . . . .                      | 5 |
| 결론/시사점 . . . . .                                          | 9 |

# HBM3E 12-Hi 패키지 적층 구조 및 열관리(Thermal Management) 기술 분석 보고서

본 보고서는 차세대 AI 메모리의 핵심인 HBM3E 12단(12-Hi) 적층 구조의 기술적 특성을 분석하고, 고단 적층에 따른 발열 문제를 해결하기 위한 최신 패키징 기술 및 열관리 방안을 심도 있게 다룹니다.

## 개요/배경

### 1. AI 가속기 시장의 폭발적 성장과 HBM의 역할

최근 인공지능(AI) 산업의 급격한 팽창과 함께 거대언어모델(LLM, Large Language Model)의 학습 및 추론을 위한 연산 수요가 기하급수적으로 증가하고 있습니다. 이러한 AI 워크로드를 처리하기 위한 핵심 하드웨어인 AI 가속기(AI Accelerator), 대표적으로 NVIDIA의 H100 및 Blackwell 시리즈와 같은 프로세서의 성능을 뒷받침하기 위해서는 데이터 병목 현상을 해결할 수 있는 초고속 메모리 솔루션이 필수적입니다.

고대역폭 메모리(HBM, High Bandwidth Memory)는 기존의 DDR(Double Data Rate) 방식과 달리, 여러 개의 D램(DRAM) 칩을 수직으로 적층하고 실리콘 관통 전극(TSV, Through Silicon Via)을 통해 데이터 통로를 형성함으로써 압도적인 데이터 전송 대역폭(Bandwidth)을 제공합니다. AI 모델의 파라미터 규모가 커질수록 메모리 용량과 대역폭에 대한 요구사항은 더욱 가혹해지고 있으며, 이에 따라 HBM의 세대 교체와 적층 단수의 증가가 반도체 산업의 핵심 경쟁력으로 부상하였습니다.

### 2. HBM3E 12단(12-Hi) 적층의 등장 배경 및 기술적 필요성

HBM의 기술 로드맵은 데이터 전송 속도(Gbps)의 향상과 더불어, 단위 패키지 내에 얼마나 많은 데이터를 담을 수 있는지를 결정하는 '적층 단수(Stacking Height)'의 증가로 진화하고 있습니다. 과거 HBM3 단계에서는 주로 8단(8-Hi) 적층이 주를 이루었으나, AI 가속기에서 요구하는 대용량 메모리 용량을 충족하기 위해 5세대 규격인 HBM3E(HBM3 Extended)에서는 12단(12-Hi) 적층 기술이 본격적으로 도입되었습니다.

HBM3E 12단 제품은 현존하는 HBM 중 최대 용량인 36GB를 구현하며, 이를 통해 AI 모델의 복잡한 연산을 메모리 스왑(Swap) 없이 처리할 수 있는 환경을 제공합니다 [출처: Sk하이닉스, 세계 최초 '12단 적층 Hbm3e' 양산 돌입]. 특히 SK하이닉스의 경우 세계 최초로 HBM3E 12단 제품의 양산에 돌입하며 시장 선점 효과를 극대화하고 있습니다 [출처: Sk하이닉스, 세계 최초 '12단 적층 Hbm3e' 양산 돌입]. 이러한 고단 적층 기술은 AI 연산의 효율성을 극대화하는 핵심 요소이지만, 동시에 제조 공정 및 패키징 측면에서 전례 없는 기술적 난제를 동반합니다.

### 3. 고단 적층에 따른 주요 기술적 도전 과제

HBM이 12단, 향후 HBM4 및 HBM4E에서 예상되는 16단~20단 수준으로 고단화됨에 따라, 다음과 같은 세 가지 핵심적인 기술적 도전 과제가 발생하고 있습니다.

- **열적 한계 및 열 관리(Thermal Management)의 난이도 상승:** 칩을 수직으로 높게 쌓을수록 내부에서 발생하는 열이 외부로 방출되는 경로가 길어지고 저항이 커집니다. 특히 AI 연산 시 발생하는 막대한 열량은 칩 내부의 온도 상승을 유발하며, 이는 데이터 신뢰성 저하 및 소자 파괴로 이어질 수 있는 심각한 리스크입니다 [출처: HBM3e | Dram | 삼성반도체]. 따라서 고성능 연산 중에도 안정적인 동작을 보장할 수 있는 혁신적인 방열 구조와 열 저항(Thermal Resistance) 저감 기술이 필수적입니다.
- **물리적 구조의 안정성 및 두께 제어:** 적층 단수가 늘어남에 따라 전체 패키지의 높이는 제한된 규격 내에서 유지해야 하는 반면, 개별 칩의 두께는 더욱 얇아져야 합니다. 이는 제조 공정 중 칩의 휨(Warp) 현상을 심화시키며, 적층 시 발생하는 물리적 스트레스를 제어하기 위한 고도화된 본딩(Bonding) 기술을 요구합니다.

- **수율(Yield) 확보를 위한 정밀 검사 요구:** 수천 개의 TSV 연결점과 미세한 마이크로 댄프(Micro Bump)가 적층되는 구조 특성상, 단 하나의 연결 오류만 발생해도 전체 패키지가 불량 처리됩니다. 적층이 높아질수록 결함 검출의 난이도가 기하급수적으로 상승하므로, 이를 해결하기 위한 고정밀 광학 검사 및 AI 기반의 비전 솔루션이 공정 수율 관리의 성패를 좌우하게 됩니다 [출처: 기업 분석 보고서 (주)크레셈 (CRESSEM)].

본 보고서는 이러한 기술적 변곡점에 위치한 HBM3E 12단 패키지의 물리적 구조를 심층 분석하고, 이를 구현하기 위한 핵심 본딩 기술과 고단 적층의 최대 난제인 열관리(Thermal Management) 최적화 방안, 그리고 수율 확보를 위한 검사 기술의 현황을 체계적으로 고찰하고자 합니다.

## HBM3E 12-Hi 적층 구조 및 주요 스펙

### 1. HBM3E 12-Hi의 물리적 구조 및 적층 메커니즘

HBM3E(High Bandwidth Memory 3 Extended) 12-Hi(12단 적층) 구조는 인공지능(AI) 가속기의 폭발적인 연산 수요를 충족하기 위해 설계된 고밀도 수직 적층 메모리 아키텍처입니다. 기존 HBM3 세대가 주로 8단(8-Hi) 적층에 머물렀던 것과 달리, 12-Hi 구조는 12개의 D램(DRAM) 다이(Die)를 수직으로 쌓아 올려 용량과 대역폭을 동시에 극대화한 것이 특징입니다 [1, 4].

이러한 고단 적층을 가능하게 하는 핵심 물리적 요소는 **TSV(Through Silicon Via, 실리콘 관통 전극)** 기술입니다. TSV는 개별 D램 다이의 실리콘 웨이퍼를 수직으로 관통하는 미세한 전극 통로로, 수천 개의 TSV 홀(Hole)이 형성되어 상하단 다이 사이의 전기적 연결을 담당합니다 [4, 7]. 12단 적층 구조에서는 각 층마다 배치된 TSV가 데이터 신호와 전력 공급(Power Delivery)을 수행하며, 이는 기존의 와이어 본딩(Wire Bonding) 방식과는 비교할 수 없는 초고속·저지연 통신을 가능하게 합니다.

또한, 12-Hi 구조의 물리적 완성도는 **Die-to-Die(D2D) 연결성**과 **Micro Bump**의 정렬 정밀도에 의해 결정됩니다. 다이와 다이 사이를 연결하는 미세한 솔더 댄프(Solder Bump)는 적층 시 매우 정밀한 정렬(Alignment)을 요구하며, 12단이라는 높은 수직 구조로 인해 적층 과정에서 발생하는 물리적 압력과 열에 의한 **Warpage(휨 현상)** 제어가 구조적 안정성의 핵심 과제로 부상하고 있습니다 [4].

### 2. 주요 성능 지표 및 데이터 전송 스펙 분석

HBM3E 12-Hi는 단순한 용량 확장을 넘어, 데이터 처리량(Throughput) 측면에서 비약적인 성능 향상을 달성했습니다. 5세대 HBM 아키텍처로서, 1024-bit의 광폭 인터페이스(Wide Interface)와 16개의 독립적인 채널(Independent Channels)을 통해 방대한 워크로드를 처리합니다 [6].

주요 기술 스펙을 세부 항목별로 분석하면 다음과 같습니다.

| 구분 (Parameter)          | HBM3E 12-Hi 주요 스펙 (Typical Value) | 비고 (Remarks)             |
|-------------------------|-----------------------------------|--------------------------|
| 적층 단수 (Stack Height)    | 12-Hi (12-Layer)                  | 8-Hi 대비 용량 및 대역폭 확장      |
| 데이터 전송 속도 (Pin Speed)   | 9.2 Gbps 이상                       | 전 세대 대비 대폭 향상 [2]        |
| 총 대역폭 (Total Bandwidth) | 약 1.18 TB/s ~ 1.2 TB/s+           | 1024-bit 인터페이스 기반 [2, 6] |
| 최대 용량 (Capacity)        | 최대 36GB 이상 구현 [4]                 | SK하이닉스 12단 제품 기준 [4]     |
| 인터페이스 폭 (Bus Width)     | 1024-bit                          | 고대역폭 구현을 위한 핵심 규격        |

표 1. 주요 성능 지표 및 데이터 전송 스펙 분석

## 2.1. 대역폭(Bandwidth)의 혁신

HBM3E 12-Hi의 가장 핵심적인 지표는 대역폭입니다. 핀당 데이터 전송 속도(Per-pin Data Rate)가 9.2 Gbps를 상회함에 따라, 단일 스택(Stack)에서 제공할 수 있는 총 대역폭은 1.2 TB/s 수준에 도달합니다 [2, 6]. 이는 대규모 언어 모델(LLM) 학습 및 추론 시 발생하는 막대한 양의 파라미터 데이터를 메모리에서 프로세서(GPU/NPU)로 지연 없이 공급할 수 있는 기반이 됩니다.

## 2.2. 용량 및 효율성

12단 적층을 통해 구현된 36GB 이상의 고용량 메모리는 AI 가속기의 메모리 부족(Memory Wall) 문제를 완화합니다 [4]. 특히 SK하이닉스의 경우, 세계 최초로 12단 HBM3E 양산에 돌입하며 현존하는 HBM 중 최대 용량 수준을 확보한 것으로 알려져 있습니다 [4]. 이는 단위 면적당 저장 가능한 데이터 밀도를 높임으로써, 시스템 전체의 에너지 효율(pJ/bit)을 개선하는 데 기여합니다 [12].

## 3. 기술적 도전 과제: 고단 적층의 물리적 한계

HBM3E 12-Hi의 성능은 탁월하지만, 물리적 구조 측면에서는 다음과 같은 심각한 기술적 난제들을 내포하고 있습니다.

첫째, **열 저항(Thermal Resistance)의 급격한 증가**입니다. 적층 단수가 8단에서 12단으로 증가함에 따라, 하단부에 위치한 D램 다이들이 상단부 다이와 외부 방열 구조 사이에서 발생하는 열에 노출되는 경로가 길어집니다. 이는 칩 적층 과정에서 발생하는 필연적인 열과 AI 연산 중 발생하는 고열이 상단으로 원활히 배출되지 못하게 만들어, 소자의 신뢰성을 저하시키는 주요 원인이 됩니다 [2].

둘째, **두께 제어(Thickness Control) 및 수율(Yield) 문제**입니다. 12개의 다이를 쌓으면서도 전체 패키지의 높이(Z-height)는 기존 규격을 준수해야 합니다. 이를 위해 각 다이의 두께를 극도로 얇게 가공해야 하며, 이 과정에서 발생하는 웨이퍼의 휨(Warp) 현상은 Die-to-Die 간의 정렬 오차를 유발하여 TSV 연결 불량이나 Micro Bump의 물리적 손상을 초래할 수 있습니다 [4, 7].

셋째, **전력 공급의 안정성**입니다. 고속 데이터 전송(9.2 Gbps 이상)을 위해서는 안정적인 전압(VDD) 공급이 필수적입니다. 수직으로 길게 이어진 TSV 구조를 통해 하단부까지 전력을 균일하게 공급하는 기술과, 전력 소모를 최소화하면서도 신호 무결성(Signal Integrity)을 유지하는 설계 기술이 12-Hi 구조의 완성도를 결정짓는 핵심 요소입니다 [2].

## 차세대 적층 및 본딩(Bonding) 기술 비교

HBM(High Bandwidth Memory)의 적층 단수가 12단(12-Hi)을 넘어 16단, 나아가 20단(HBM4E)까지 증가함에 따라, 개별 DRAM 칩을 어떻게 쌓고(Stacking) 결합(Bonding)할 것인가에 대한 기술적 패러다임이 급격하게 변화하고 있습니다. 특히 12단 이상의 고단 적층 구조에서는 칩 사이의 간격 제어, 물리적 압력에 의한 웨이퍼 휨(Warp) 현상, 그리고 적층 구조 내부의 열 방출 효율이 수율과 성능을 결정짓는 핵심 요소로 부상하였습니다. 현재 시장을 주도하고 있는 두 가지 핵심 기술인 **Advanced MR-MUF(Mass Reflow Molded Underfill)**와 **TC-NCF(Thermal Compression Non-Conductive Film)**는 각기 다른 메커니즘을 통해 이러한 기술적 난제를 해결하고자 노력하고 있습니다.

### 1. Advanced MR-MUF (Mass Reflow Molded Underfill) 기술 분석

SK하이닉스가 주도하고 있는 Advanced MR-MUF 방식은 칩 적층 공정 후, 칩 사이의 미세한 간극을 액체 형태의 보호재(Underfill)로 채워 넣은 뒤 한꺼번에 열을 가해 경화시키는 공정 기술입니다 [출처: 보고서SK하이닉스HBM3E양산동향및기술경쟁력분석20260509001.pdf].

#### 1.1 메커니즘 및 공정 특징

이 기술의 핵심은 'Mass Reflow'에 있습니다. 적층된 칩들 사이의 범프(Bump)를 액체 상태의 솔더(Solder)가 한 번에 녹아 결합되도록 유도하며, 그 이후에 MUF(Molded Underfill) 공정을 통해 칩 사이의 빈 공간을 고성능 보호재로 채웁니다. 특히 최근의 'Advanced' 버전은 기존 방식보다 더 정밀한 칩 제어 기술(Chip Control Technology)이 결합되어, 적층 과정에서 각 레이어(Layer) 단위의 미세한 제어가 가능해졌습니다 [출처: HBM4 본딩 기술 현황 — MR-MUF·TC-NCF·HCB 3트랙].

## 1.2 기술적 장점: 방열 및 수율 최적화

- **열 방출 성능(Thermal Dissipation):** MR-MUF의 가장 큰 강점은 열 전도율이 우수한 MUF 소재를 사용한다는 점입니다. 칩 사이를 채우는 보호재 자체가 열 전달 경로(Thermal Pathway) 역할을 수행하여, AI 연산 시 발생하는 막대한 열을 외부로 빠르게 배출할 수 있습니다 [출처: Advanced Packaging for Beyond Memory | PDF - Scribd]. 이는 고단 적층 시 발생하는 열 저항 문제를 완화하는 데 결정적인 기여를 합니다.
- **물리적 안정성 및 Warpage 제어:** 액체 형태의 보호재가 칩 사이를 균일하게 채우기 때문에, 적층 시 가해지는 물리적 압력을 최소화할 수 있습니다. 이는 고단 적층 시 발생하는 웨이퍼 및 패키지의 휨(Warpage) 현상을 억제하여 공정 수율(Yield)을 극대화하는 결과로 이어집니다 [출처: 보고서SK하이닉스HBM3E양산동향및기술경쟁력분석20260509001.pdf].

## 2. TC-NCF (Thermal Compression Non-Conductive Film) 기술 분석

삼성전자가 고도화하고 있는 TC-NCF 방식은 칩과 칩 사이에 비도전성 필름(Non-Conductive Film)을 삽입한 후, 열과 압력을 동시에 가하여 접합하는 기술입니다.

### 2.1 메커니즘 및 공정 특징

TC-NCF는 각 칩 사이에 얇은 NCF 필름을 배치하고, 'Thermal Compression(열 압착)' 과정을 통해 필름을 녹이면서 동시에 칩을 물리적으로 눌러 접합합니다. 이 과정에서 필름은 칩 사이의 절연층 역할을 하며, 접합된 범프를 보호하는 역할을 수행합니다.

### 2.2 기술적 장점 및 한계점

- **두께 제어의 정밀성:** NCF 필름의 두께를 매우 얇고 균일하게 제어할 수 있다는 장점이 있습니다. 이는 전체 패키지의 높이를 규격 내로 유지해야 하는 고단 적층 공정에서 유리한 요소로 작용합니다.
- **열적 리스크 및 도전 과제:** 하지만 TC-NCF 방식은 적층 시 물리적인 압력을 직접적으로 가해야 하므로, 칩이 얇아질수록 Warpage(휨) 제어가 매우 까다로워집니다. 또한, NCF 필름의 열 전도율이 MR-MUF 방식의 액체 보호재에 비해 상대적으로 낮을 수 있어, 12단 이상의 초고단 적층 시 내부 열을 효과적으로 외부로 전달하는 데 기술적 한계가 존재할 수 있다는 것이 업계의 관측입니다 [출처: HBM3e and HBM4: IC design guide for next-generation high bandwidth memory].

## 3. Advanced MR-MUF vs TC-NCF 기술 비교 분석

두 기술은 HBM3E 12-Hi 및 차세대 HBM4 공정에서 각기 다른 전략적 가치를 지닙니다. 아래 표는 주요 성능 지표와 공정 특성을 비교한 결과입니다.

| 비교 항목           | Advanced MR-MUF         | TC-NCF            | 비고                                                   |
|-----------------|-------------------------|-------------------|------------------------------------------------------|
| 주요 메커니즘         | 액체 보호재 주입 후 Mass Reflow | 비도전성 필름 삽입 후 열 압착 | -                                                    |
| 방열 성능 (Thermal) | 매우 우수 (Thermal Bump 효과) | 보통 (필름의 열 저항 존재)  | MR-MUF 우세 [출처: Advanced Packaging for Beyond Memory] |

|                   |                |                  |                                                              |
|-------------------|----------------|------------------|--------------------------------------------------------------|
| 두께 제어 (Thickness) | 우수 (액체 충전 방식)  | 매우 정밀 (필름 두께 제어) | TC-NCF 우세                                                    |
| 휨 제어 (Warpage)    | 매우 용이 (압력 최소화) | 어려움 (물리적 압력 가함)  | MR-MUF 우세 [출처: 보고서 SK하이닉스HBM3E양산동향 및기술경쟁력분석20260509 001.pdf] |
| 공정 수율 (Yield)     | 고단 적층 시 유리     | 초미세 두께 제어 시 유리   | 기술 성숙도에 따라 상이                                                |

표 2. Advanced MR-MUF vs TC-NCF 기술 비교 분석

#### 4. 차세대 기술로의 진화: Hybrid Bonding의 등장

HBM4 및 그 이후의 세대에서는 기존의 Bump(범프) 기반 접합 방식이 가진 물리적 한계(Bump 크기로 인한 적층 높이 증가 및 열 저항)를 극복하기 위해 **Hybrid Bonding(하이브리드 본딩)** 기술이 도입될 것으로 전망됩니다.

Hybrid Bonding은 범프를 사용하지 않고 구리(Cu)와 구리를 직접 접합(Direct Cu-to-Cu Bonding)하는 방식으로, 칩 사이의 간격을 획기적으로 줄일 수 있습니다. 이는 적층 단수를 극대화하면서도 열 저항을 최소화할 수 있는 가장 이상적인 솔루션으로 평가받고 있습니다 [출처: Thermal Issues Related to Hybrid Bonding of 3D-Stacked High Bandwidth Memory]. 크레셈은 이러한 차세대 Hybrid Bonding 공정에서 요구되는 초미세 간극 측정 및 결함 검출을 위한 고정밀 광학 검사 솔루션 개발에 역량을 집중하고 있습니다 [출처: 분석\_크레셈CRESSEM20260509001.pdf].

#### HBM 적층 및 본딩 기술 진화 로드맵

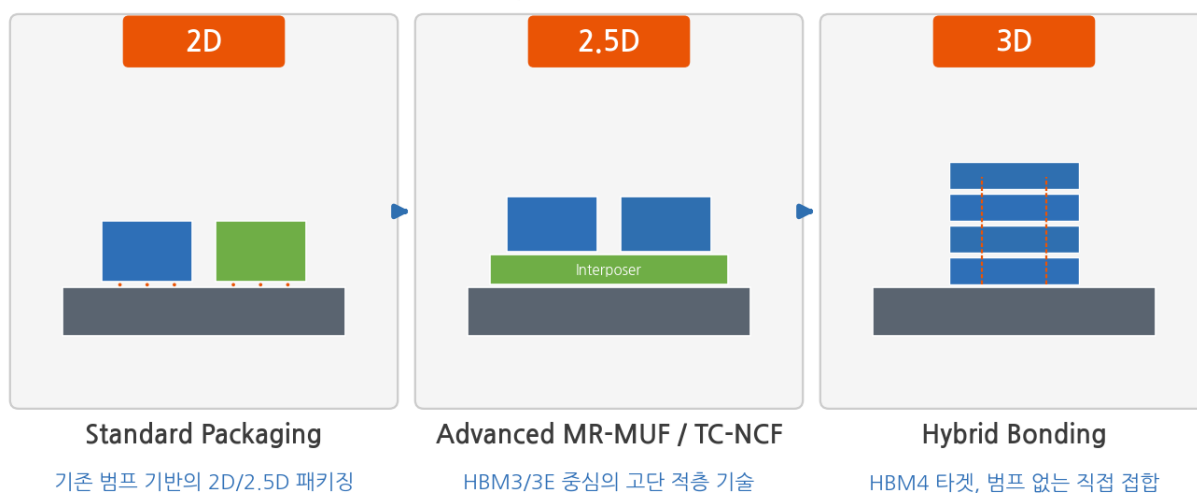


그림 1. HBM 적층 및 본딩 기술 진화 로드맵

## HBM3E 12-Hi 적층 구조 단면도(Hybrid Bonding 기반 예측)

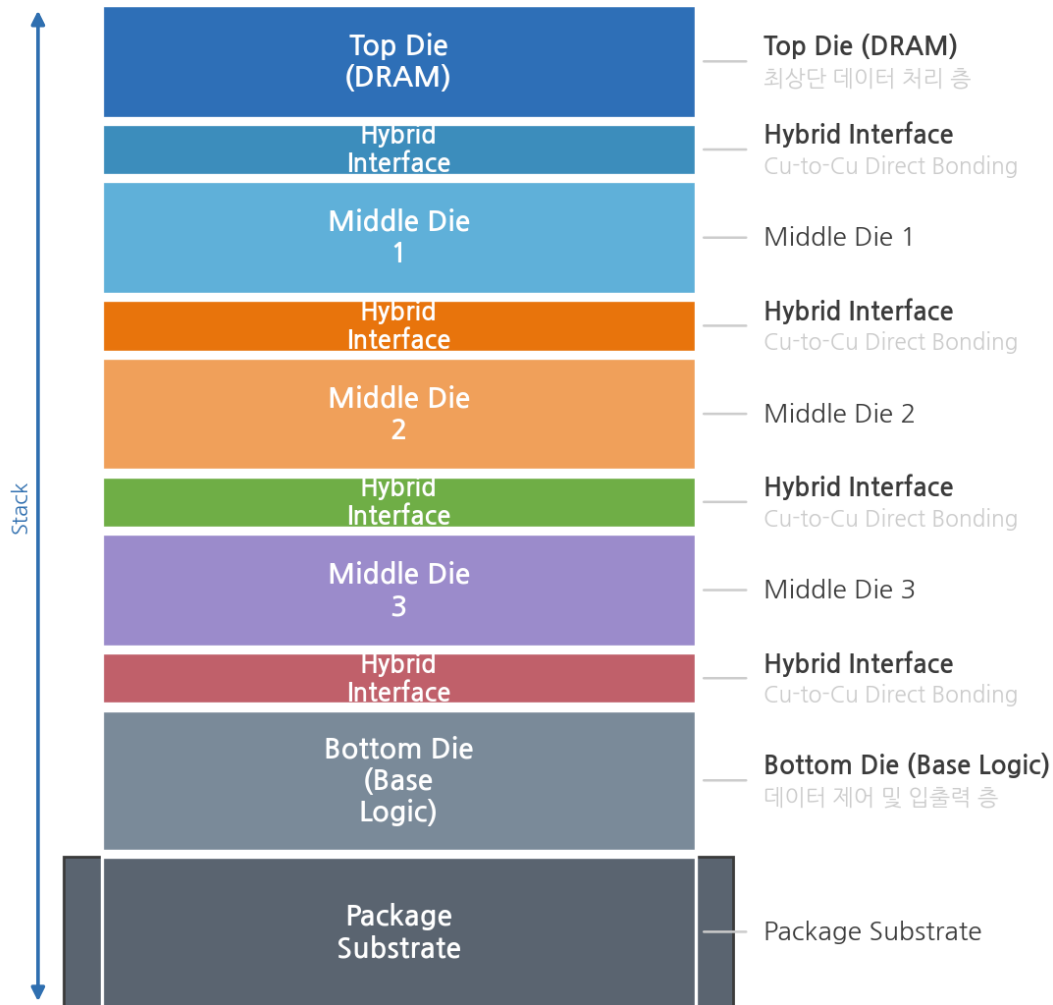


그림 2. HBM3E 12-Hi 적층 구조 단면도(Hybrid Bonding 기반 예측)

## HBM 적층 공정 수율 관리 프로세스



그림 3. HBM 적층 공정 수율 관리 프로세스

## 3. 수율 관리의 전략적 가치: Root Cause Analysis (RCA)

현대적인 HBM 검사 솔루션은 단순히 'Pass/Fail'을 판정하는 것에 그치지 않고, 검사 데이터를 분석하여 공정상의 불량 원인을 역추적(Root Cause Analysis)하는 데이터 분석 솔루션으로 진화하고 있습니다. 예를 들어, 특정 위치에서 반복적으로 발생하는 TSV 정렬 불량 데이터가 수집될 경우, 이는 적층 장비의 정밀도 저하나 웨이퍼 공급 과정의 문제를 시사할 수 있습니다. 이러한 데이터 기반의 수율 관리는 제조사의 수율(Yield) 향상에 직접적으로 기여하며, 고객사(SK하이닉스, 삼성전자 등)와의 파트너십을 강화하는 핵심 요소가 됩니다. [출처: 분석\_크레셈CRESSEM20260509001.pdf]

## 결론/시사점

본 보고서에서는 AI 가속기의 핵심 메모리로 자리 잡은 HBM3E 12-Hi 패키지의 적층 구조와 열관리(Thermal Management) 기술의 핵심 요소를 분석하였습니다. 분석 결과를 바탕으로 향후 HBM 시장의 기술 진화 방향과 이에 대응하기 위한 전략적 가치를 다음과 같이 요약합니다.

### 1. HBM4로의 기술 진화 및 패러다임의 변화

현재 HBM3E 12단 적층은 Advanced MR-MUF 및 TC-NCF 기술을 통해 고용량과 고대역폭(Bandwidth)을 구현하며 시장의 주류를 형성하고 있습니다. 그러나 향후 등장할 HBM4 및 HBM4E 단계에서는 적층 단수가 16단에서 최대 20단까지 증가할 것으로 관측됨에 따라, 기존의 범프(Bump) 기반 적층 방식은 물리적 두께 제한과 열 저항 문제라는 한계에 직면할 것입니다 [1]. 이에 따라 구리(Cu)를 직접 접합하여 전기적·열적 경로를 최적화하는 하이브리드 본딩(Hybrid Bonding) 기술이 차세대 표준으로 부상할 것이며, 이는 단순한 적층 기술의 변화를 넘어 패키징 공정 전체의 패러다임을 전환하는 계기가 될 것입니다 [8].

### 2. 열관리(Thermal Management)의 전략적 가치

고단 적층 구조에서 발생하는 열적 리스크(Thermal Risk)는 데이터 전송 속도 저하와 소자 신뢰성 문제를 야기하는 가장 치명적인 요소입니다. 따라서 Advanced MR-MUF와 같은 고방열 소재의 적용이나, 하이브리드 본딩을 통한 직접적인 열 전달 경로(Direct Thermal Pathway) 확보는 단순한 성능 개선을 넘어 제품의 생존을 결정짓는 핵심 경쟁력이 될 것입니다 [5, 8]. 즉, 메모리 제조사에게 열관리 기술은 제품의 수율(Yield)과 안정성을 담보하는 최우선 과제입니다.

### 3. 고정밀 검사 솔루션의 중요성 및 미래 전망(Future Outlook)

적층 기술이 고도화되고 공정이 미세화될수록, 육안이나 기존 방식으로는 검출 불가능한 미세 결함이 급증하게 됩니다. 특히 하이브리드 본딩 도입 시 요구되는 초미세 간극 측정 및 TSV(Through Silicon Via) 연결성 검증은 극도의 정밀도를 요구합니다. 따라서 AI 기반의 고정밀 광학 검사 솔루션은 불량 원인을 역추적(Root Cause Analysis)하고 공정 수율을 실시간으로 관리할 수 있는 스마트 팩토리 구현의 핵심 동력이 될 것입니다 [6].

결론적으로, 향후 HBM 시장의 주도권은 '얼마나 더 높이 쌓느냐'가 아닌, '쌓인 칩 사이의 열을 어떻게 제어하고, 그 미세한 연결을 얼마나 완벽하게 검증하느냐'에 달려 있습니다. 크레셈은 이러한 기술적 난이도 상승을 고부가가치 창출의 기회로 삼아, 차세대 패키징 공정에 최적화된 맞춤형 검사 솔루션을 통해 글로벌 AI 반도체 공급망 내에서 대체 불가능한 파트너로서의 입지를 강화해야 합니다 [6].