

# HBM4 차세대 메모리 기술 및 TSV 공정 분석 보고서

문서번호 CRSM-AI-2026-AUTO

작성일 2026-06-02

작성 Cressem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

# 목 차

---

<b>HBM4 차세대 메모리 기술 및 TSV 공정 분석 보고서</b>	<b>3</b>
개요/배경 . . . . .	3
HBM4 기술 사양 및 주요 특징 . . . . .	4
TSV(Through Silicon Via) 기술 심층 분석 . . . . .	5
차세대 패키징: Hybrid Bonding 기술 . . . . .	7
HBM4 공정 단계별 검사 항목 . . . . .	9
검사 기술의 핵심 요구사항 및 솔루션 . . . . .	11
결론/시사점 . . . . .	12

## HBM4 차세대 메모리 기술 및 TSV 공정 분석 보고서

HBM4의 기술적 진화와 핵심 요소인 TSV(Through Silicon Via) 기술을 분석하고, 차세대 패키징 공정 변화에 따른 검사 기술의 중요성을 다룹니다. 특히 Hybrid Bonding 도입 등 기술 패러다임 변화에 따른 대응 전략을 제시합니다.

### 개요/배경

#### 1. AI 패러다임의 전환과 고대역폭 메모리(HBM)의 부상

글로벌 산업 생태계는 현재 생성형 AI(Generative AI)의 폭발적인 성장과 함께 거대한 기술적 변곡점에 직면해 있습니다. 대규모 언어 모델(LLM, Large Language Model)의 학습과 추론을 위해 천문학적 양의 데이터를 실시간으로 처리해야 하는 수요가 급증함에 따라, 기존의 범용 D램(DRAM) 구조로는 데이터 병목 현상(Memory Wall)을 해결하는 데 한계가 드러나고 있습니다. 이러한 배경 속에서 프로세서(GPU, NPU 등)와 메모리 사이의 데이터 전송 속도를 극대화하기 위해 등장한 것이 바로 고대역폭 메모리(HBM, High Bandwidth Memory)입니다.

HBM은 여러 개의 D램 다이(Die)를 수직으로 적층하고, 이를 관통 전극인 TSV(Through Silicon Via) 기술로 연결하여 데이터 통로(I/O)를 획기적으로 늘린 구조를 가집니다. 이는 단순히 용량을 늘리는 것을 넘어, 초고속 데이터 전송이 필수적인 AI 가속기(AI Accelerator) 시장의 핵심 동력으로 자리 잡았습니다. 특히 AI 연산량이 기하급수적으로 증가함에 따라, 메모리의 대역폭(Bandwidth)과 전력 효율(Power Efficiency)은 AI 시스템 전체의 성능을 결정짓는 핵심 지표가 되었습니다.

#### 2. HBM4: 차세대 AI 메모리의 표준

HBM 시장의 기술적 진화는 HBM3, HBM3E를 거쳐 이제 차세대 규격인 **HBM4**로 급격히 이동하고 있습니다. HBM4는 기존 세대 대비 비약적인 성능 향상을 목표로 설계되었으며, 이는 단순히 수치적인 개선을 넘어 패키징 기술의 근본적인 변화를 예고하고 있습니다.

SK하이닉스는 최근 세계 최초로 HBM4 개발을 완료하고 양산 체제를 구축하기 위한 준비 단계에 진입하였으며, HBM4는 기존 모델 대비 **2배의 대역폭(Bandwidth)**과 **40% 향상된 전력 효율(Power Efficiency)**을 제공함으로써 AI 성능과 데이터센터의 운영 효율을 극대화할 것으로 전망됩니다 [출처: <https://news.skhynix.co.kr/mass-production-hbm-4/>]. 이러한 성능 향상은 AI 모델의 규모가 커질수록 더욱 결정적인 요소로 작용하며, 빅테크 기업(CSP, Cloud Service Provider)들이 차세대 AI 가속기를 설계할 때 HBM4 채택을 필수적인 요소로 고려하게 만드는 배경이 됩니다.

#### 3. 기술적 난제와 검사 솔루션의 중요성

HBM4로의 진화는 메모리 제조 공정의 난이도를 극한으로 끌어올리고 있습니다. 적층 단수가 높아짐에 따라(예: 16단 적층 구조), 칩 사이의 간격은 더욱 좁아지고 물리적 구조는 복잡해집니다. 특히 TSV(Through Silicon Via)를 통한 수천 개의 실리콘 비아(Silicon Via) 연결 신뢰성을 확보하는 것과, 고단 적층 시 발생하는 열 방출(Thermal Management) 문제를 해결하는 것이 기술적 핵심 과제로 부상했습니다 [출처: <https://rainbowwave.tistory.com/entry/SK-%ED%95%98%EC%9D%B4%EB%8B%89%EC%8A%A4%EC%9D%98-HBM4-16%EB%8B%A8-%EB%B6%84%EC%84%9D>].

이러한 고도화된 공정 환경에서는 미세한 결함(Defect) 하나가 전체 패키지의 수율(Yield)을 급격히 저하시키는 결과를 초래합니다. 따라서 HBM4의 성공적인 양산을 위해서는 다음과 같은 기술적 대응이 필수적입니다.

- **초미세 결함 검출:** 기존의 Rule-based 검사로는 탐지하기 어려운 미세한 Void, Crack, Pattern Shift를 잡아낼 수 있는 고정밀 광학 검사 기술이 요구됩니다.

- **신뢰성 검증:** 고온 동작 시의 열적 안정성 및 전기적 특성(Signal Integrity)을 실시간으로 모니터링할 수 있는 검사 프로세스가 구축되어야 합니다.
- **AI 기반 지능형 검사:** 검사 데이터의 양이 방대해짐에 따라, AI 알고리즘을 활용하여 정상적인 노이즈와 실제 불량을 구분함으로써 과검(Over-kill)률을 낮추고 생산성을 높이는 솔루션이 필수적입니다.

결론적으로, HBM4는 AI 반도체 공급망의 게임 체인저(Game Changer)로서 시장의 패권을 결정지를 핵심 기술이며, 이를 뒷받침하기 위한 고도화된 패키징 공정과 이를 검증할 수 있는 초정밀 검사 장비 기술의 확보가 산업 전체의 성패를 좌우할 것입니다.

## HBM4 기술 사양 및 주요 특징

차세대 AI 메모리의 핵심인 HBM4(High Bandwidth Memory 4)는 기존 HBM3 및 HBM3E 세대의 기술적 한계를 극복하고, 초거대 언어 모델(LLM) 및 고성능 컴퓨팅(HPC) 환경에서 요구되는 극한의 데이터 처리 성능을 충족하기 위해 설계되었습니다. HBM4는 단순히 적층 단수를 높이는 것을 넘어, 데이터 전송 대역폭(Bandwidth)의 비약적인 향상과 전력 효율(Power Efficiency)의 최적화를 동시에 달성해야 하는 기술적 변곡점에 위치하고 있습니다 [2].

### 1. 데이터 대역폭(Bandwidth)의 혁신적 확장

HBM4의 가장 핵심적인 기술적 지표는 데이터 전송 대역폭의 극대화입니다. AI 가속기(AI Accelerator)의 연산 속도가 기하급수적으로 빨라짐에 따라, 메모리에서 프로세서로 데이터를 전달하는 통로인 대역폭의 병목 현상을 해결하는 것이 최우선 과제로 부상했습니다.

- **대역폭 향상 수치:** HBM4는 이전 세대인 HBM3E 대비 약 2배에 달하는 대역폭을 제공하는 것을 목표로 개발되었습니다 [2]. 이는 데이터 전송 경로의 물리적 확장과 신호 무결성(Signal Integrity) 개선을 통해 구현됩니다.
- **I/O 인터페이스의 고도화:** 대역폭 확장을 위해 데이터 전송을 담당하는 I/O(Input/Output) 단자의 수가 대폭 증가합니다. 이는 더 넓은 데이터 버스(Data Bus)를 형성하여, 한 번의 클럭 사이클 동안 처리할 수 있는 데이터의 양을 획기적으로 늘리는 결과를 가져옵니다.
- **TSV 밀도 및 연결성:** 16단(16-layer) 이상의 고단 적층 구조를 구현하기 위해, 각 DRAM 다이(Die)를 수직으로 관통하는 TSV(Through Silicon Via)의 밀도가 극도로 높아집니다 [4]. 이는 데이터가 이동하는 수직 통로를 더 촘촘하고 정밀하게 배치함으로써, 대규모 병렬 데이터 전송을 가능하게 합니다.

### 2. 전력 효율(Power Efficiency) 및 열 관리 최적화

데이터 센터와 AI 서버 운영 비용의 상당 부분은 전력 소모와 그로 인한 발열 제어에 집중됩니다. HBM4는 고대역폭을 유지하면서도 전력 소모를 최소화하기 위해 설계 단계부터 전력 효율성을 핵심 사양으로 포함하고 있습니다.

- **전력 효율 개선:** HBM4는 기존 세대 대비 약 40% 향상된 전력 효율을 갖추고 있습니다 [2]. 이는 단위 데이터 전송당 소모되는 에너지(pJ/bit)를 낮춤으로써, 동일한 성능을 내면서도 전체 시스템의 전력 소비를 줄이는 것을 의미합니다.
- **저전력 동작 설계:** 전력 효율 향상을 위해 공급 전압(Supply Voltage, VDD)의 정밀 제어 및 동작 전압 최적화 기술이 적용됩니다. 검사 공정에서도 VDD의 허용 오차(Spec) 내에서 안정적인 전압이 공급되는지, 그리고 신호 무결성(Signal Integrity)을 방해하지 않는지를 엄격히 검증해야 합니다 [1].
- **열 저항(Thermal Resistance) 관리:** 적층 단수가 높아질수록 칩 내부에서 발생하는 열이 외부로 방출되기 어려워지는 구조적 한계가 존재합니다. HBM4는 열 방출 효율을 높이기 위해 소재 및 구조적 설계를 개선하고

있으며, 이는 열 저항( $\theta_{JA}$ ) 수치를 낮추어 고온 동작 시에도 데이터 전송 속도가 저하되지 않도록 보장하는 핵심 요소입니다 [1].

### 3. 16단(16-layer) 적층 구조와 물리적 사양 비교

HBM4의 기술적 완성도를 결정짓는 요소 중 하나는 16단 이상의 고단 적층(High-stacking) 기술입니다. 이는 메모리 용량의 증대와 직결되며, 이를 위해 기존의 범프(Bump) 기반 방식에서 차세대 접합 방식으로의 전환이 논의되고 있습니다.

구분	HBM3/3E (기존 세대)	HBM4 (차세대)	기술적 기대 효과
적층 단수 (Stacking)	8단 ~ 12단 중심	16단 이상 본격화	메모리 용량(Capacity)의 비약적 증대
대역폭 (Bandwidth)	기준 수치 (1.0x)	약 2배 향상	AI 연산 병목 현상(Bottleneck) 해소
전력 효율 (Power Efficiency)	기준 수치 (1.0x)	약 40% 개선	데이터 센터 운영 비용(OPEX) 절감
주요 연결 기술	Micro-bump 기반	Hybrid Bonding 도입 검토	적층 높이 감소 및 신호 경로 단축
패키징 복잡도	중/고 수준	최고 수준 (Extreme)	검사 및 수율 관리 난이도 급상승

[참고: 위 비교 표는 제공된 기술 자료 및 일반적인 반도체 산업 트렌드를 바탕으로 재구성됨]

### 4. 기술적 도전 과제: 신호 무결성과 수율 관리

HBM4의 사양을 달성하기 위해서는 공정 및 검사 측면에서 다음과 같은 기술적 난제를 해결해야 합니다.

1. **신호 무결성(Signal Integrity, SI) 확보:** 대역폭이 넓어지고 데이터 전송 속도가 빨라질수록 신호의 왜곡(Distortion)이나 노이즈(Noise)가 발생할 확률이 높아집니다. 특히 Eye Diagram 분석을 통해 Eye Height와 Eye Width가 규격(Spec) 내에서 충분한 마진(Margin)을 확보하고 있는지 확인하는 것이 필수적입니다 [1].

2. **고단 적층 시의 물리적 안정성:** 16단 적층은 칩 전체의 높이를 낮게 유지하면서도 구조적 안정성을 확보해야 함을 의미합니다. 적층 과정에서 발생하는 휨(Warping) 현상이나 다이 간 정렬 오차(Misalignment)는 전체 수율(Yield)에 치명적인 영향을 미칩니다 [12].

3. **TSV 및 연결부의 신뢰성:** 수천 개의 TSV가 각 층을 연결할 때, 단 하나의 연결 불량(Open/Short)만 발생해도 전체 패키지는 불량으로 판정됩니다. 따라서 TSV의 저항(Resistance) 값과 연결 상태를 정밀하게 측정하는 것이 HBM4 양산의 핵심입니다 [1].

결론적으로 HBM4는 AI 시대의 폭발적인 데이터 수요를 감당하기 위해 '초고대역폭'과 '저전력 고효율'이라는 두 마리 토끼를 잡아야 하는 기술의 집약체이며, 이를 실현하기 위한 16단 적층 및 차세대 패키징 기술의 도입은 반도체 후공정(Advanced Packaging) 시장의 패러다임을 완전히 바꿀 것으로 전망됩니다 [2, 10].

## TSV(Through Silicon Via) 기술 심층 분석

### 1. TSV(Through Silicon Via)의 구조적 원리 및 수직 연결 메커니즘

HBM(High Bandwidth Memory)의 핵심은 수많은 DRAM 다이(Die)를 수직으로 쌓아 올려 데이터 전송 통로를 극대화하는 데 있으며, 이 과정에서 중추적인 역할을 수행하는 기술이 바로 TSV(Through Silicon Via, 실리콘 관통 전극)입니다. 기존의 패키징 방식이 와이어 본딩(Wire Bonding)을 통해 칩의 가장자리를 금선(Gold Wire)으로 연결하던 것과 달리, TSV는 실리콘 웨이퍼 자체에 미세한 구멍을 뚫고 그 내부를 전도성 물질로 채워 칩의 상단과 하단을 직접 관통하는 수직 연결 통로를 형성합니다 [4].

TSV 기술의 구조적 원리는 크게 **Via 형성(Via Etching)**, **절연막 증착(Insulation Layer Deposition)**, **Barrier/Seed Layer 형성**, 그리고 **충전(Filling)** 단계로 구분됩니다.

첫째, 고에너지 이온을 이용한 **Deep Reactive Ion Etching(DRIE)** 공정을 통해 실리콘 웨이퍼에 매우 깊고 좁은 수직 구멍을 형성합니다. 이때 형성되는 비아(Via)의 종횡비(Aspect Ratio)는 기술의 난이도를 결정짓는 핵심 요소입니다.

둘째, 형성된 비아 내벽에 전기가 누설되지 않도록 절연막을 균일하게 증착합니다.

셋째, 구리(Cu)와 같은 충전 물질이 실리콘 내부로 확산되는 것을 방지하기 위해 Barrier layer와 Seed layer를 형성합니다.

마지막으로, **Electroplating(전해 도금)** 공정을 통해 비아 내부를 구리로 가득 채움으로써 전기적 연결성을 확보합니다.

이러한 TSV 기반의 **Vertical Interconnect(수직 상호 연결)** 방식은 다음과 같은 기술적 우위를 제공합니다:

- **데이터 대역폭(Bandwidth)의 혁신적 확장:** 와이어 본딩 대비 훨씬 짧은 경로를 통해 신호가 전달되므로, 수천 개의 I/O(Input/Output)를 동시에 활용할 수 있어 데이터 전송 속도가 비약적으로 향상됩니다.
- **신호 무결성(Signal Integrity) 개선:** 연결 경로가 짧아짐에 따라 기생 인덕턴스(Parasitic Inductance)와 커패시턴스(Capacitance)가 감소하여 신호 왜곡이 줄어듭니다.
- **패키지 크기 최소화:** 칩의 가장자리가 아닌 면 전체를 연결 통로로 활용할 수 있어, 칩의 물리적 면적을 효율적으로 사용할 수 있으며 전체 패키지 사이즈를 줄일 수 있습니다.

## 2. HBM4 16단 적층을 위한 고도화된 TSV 기술 분석

HBM4로 진입하면서 메모리 업계의 화두는 적층 단수의 극대화입니다. 특히 **16단 적층(16-High Stacking)** 구조는 기존 8단 또는 12단 구조보다 훨씬 높은 물리적·전기적 난이도를 요구합니다 [4]. 16단 적층을 구현하기 위해서는 단순히 칩을 더 많이 쌓는 것을 넘어, TSV 기술의 정밀도와 신뢰성이 임계치에 도달해야 합니다.

### #### 2.1. 초미세 TSV 및 고종횡비(High Aspect Ratio) 대응

16단 적층을 위해서는 전체 패키지의 높이를 일정 수준 이하로 유지해야 하므로, 개별 DRAM 다이의 두께는 더욱 얇아져야 합니다. 다이가 얇아질수록 TSV가 관통해야 하는 상대적인 종횡비(Aspect Ratio)는 급격히 증가하게 됩니다. 이는 도금(Plating) 공정 시 비아 하단부까지 구리가 균일하게 채워지지 않는 **Void(공극)** 결함을 유발할 가능성을 높입니다. 만약 TSV 내부에 미세한 공극이 발생할 경우, 저항(Resistance)이 불균일해지거나 고온 동작 시 열팽창으로 인한 크랙(Crack)이 발생하여 전기적 단락(Short)으로 이어질 수 있습니다 [1, 2].

### #### 2.2. TSV 연결성 및 전기적 특성 관리

16단 구조에서는 수천 개의 TSV가 수직으로 정렬되어야 합니다. SK하이닉스의 사례와 같이 TSMC와의 패키징 기술 협업을 통해 구현되는 고단 적층 구조에서는, 각 다이 간의 **Die-to-Die 통신**을 위한 TSV의 정렬(Alignment) 정밀도가 극도로 중요합니다 [4].

- **TSV Resistance(저항):** 16단으로 높아질수록 전류가 통과해야 하는 총 경로가 길어지므로, 각 TSV의 저항 값을 규격(Spec) 내로 엄격히 관리해야 합니다 [1, 3].

- **Signal Integrity (Eye Diagram):** 고속 데이터 전송 시 신호의 개방성(Eye Height)을 확보하기 위해 TSV 간의 간섭(Crosstalk)을 최소화하는 설계 및 공정 기술이 필수적입니다.

#### 2.3. 열 관리(Thermal Management)와 TSV의 역할

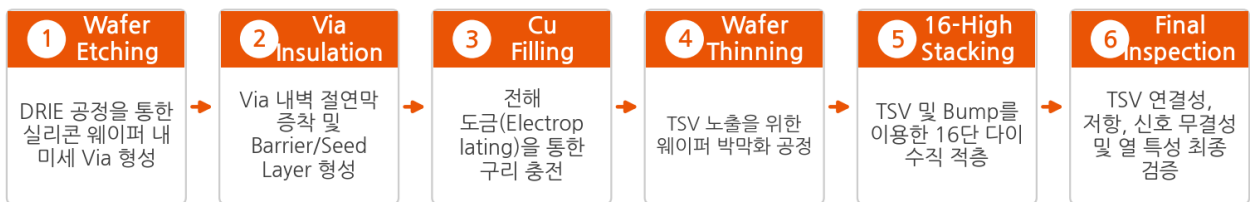
HBM4 16단 적층은 단위 부피당 발생하는 열 밀도(Heat Density)를 기하급수적으로 높입니다. TSV는 단순히 전기적 신호를 전달하는 통로일 뿐만 아니라, 칩 내부의 열을 상부 또는 하부로 전달하는 **Thermal Via**로서의 역할도 수행합니다. 16단 적층 구조에서 중앙부에 위치한 다이의 열을 효과적으로 방출하지 못할 경우, 열 축적으로 인한 데이터 오류나 소자 파괴가 발생할 수 있습니다. 따라서 TSV의 밀도(Density)와 배치(Placement) 전략은 전기적 성능뿐만 아니라 열적 안정성(Thermal Stability) 확보를 위한 핵심 변수가 됩니다 [1].

3. TSV 공정의 기술적 한계 및 검사 요구사항 요약

구분	기술적 도전 과제 (Challenges)	요구되는 정밀도 및 솔루션
구조적 측면	고종횡비(High Aspect Ratio)에 따른 Void 발생	고해상도 X-ray/CT 기반 비파괴 검사 및 도금 두께 최적화 [4]
전기적 측면	16단 적층 시 저항 증가 및 신호 간섭	TSV Resistance 측정 및 Signal Integrity(Eye Diagram) 분석 [1, 3]
열적 측면	고밀도 적층에 따른 중심부 열 정체	Thermal Resistance( $\theta_{JA}$ ) 관리 및 Thermal Map 분석 [1, 2]
정렬 측면	다단 적층 시 Die-to-Die 미세 오차(Misalignment)	High-Precision Optical System을 이용한 정렬 정확도 검사 [4]

결론적으로, HBM4 16단 시대를 위한 TSV 기술은 단순한 구멍 뚫기와 채우기를 넘어, **초미세 구조의 균일성, 전기적 신호의 무결성, 그리고 열 방출 효율**이라는 세 가지 축을 동시에 만족시켜야 하는 초고난도 공정입니다. 이는 곧 검사 공정에서 TSV 내부의 미세 결함을 찾아내고, 적층 후의 물리적/전기적 특성을 완벽하게 검증할 수 있는 고도화된 검사 솔루션의 필요성을 시사합니다 [10, 12].

TSV 기반 HBM4 16단 적층 구조 및 연결 프로세스



차세대 패키징: Hybrid Bonding 기술

1. 패키징 패러다임의 전환: Micro-bump에서 Hybrid Bonding으로

HBM(High Bandwidth Memory)의 적층 단수가 12단, 16단을 넘어 그 이상의 초고단 구조로 진화함에 따라, 기존의 데이터 전송 방식과 물리적 연결 구조는 기술적 한계점에 봉착하고 있습니다. 지금까지 HBM 제조의 핵심 연결 기술은 마이크로 범프(Micro-bump)를 이용한 방식이었습니다. 이는 개별 DRAM 다이(Die) 사이에 솔더(Solder) 재질의 범프를 형성하고, 이를 열과 압력을 가해 접합하는 방식입니다.

그러나 HBM4 및 그 이후의 차세대 제품군에서는 기존 범프 방식의 한계를 극복하기 위해 하이브리드 본딩(Hybrid Bonding) 기술로의 전환이 필연적으로 요구됩니다. 하이브리드 본딩은 범프라는 중간 매개체 없이, 구리(Copper, Cu) 배선과 절연막(Dielectric, 주로 SiO<sub>2</sub>)을 직접 맞붙이는 구리 직접 접합(Copper Direct Bonding) 기술을 의미합니다 [10].

구분	Micro-bump 방식 (기존)	Hybrid Bonding 방식 (차세대)
연결 매개체	Solder Bump (Cu/Sn 등)	Copper (Cu) Direct Bonding
피치(Pitch) 한계	약 10~20µm 이하 구현 어려움	수 µm 단위의 초미세 피치 가능
적층 높이	범프 두께로 인해 전체 높이 증가	범프 제거로 인한 두께(Z-height) 감소
전기적 특성	범프 저항으로 인한 신호 손실 발생	접합 면적 극대화로 저항 및 인덕턴스 최소화
열 관리	범프 층이 열 저항(Thermal Resistance)으로 작용	금속 직접 접합으로 열 방출 효율 향상

## 2. Hybrid Bonding의 기술적 메커니즘 및 이점

하이브리드 본딩은 크게 두 단계의 결합 과정을 거칩니다. 첫 번째는 표면의 절연막(Dielectric) 간의 결합이며, 두 번째는 그 내부의 구리(Cu) 패드 간의 확산 결합입니다.

### 2.1. 표면 에너지 기반의 절연막 결합 (Dielectric Bonding)

먼저, 매우 평탄화된(Planarized) 웨이퍼 표면의 산화막(Oxide) 또는 절연막 사이의 반데르발스 힘(Van der Waals force)을 이용하여 접합합니다. 이때 표면의 거칠기(Roughness)는 극도로 낮아야 하며, 나노미터(nm) 단위의 평탄도가 확보되지 않으면 접합 시 보이드(Void)가 발생하여 치명적인 불량으로 이어집니다.

### 2.2. 구리 확산 결합 (Copper Diffusion Bonding)

절연막이 안정적으로 결합된 후, 열처리(Annealing) 공정을 진행합니다. 이 과정에서 구리 패드가 열팽창을 일으키며 미세하게 돌출되고, 서로 맞닿은 구리 원자들이 경계를 넘어 확산(Diffusion)되면서 하나의 연속된 금속 구조를 형성합니다. 이 방식은 중간에 솔더(Solder) 층이 없기 때문에 전기적 경로가 매우 짧아지며, 이는 곧 신호 무결성(Signal Integrity)의 극적인 향상으로 직결됩니다.

### 2.3. 주요 기대 효과

- **대역폭(Bandwidth)의 극대화:** 범프 피치(Bump Pitch)의 제약이 사라지므로, 동일 면적 내에 훨씬 더 많은 수의 I/O(Input/Output)를 배치할 수 있습니다. 이는 HBM4가 목표로 하는 초고대역폭 구현의 핵심 동력입니다 [2].
- **Z-Height(적층 높이) 감소:** 범프가 차지하던 물리적 공간이 제거됨에 따라, 16단 이상의 고단 적층 시에도 전체 패키지의 높이를 기존 방식보다 훨씬 낮게 유지할 수 있어 패키지 신뢰성을 높입니다.
- **전력 효율(Power Efficiency) 개선:** 접합부의 기생 커패시턴스(Parasitic Capacitance)와 저항이 감소하여, 데이터 전송 시 소모되는 전력량을 줄일 수 있습니다 [2].

## 3. 기술적 난제 및 공정상의 도전 과제 (Technical Challenges)

Hybrid Bonding은 혁신적인 기술이지만, 양산 관점에서는 기존 범프 방식보다 훨씬 높은 수준의 공정 제어 능력을 요구합니다.

### 3.1. 초정밀 평탄화 및 표면 제어 (CMP 및 Cleaning)

하이브리드 본딩의 성공 여부는 화학 기계적 연마(CMP, Chemical Mechanical Polishing) 공정에 달려 있습니다. 구리 패드와 절연막의 높이 차이가 극히 미세해야 하며, 만약 구리가 너무 많이 깎이면(Dishing 현상) 접합 면적이 부족해지고, 너무 적게 깎이면(Erosion) 절연막 결함이 방해받습니다. 또한, 접합 면에 단 하나의 나노미터 크기 파티클(Particle)만 존재해도 거대한 보이드(Void)를 형성하므로, 극도의 청정 환경(Cleanroom)과 고도화된 세정(Cleaning) 기술이 필수적입니다.

### 3.2. 정렬 정밀도(Alignment Accuracy)의 한계

범프 방식은 어느 정도의 물리적 여유(Tolerance)가 있었으나, Hybrid Bonding은 구리 패드와 패드가 정확히 일치해야만 결합이 일어납니다. 수  $\mu\text{m}$  단위의 피치를 다루는 상황에서 다이 간의 미세한 정렬 오차(Misalignment)는 곧바로 전기적 단락(Short) 또는 개방(Open) 불량으로 이어집니다. 이는 Die-to-Die 정렬 검사 장비의 정밀도가 비약적으로 상승해야 함을 의미합니다 [10, 12].

### 3.3. 열팽창 계수(CTE) 불일치에 따른 응력 관리

서로 다른 재질인 구리와 절연막, 그리고 실리콘 기판 사이의 열팽창 계수(Coefficient of Thermal Expansion, CTE) 차이는 열처리 공정 중 구조적 변형을 야기할 수 있습니다. 특히 고단 적층 구조에서는 이러한 응력이 누적되어 웨이퍼 휨(Warping) 현상을 심화시키며, 이는 최종 제품의 신뢰성을 저해하는 주요 원인이 됩니다 [12].

## 4. 검사 솔루션의 진화 방향

Hybrid Bonding 공정의 도입은 검사 장비 시장에 새로운 요구사항을 던지고 있습니다. 기존의 광학 검사 방식만으로는 내부의 구리 접합 상태나 미세한 보이드(Void)를 확인하는 데 한계가 있습니다.

- **초미세 간극 측정 기술:** 범프가 사라진 자리에 형성되는 미세한 접합부의 품질을 측정하기 위해, 기존보다 훨씬 높은 해상도를 가진 광학 엔진과 AI 기반의 이미지 분석 기술이 결합되어야 합니다 [10].
- **비파괴 검사(Non-destructive Inspection) 강화:** 내부의 구리 확산 상태와 접합부 결함을 확인하기 위해 X-ray 또는 고해상도 CT 기반의 검사 솔루션이 필수적으로 병행되어야 합니다 [4].
- **AI 기반의 실시간 결함 분류:** Hybrid Bonding 공정에서 발생하는 미세 결함은 정상적인 표면 거칠기와 구분이 매우 어렵습니다. 따라서 단순한 Rule-based 검사를 넘어, 딥러닝(Deep Learning) 알고리즘을 통해 미세 결함과 정상 노이즈를 구분하여 과검(Over-kill)을 방지하는 기술이 핵심 경쟁력이 될 것입니다 [10].

결론적으로, Hybrid Bonding은 HBM4 이후의 메모리 시장을 지배할 핵심 기술이나, 그 구현을 위해서는 CMP, 정렬(Alignment), 세정(Cleaning), 그리고 이를 검증할 초정밀 검사 솔루션의 동반 발전이 반드시 전제되어야 합니다.

## HBM4 공정 단계별 검사 항목

HBM4(High Bandwidth Memory 4)는 기존 세대 대비 적층 단수가 증가하고 데이터 전송 속도가 극대화됨에 따라, 공정의 복잡도가 기하급수적으로 상승하고 있습니다. 특히 16단 이상의 고단 적층 구조를 구현하기 위해서는 각 공정 단계에서 발생할 수 있는 미세 결함을 사전에 차단하는 단계별 검사 프로세스(Inspection Process)가 필수적입니다 [4, 10]. HBM4의 수율(Yield) 확보를 위한 검사 체계는 크게 **전공정 및 웨이퍼 단계(Pre-stacking & Wafer Level)**, **적층 및 후공정 단계(Stacking & Post-assembly)**, 그리고 **최종 신뢰성 및 기능 테스트(Final Test & Reliability)**의 세 단계로 구분됩니다 [4].

### 1. 전공정 및 웨이퍼 단계 (Pre-stacking & Wafer Level)

적층 공정(Stacking)이 시작되기 전, 개별 DRAM 다이(Die)와 웨이퍼 상태에서 결함을 완벽히 차단하는 단계입니다. 이 단계에서의 검사 실패는 이후의 고비용 적층 공정에서 치명적인 불량으로 이어지므로, 'Bad Die'가

적층 공정에 유입되는 것을 원천 봉쇄하는 것이 목적입니다.

- **TSV(Through-Silicon Via) 정밀 검사:** HBM4의 핵심인 실리콘 관통 전극(TSV)의 위치, 깊이, 밀도를 검사합니다. TSV가 설계된 좌표에서 벗어나거나(Pattern Shift), 내부가 비어 있는 경우(Void), 혹은 균열(Crack)이 발생했을 경우를 실시간으로 탐지해야 합니다 [4].
- **마이크로 범프(Micro-bump) 검사:** 다이 간 연결을 담당하는 마이크로 범프의 높이 균일도(Height Uniformity)와 표면 상태를 검사합니다. 범프의 높이가 불균일할 경우 적층 시 접합 불량률의 원인이 됩니다 [4].
- **웨이퍼 프로브 테스트(Wafer Probe Test):** Wafer Probe System(WLP)을 활용하여 웨이퍼 상태에서 전기적 특성을 사전 검증합니다. 이를 통해 적층 전 단계에서 불량 칩을 선별하여 공정 효율을 높입니다 [4].
- **사용 장비 및 기술:** 고정밀 광학 시스템(High-Precision Optical System)을 통해 미세한 패턴 변형을 관찰하며, 웨이퍼 단계의 결함을 제어합니다 [4].

### 2. 적층 및 후공정 단계 (Stacking & Post-assembly)

개별 다이를 수직으로 쌓아 올리는 과정에서 발생하는 물리적, 구조적 결함을 검사하는 단계입니다. HBM4와 같이 적층 단수가 높아질수록 다이 사이의 정렬(Alignment)과 접합부의 신뢰성이 핵심 관리 지표가 됩니다.

- **다이 정렬(Alignment) 및 적층 불균형 검사:** 다이 적층 시 발생하는 미세한 위치 오차(Misalignment)를 측정합니다. HBM4의 고밀도 I/O 연결을 위해서는 극도로 정밀한 정렬이 요구되며, 적층 불균형(Stacking Unbalance)은 전체 패키지의 구조적 안정성을 해칠 수 있습니다 [4].
- **TSV 연결성 및 접합부 결함 분석:** 적층된 다이들 사이의 TSV가 전기적으로 완벽하게 연결되었는지 확인합니다. 특히 X-ray 또는 CT 기반의 비파괴 검사(Non-destructive Inspection)를 통해 내부 TSV 접합부의 보이딩(Voiding)나 층간 분리(Delamination) 현상을 분석하는 것이 매우 중요합니다 [4].
- **3D SPI (Automated Optical Inspection):** 3D SPI 기술을 적용하여 범프의 높이 측정 및 접합 상태를 입체적으로 확인하여 적층 공정의 완성도를 검증합니다 [4].

### 3. 최종 신뢰성 및 기능 테스트 (Final Test & Reliability)

패키징이 완료된 최종 제품이 실제 AI 가속기 및 데이터센터의 극한 환경에서 정상적으로 작동하는지 검증하는 단계입니다.

- **기능 및 성능 테스트(Functional & Performance Test):** 설계된 대역폭(Bandwidth)을 충족하는지, 데이터 읽기/쓰기 시 오류율(Bit Error Rate, BER)이 규격 내에 있는지 확인합니다 [1, 2].
- **열 및 신뢰성 테스트(Thermal & Reliability Test):** HBM4는 고성능 동작 시 막대한 열을 발생시키므로, Hot/Cold Test를 통해 극한의 온도 환경(-40<sup>°</sup>C ~ 125<sup>°</sup>C 등)에서의 작동 안정성을 검증합니다 [1, 4]. 또한, 열 저항(Thermal Resistance,  $\theta_{JA}$ )을 측정하여 열 방출 효율을 관리합니다 [2].
- **번인 테스트(Burn-in Test):** 고온 및 고전압 환경에 제품을 노출시켜 초기 불량률(Infant Mortality)을 강제로 유도하여 제거함으로써, 고객사로 유출되는 불량품을 최소화합니다 [4].

#### [요약] HBM4 공정 단계별 주요 검사 항목 비교

구분	주요 검사 대상 (Target)	핵심 검사 항목 (Key Items)	주요 사용 기술/장비
Wafer Level	개별 Die, TSV, Micro-bump	TSV 위치/깊이, 범프 높이, 패턴 변형	Wafer Probe, High-Precision Optical
Stacking	적층 구조, 접합부(Joint)	정렬(Alignment), TSV 연결성, 층간 분리	X-ray/CT, 3D SPI

Final Test	완성된 HBM4 패키지	대역폭(Bandwidth), BER, 열 안정성	Burn-in Test, Thermal Test
------------	--------------	----------------------------	----------------------------

[출처: 매뉴얼\_HBM검사및테스트공정가이드라인\_20260509\_001.pdf, pdf\_HBMHighBandwidt\_20260508\_001.pdf, pdf\_HBMHighBandwidt\_20260508\_002.pdf]

### 검사 기술의 핵심 요구사항 및 솔루션

HBM4로의 기술 진화는 단순히 적층 단수를 높이는 것을 넘어, 데이터 전송 속도의 극대화화 및 패키징 구조의 미세화를 동반합니다. 특히 기존의 범프(Bump) 기반 연결 방식에서 차세대 하이브리드 본딩(Hybrid Bonding) 기술로의 전환이 예고됨에 따라, 검사 장비가 요구하는 정밀도와 데이터 처리 능력은 임계치에 도달하고 있습니다. 이에 따라 고해상도 광학 검사(High-Resolution Optical Inspection)와 AI 비전 기반 결함 분류(AI-based Defect Classification) 기술의 통합은 수율(Yield) 확보를 위한 필수적인 핵심 요소로 부상하였습니다.

#### 1. 고해상도 광학 검사(High-Resolution Optical Inspection)의 요구사항

HBM4의 고단 적층 구조와 미세화된 TSV(Through Silicon Via) 및 마이크로 범프(Micro-bump)를 검사하기 위해서는 기존의 검사 솔루션으로는 대응할 수 없는 초정밀 광학 엔진이 필요합니다.

- **초미세 피처(Feature) 측정 능력:** HBM4는 데이터 대역폭을 극대화하기 위해 TSV의 밀도를 높이고 연결 간격을 최소화합니다. 따라서 칩 간의 미세한 정렬 오차(Misalignment)나 마이크로 범프의 높이 편차, 균열(Crack) 등을 검출하기 위해 나노미터(nm) 단위의 분해능을 가진 고해상도 광학 시스템이 요구됩니다 [1, 4].
- **3D 구조적 결함 탐지:** HBM은 수십 개의 다이(Die)가 수직으로 쌓인 3D 구조를 가집니다. 단순한 2D 평면 검사를 넘어, 적층 과정에서 발생하는 층간 분리(Delamination), 보이드(Void), 그리고 적층 불균형(Stacking Unbalance)을 입체적으로 분석할 수 있는 3D SPI(Automated Pre-inspection) 및 X-ray/CT 기반의 비파괴 검사 기술이 결합되어야 합니다 [4].
- **고속 스캔 및 Tact Time 최적화:** 고대역폭 메모리의 대량 생산 체제에서는 검사 속도가 곧 생산성으로 직결됩니다. 고해상도 이미지를 획득하면서도 생산 라인의 Tact Time(생산 주기)을 저해하지 않도록, 고속 광학 엔진과 정밀 조명 제어 기술(Precision Lighting Control)의 결합이 필수적입니다 [10].

#### 2. AI 비전 기반 결함 분류(AI-driven Defect Classification) 솔루션

검사 장비가 고해상도 이미지를 획득하더라도, 쏟아지는 방대한 양의 데이터를 실시간으로 처리하여 '진짜 불량'을 가려내는 것은 별개의 문제입니다. 기존의 Rule-based(규칙 기반) 검사 방식은 미세한 패턴 변화나 공정상의 정상적인 노이즈를 결함으로 오인하는 과검(Over-kill) 문제를 해결하는 데 한계가 있습니다.

- **과검(Over-kill)률 저감 및 수율 향상:** AI 알고리즘, 특히 딥러닝(Deep Learning) 기반의 비전 솔루션은 미세 결함(Defect)과 정상적인 공정 노이즈를 정밀하게 구분합니다. 이를 통해 불필요한 불량 판정을 줄임으로써 공정 수율을 실질적으로 개선하고, 제조사의 비용 부담을 완화합니다 [10].
- **결함 원인 역추적(Root Cause Analysis):** 단순한 Pass/Fail 판정을 넘어, AI는 검출된 결함의 형태, 위치, 패턴을 분석하여 해당 불량이 어느 공정 단계(예: TSV 도금, 마이크로 범프 형성, 적층 정렬 등)에서 발생했는지 역추적할 수 있는 데이터 분석 기능을 제공해야 합니다 [10]. 이는 스마트 팩토리 구현을 위한 핵심 기능입니다.
- **지능형 학습 모델 적용:** 공정 조건이 변화하거나 새로운 패키징 기술(Hybrid Bonding 등)이 도입될 때마다 검사 기준을 재설정해야 하는 번거로움을 줄이기 위해, 지속적 학습(Continual Learning) 및 데이터 효율적 학습 기술이 적용된 AI 솔루션이 요구됩니다 [6].

#### 3. 검사 기술 요구사항 비교 분석

HBM의 세대 변화에 따른 검사 기술의 핵심 요구사항 변화를 정리하면 다음과 같습니다.

구분	기존 HBM (HBM3/3E)	차세대 HBM (HBM4 및 이후)	비고
주요 연결 방식	Micro-bump 기반 적층	Hybrid Bonding (Copper-to-Copper)	연결 정밀도 급증
검사 핵심 타겟	Bump 높이, TSV 연결성, Warpage	초미세 간극(Gap), 표면 평탄도, 접합부 Void	검사 난이도 상승
광학 요구사항	고해상도 2D/3D 스캔	초고해상도(Sub-micron) 및 실시간 3D 프로파일링	분해능 극대화 필요
AI 역할	기본적인 결함 분류 및 패턴 인식	복합 결함 분석 및 공정 변수 역추적	데이터 분석 고도화
검사 전략	샘플링 및 주요 지점 검사	전수 검사 및 실시간 인라인(In-line) 모니터링	수율 관리 최적화

결론적으로, HBM4 시장을 선점하기 위한 검사 솔루션은 '초정밀 광학 하드웨어'와 '지능형 AI 소프트웨어'가 유기적으로 결합된 형태여야 합니다. 크레셈은 이러한 기술적 요구사항을 충족하기 위해 하드웨어와 AI 소프트웨어를 통합한 Customized Inspection System을 통해 고객사의 공정 특성에 최적화된 솔루션을 제공함으로써, 단순 검사 장비 공급자를 넘어 고객사의 수율 향상을 견인하는 전략적 파트너로서의 위치를 공고히 해야 합니다 [10, 12].

### 결론/시사점

HBM4로 대표되는 차세대 AI 메모리 시장의 패러다임 변화는 단순한 메모리 용량 확장을 넘어, 패키징 기술의 한계를 시험하는 고난도 공정의 연속입니다. 본 보고서에서 분석한 바와 같이, HBM4는 기존 대비 2배의 대역폭(Bandwidth) 향상과 40% 이상의 전력 효율(Power Efficiency) 개선을 목표로 하고 있으며, 이를 실현하기 위한 핵심 동력은 TSV(Through Silicon Via) 기술의 고도화와 Hybrid Bonding(하이브리드 본딩) 기술의 도입입니다 [출처: news.skhynix.co.kr/mass-production-hbm-4/]. 이러한 기술적 진보는 제조 공정의 복잡성을 기하급수적으로 증가시키며, 이는 곧 수율(Yield) 확보를 위한 검사 솔루션의 중요성이 기업의 생존과 직결됨을 의미합니다.

HBM4 시장 선점을 위한 검사 장비 기술 로드맵 및 전략적 제언은 다음과 같습니다.

#### 1. 수율 최적화(Yield Optimization)를 위한 데이터 기반 검사 체계 구축

HBM4의 16단 이상 고단 적층 구조에서는 미세한 정렬 오차(Misalignment)나 TSV 내부의 미세 결함이 전체 제품의 불량으로 직결됩니다 [출처: rainbowwave.tistory.com/entry/SK-%ED%95%98%EC%9D%B4%EB%8B%89%EC%8A%A4%EC%9D%98-HBM4-16%EB%8B%A8-%EB%B6%84%EC%84%9D]. 따라서 단순한 불량 검출(Defect Detection)을 넘어, 검사 데이터를 실시간으로 분석하여 공정상의 불량 원인을 역추적(Root Cause Analysis)할 수 있는 지능형 솔루션이 필수적입니다 [출처: 분석\_크레셈CRESSEM\_20260509\_001.pdf]. 이를 통해 공정 변수를 선제적으로 제어함으로써 수율을 극대화해야 합니다.

#### 2. 차세대 패키징 기술 대응을 위한 하드웨어 및 소프트웨어 로드맵 수립

기존의 Bump 방식에서 Hybrid Bonding(구리 직접 접합) 기술로 전환됨에 따라, 초미세 간극(Gap)을 측정할 수 있는 고해상도 광학 엔진과 미세 결함을 구분할 수 있는 AI 비전(AI Vision) 기술의 통합이 요구됩니다 [출처: 분석\_크레셈CRESSEM\_20260509\_001.pdf]. 크레셈은 다음과 같은 기술 로드맵을 지향해야 합니다.

구분	핵심 기술 목표	기대 효과
Hardware	초정밀 광학 엔진 및 고속 스캔 모듈	Tact Time 단축 및 미세 결함 해상력 확보
Software	Deep Learning 기반 결함 분류 알고리즘	과검(Over-kill)률 최소화 및 검사 신뢰도 향상
System	고객 맞춤형(Customized) 통합 검사 플랫폼	공정 특화 솔루션을 통한 고객 락인(Lock-in)

### 3. 시장 주도권(Market Leadership) 확보를 위한 전략적 포지셔닝

HBM4 시장은 기술적 진입장벽이 매우 높으며, 글로벌 Top-tier 고객사(SK하이닉스 등)의 요구사항은 더욱 까다로워질 전망입니다 [출처: 분석\_크레셈CRESSEM\_20260509\_001.pdf]. 크레셈은 단순한 장비 공급사를 넘어, 고객사의 공정 난제를 함께 해결하는 '기술 파트너'로서의 입지를 굳혀야 합니다. 특히, 2.5D/3D 패키징 및 Hybrid Bonding 공정에서 발생하는 신규 불량 유형에 대한 선제적 대응 기술을 확보함으로써, 차세대 AI 반도체 공급망 내에서 대체 불가능한 핵심 위치를 점유해야 합니다 [출처: 분석\_크레셈CRESSEM\_20260509\_001.pdf].