

# HBM4 TSV 공정 단계별 검사 프로세스 및 결함 분석 보고서

문서번호 CRSM-AI-2026-AUTO

작성일 2026-06-02

작성 CresseM AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

# 목 차

---

<b>HBM4 TSV 공정 단계별 검사 프로세스 및 결함 분석 보고서</b>	<b>3</b>
개요 및 HBM4 기술 트렌드 . . . . .	3
TSV 형성 및 식각(Etch) 공정 검사 . . . . .	4
TSV 충전(Filling) 및 평탄화(CMP) 검사 . . . . .	5
적층(Stacking) 및 본딩(Bonding) 검사 프로세스 . . . . .	7
주요 결함 유형 및 분석(Defect Analysis) . . . . .	9
차세대 검사 기술 및 솔루션 . . . . .	11
결론 및 향후 시사점 . . . . .	12

# HBM4 TSV 공정 단계별 검사 프로세스 및 결함 분석 보고서

차세대 HBM4의 핵심 기술인 TSV(Through-Silicon Via) 공정의 단계별 검사 체계를 정의하고, 적층 및 본딩 과정에서 발생하는 주요 결함 유형과 이를 해결하기 위한 고도화된 검사 솔루션을 분석합니다.

## 개요 및 HBM4 기술 트렌드

### 1. HBM4의 등장과 기술적 패러다임의 전환

인공지능(AI) 산업의 폭발적인 성장과 함께 고성능 컴퓨팅(HPC), 클라우드 서버, 생성형 AI 모델의 파라미터 수가 급증함에 따라, 데이터 처리 병목 현상(Bottleneck)을 해결하기 위한 초고대역폭 메모리(High Bandwidth Memory, HBM)의 중요성이 그 어느 때보다 강조되고 있습니다. 기존 HBM3 및 HBM3E를 넘어 차세대 표준으로 자리 잡을 HBM4(High Bandwidth Memory Gen 4)는 단순한 용량 확장을 넘어, 구조적·전기적 성능 면에서 비약적인 진화를 목표로 하고 있습니다.

HBM4는 압도적인 데이터 전송 대역폭(최대 1.2TB/s 수준 예상)을 구현하고, 저전력 구조를 통해 전력 효율을 극대화하는 것을 핵심 목표로 삼습니다 [출처: ckhome7108.tistory.com]. 이를 위해 HBM4는 기존의 2D/2.5D 패키징 구조를 넘어선 더욱 고도화된 3D 수직 적층(3D Vertical Stacking) 구조를 채택하고 있으며, 이는 메모리 다이(Die) 간의 연결 밀도를 획기적으로 높이는 결과로 이어집니다 [출처: ckhome7108.tistory.com].

### 2. TSV(Through-Silicon Via) 기술의 핵심적 역할

HBM의 성능을 결정짓는 가장 핵심적인 물리적 요소는 TSV(실리콘 관통 전극, Through-Silicon Via) 기술입니다. TSV는 메모리 다이를 수직으로 관통하는 미세한 통로를 형성하여, 적층된 다이들 사이에서 주 프로세서(GPU/ASIC)와 데이터를 주고받을 수 있는 전기적 통로 역할을 수행합니다 [출처: m.blog.naver.com/rollingfac/223288439696].

HBM4 단계에 접어들면서 TSV 기술은 다음과 같은 기술적 난제에 직면해 있습니다.

- **고집적화 및 미세화(Scaling):** 적층 단수가 높아짐에 따라 동일 면적 내에 더 많은 TSV를 배치해야 하므로, TSV의 직경(Diameter)은 줄어들고 피치(Pitch)는 더욱 조밀해져야 합니다.
- **고종횡비 식각(High Aspect Ratio Etch):** 다이의 두께는 유지되거나 얇아지는 반면, TSV의 밀도는 높아지면서 식각 공정에서 매우 높은 종횡비(Aspect Ratio)를 가진 홀(Hole)을 형성해야 하는 기술적 난도가 급격히 상승합니다 [출처: threads.com/@semicongram/post/DXeOR36kp5G].
- **신호 무결성(Signal Integrity) 및 전력 효율:** 데이터 전송 속도가 빨라짐에 따라 TSV를 통한 신호 지연(Latency)을 최소화하고, 전력 소모를 줄이기 위한 구조적 최적화가 필수적입니다.

### 3. HBM4 공정 변화에 따른 검사(Inspection)의 필수성

HBM4의 구조가 복잡해지고 적층 기술이 고도화됨에 따라, 제조 공정 중 발생하는 미세 결함이 전체 수율(Yield)에 미치는 영향력이 기하급수적으로 커지고 있습니다. 기존의 평면적인 패키징 검사 방식으로는 3D 구조 내부에서 발생하는 결함을 탐지하는 데 한계가 명확합니다.

특히, 다음과 같은 공정 단계에서의 정밀 검사는 HBM4 양산 수율 확보를 위한 필수 전제 조건입니다.

구분	주요 검사 대상	결함 발생 시 영향
TSV 형성 단계	식각 프로파일, 홀 깊이, 종횡비	전기적 연결 불량(Open), 데이터 전송 오류

층전 및 평탄화 단계	Cu(구리) 층전 상태, Void(빈 공간), 표면 거칠기	저항 증가, 열 방출 저하, 신뢰성 문제
적층 및 본딩 단계	다이 정렬(Alignment), 본딩 계면 결함	물리적 박리(Delamination), 전기적 단락(Short)

HBM4는 적층된 다이 사이의 연결을 위해 기존의 범프(Bump) 방식 외에도 **하이브리드 본딩(Hybrid Bonding)** 기술 도입이 논의되고 있습니다. 하이브리드 본딩은 기존 TSV 방식 대비 열 저항을 감소시키고 신호 지연을 최소화할 수 있는 장점이 있으나, 극도로 미세한 표면 제어와 결함 없는 접합이 요구되므로 검사 난도는 더욱 높아질 전망입니다 [출처: [instagram.com/p/DLZe003yq1x/](https://www.instagram.com/p/DLZe003yq1x/)].

결론적으로, HBM4 시대의 경쟁력은 얼마나 정밀하게 TSV 및 적층 공정의 결함을 실시간으로 포착하고, 이를 통해 수율을 방어할 수 있는 **통합 검사 솔루션(Integrated Inspection Solution)**을 보유하느냐에 달려 있습니다. 본 보고서에서는 이러한 기술적 흐름을 바탕으로 HBM4의 공정 단계별 상세 검사 프로세스와 결함 분석 메커니즘을 심도 있게 다루고자 합니다.

## TSV 형성 및 식각(Etch) 공정 검사

HBM4(High Bandwidth Memory Gen 4)의 고집적화가 가속화됨에 따라, 메모리 다이(Die)를 수직으로 관통하여 전기적 연결을 확보하는 TSV(Through-Silicon Via) 공정의 난이도는 비약적으로 상승하고 있습니다. 특히 HBM4 단계에서는 적층 단수가 증가하고 데이터 전송 대역폭이 최대 1.2TB/s에 달할 것으로 예상됨에 따라, TSV의 물리적 형상과 전기적 연결성을 결정짓는 식각(Etch) 공정의 정밀도가 전체 수율(Yield)을 좌우하는 핵심 변수로 작용하고 있습니다. 본 섹션에서는 HAR(High Aspect Ratio) 식각 공정에서의 주요 검사 항목과 프로파일 검증 기술을 심도 있게 분석합니다.

### 1. HAR(High Aspect Ratio) Etch 공정의 기술적 난제

TSV 형성의 첫 단계인 식각 공정은 실리콘(Si) 기판에 매우 깊고 좁은 구멍을 뚫는 과정입니다. HBM4와 같은 차세대 제품에서는 적층 단수가 높아짐에 따라 TSV의 종횡비(Aspect Ratio, 깊이 대비 구멍의 직경 비율)가 극도로 높아지는 **HAR(High Aspect Ratio) Etch** 이슈가 발생합니다.

종횡비가 높아질수록 식각 가스(Etchant Gas)가 바닥면까지 균일하게 도달하기 어려워지며, 식각 부산물(By-product)이 배출되는 과정에서 병목 현상이 발생합니다. 이는 식각 속도의 저하뿐만 아니라, 하단부로 갈수록 식각 프로파일이 휘어지거나 좁아지는 현상을 초래합니다. 따라서 식각 공정 검사에서는 단순히 구멍이 뚫렸는지 여부를 넘어, 설계된 목표치에 부합하는 **Via Profile**과 **Etch Depth**를 확보했는지를 정밀하게 검증해야 합니다.

### 2. 핵심 검사 지표 및 관리 항목

HAR 식각 공정의 건전성을 확보하기 위해서는 다음과 같은 핵심 물리적 수치에 대한 엄격한 제어가 필요하며, 이를 검증하기 위한 고도화된 검사 프로세스가 수행되어야 합니다.

검사 항목 (Inspection Item)	정의 및 중요성	주요 결함 및 관리 목표
Via Profile (프로파일 형상)	식각된 구멍의 측벽(Sidewall) 기울기 및 형상	<b>Bowing</b> (중간부 팽창), <b>Tapering</b> (하단부 급격히 좁아짐) 방지
Etch Depth (식각 깊이)	실리콘 기판 내 식각된 수직 깊이	<b>Under-etch</b> (미달 식각) 방지 및 완전 관통 확인

CD Control (Critical Dimension)	식각된 Via의 입구 및 내부 직경 제어	CD Variation(직경 불균일) 최소화 및 균일도 확보
Etch Rate (식각 속도)	단위 시간당 식각되는 깊이의 정밀도	공정 택타임(Tact Time) 최적화 및 균일한 식각 유도

#### 2.1 Via Profile 및 측벽 형상 검증

식각 과정에서 측벽이 수직(Vertical)을 유지하지 못하고 배가 부풀어 오르는 **Bowing** 현상이 발생하면, 이후 진행될 Cu(구리) 충전(Filling) 공정에서 Void(빈 공간)가 발생할 확률이 매우 높아집니다. 반대로 하단부가 지나치게 좁아지는 **Tapering** 현상이 발생하면, 식각 가스의 도달이 차단되어 하단부가 완전히 뚫리지 않는 미관통 결함이 발생할 수 있습니다. 이를 검사하기 위해 고해상도 SEM(Scanning Electron Microscope) 또는 광학적 단면 분석 기술이 활용됩니다.

#### 2.2 Etch Depth 및 미관통(Under-etch) 분석

HBM4의 고대역폭 구현을 위해서는 TSV가 웨이퍼를 완전히 관통하여 반대편의 금속층과 연결되어야 합니다. 식각 깊이가 설계치보다 얇을 경우(Under-etch), 전기적 연결이 불가능한 Open 불량이 발생합니다. 특히 HAR 공정에서는 바닥면의 식각 에너지가 감소하는 특성이 있으므로, 깊이에 따른 식각 균일도(Uniformity)를 측정하는 것이 필수적입니다.

#### 2.3 CD(Critical Dimension) Control의 정밀도

TSV의 입구 직경(Top CD)과 바닥 직경(Bottom CD)의 차이를 관리하는 것은 매우 중요합니다. CD가 불균일하면 후속 공정인 Liner 증착(Deposition) 및 Cu Electroplating(전해 도금) 공정에서 물리적/전기적 불균형을 야기합니다. 예를 들어, CD가 너무 작으면 충전 과정에서 입구가 먼저 막히는 'Bottleneck' 현상이 발생하여 내부 Void를 유발할 수 있습니다.

3. 공정 변수와 검사 기술의 상관관계

식각 공정의 품질은 식각 가스의 유량, 플라즈마(Plasma) 밀도, 그리고 RF(Radio Frequency) 파워 등 다양한 변수에 의해 결정됩니다. 최근에는 식각 공정의 효율을 높이기 위해 **HAR Etch**와 함께 **ALD(Atomic Layer Deposition)** 기술을 활용하여 TSV 내부에 매우 얇고 균일한 절연막(Insulator)을 형성하는 기술이 병행됩니다.

이러한 공정 흐름에서 검사 장비는 다음과 같은 역할을 수행해야 합니다.

1. **실시간 모니터링**: 식각 중 발생하는 플라즈마의 상태나 부산물의 양을 측정하여 공정 이상을 조기에 감지합니다.
2. **파괴/비파괴 검사 병행**: TEM(Transmission Electron Microscope)을 이용한 원자 단위의 파괴 검사와, 비파괴 방식의 광학적/전기적 검사를 통해 공정 마진(Process Margin)을 확보합니다.
3. **데이터 피드백**: 식각 후 측정된 CD 및 Profile 데이터를 식각 장비(Etcher)의 파라미터 조정값으로 피드백하여 자동화된 공정 제어(APC, Advanced Process Control)를 구현합니다.

결론적으로, HBM4의 성공적인 양산을 위해서는 HAR 식각 공정에서 발생하는 미세한 프로파일 변화와 CD 불균일성을 실시간으로 감지하고, 이를 정량화할 수 있는 고정밀 검사 솔루션의 도입이 필수적입니다. 이는 단순히 불량을 잡아내는 것을 넘어, 공정의 산포(Variation)를 줄여 수율을 극대화하는 핵심적인 전략적 자산이 될 것입니다.

TSV 충전(Filling) 및 평탄화(CMP) 검사

HBM4와 같은 초고대역폭 메모리 제조 공정에서 TSV(Through-Silicon Via) 형성 이후 진행되는 Cu(구리) 충전(Filling) 및 CMP(Chemical Mechanical Polishing) 공정은 적층 구조의 전기적 연결성과 물리적 신뢰성을 결정짓는 핵심 단계입니다. TSV 내부를 전도성이 높은 구리로 완전히 채우는 과정에서 발생하는 미세 결함은 최종

패키지의 전기적 특성을 저하시키며, 이후 진행되는 평탄화 공정의 정밀도는 후속 본딩(Bonding) 공정의 수율과 직결됩니다. 본 섹션에서는 Cu Filling 과정에서의 Void(공극) 발생 메커니즘과 이를 검출하기 위한 기술적 접근, 그리고 CMP 공정 후의 표면 품질(Surface Roughness) 관리 방안을 심도 있게 분석합니다.

### 1. Cu Filling 공정 및 Void(공극) 결함 분석

TSV 내부를 구리로 채우는 과정은 주로 전해 도금(Electroplating) 방식을 통해 이루어집니다. HBM4의 고집적화에 따라 TSV의 종횡비(Aspect Ratio)가 급격히 높아짐에 따라, 구리 이온이 TSV 바닥면까지 균일하게 도달하지 못하거나 입자 성장 과정에서 내부 공간이 갇히는 현상이 빈번하게 발생합니다.

#### 1.1 Void 발생 메커니즘 및 유형

Cu Filling 시 발생하는 Void는 크게 두 가지 형태로 구분됩니다. 첫째는 **Bottom-up Filling 실패**로, TSV 입구(Top) 부분이 먼저 폐쇄되면서 내부 중심부에 기포나 미충전 공간이 남는 현상입니다. 이는 전기적 저항(Resistance)을 급격히 증가시키거나, Open(단선) 결함으로 이어져 전체 칩의 불량률을 초래합니다. 둘째는 **Grain Boundary(결정립계) 결함**입니다. 구리 결정이 성장하는 과정에서 결정립계 사이에 미세한 틈이 생기며, 이는 외부 충격이나 열팽창 시 Crack(균열)의 기점이 됩니다.

#### 1.2 Void 검출을 위한 검사 기술

TSV 내부의 Void는 실리콘(Si) 기판에 가려져 일반적인 광학 검사(Optical Inspection)로는 확인이 불가능합니다. 따라서 다음과 같은 고도화된 비파괴 검사 기법이 요구됩니다.

검사 기법	검사 원리	주요 검출 대상	장점 및 한계
초음파 검사 (Ultrasonic)	초음파 파동의 반사 및 감쇠 특성 이용	내부 Void, Delamination(박리)	비파괴 검사가 가능하나, 미세한 크기의 Void 검출에는 해상도 한계 존재
X-ray / CT 검사	물질의 밀도 차이에 따른 X선 투과율 이용	Cu 충전 상태, 대형 Void	3차원 구조 분석이 가능하나, 고해상도 구현을 위해 고에너지 소스 필요
전기적 분석 (E-Test)	I-V(전류-전압) 특성 및 저항 측정	Open/Short, 저항 불량	결함의 존재는 확실히 알 수 있으나, 정확한 물리적 위치 파악이 어려움

### 2. CMP(Chemical Mechanical Polishing) 공정 및 표면 품질 관리

Cu Filling이 완료된 후, TSV 상단의 과도한 구리를 제거하고 후속 공정을 위해 웨이퍼 표면을 평탄하게 만드는 CMP 공정이 수행됩니다. HBM4의 적층 단수가 높아질수록 CMP 공정의 정밀도는 더욱 엄격하게 요구됩니다.

#### 2.1 CMP 공정의 주요 관리 지표: Surface Roughness (표면 거칠기)

CMP 공정의 목적은 단순한 평탄화(Planarization)를 넘어, 나노미터(nm) 단위의 표면 거칠기(Surface Roughness)를 제어하는 것입니다. 표면 거칠기가 관리 범위를 벗어날 경우 다음과 같은 치명적인 문제가 발생합니다.

- **Bonding 불량:** 차세대 하이브리드 본딩(Hybrid Bonding) 기술 적용 시, 표면의 미세한 요철은 접합 면적을 감소시켜 접합 강도를 약화시키고 전기적 연결을 방해합니다.
- **Dishing 및 Erosion 현상:** 연마 과정에서 구리(Cu) 패턴이 주변 절연막(Dielectric)보다 더 깊게 파이는 Dishing 현상이나, 주변 패턴이 깎여 나가는 Erosion 현상이 발생하면 TSV 상단의 높이(Height) 불균일이 초래됩니다.

이는 적층 시 다이 간의 간격(Gap) 불일치를 유발합니다.

### 2.2 CMP 결함 유형 및 분석

CMP 공정에서는 화학적 반응과 기계적 마찰이 동시에 일어나므로, 이들 사이의 균형이 깨질 경우 다양한 결함이 나타납니다.

결함 유형	발생 원인	영향 및 결과
Dishing	Cu와 절연막 간의 연마 속도(Removal Rate) 차이	TSV 상단 높이 불일치, 본딩 신뢰성 저하
Scratches	연마 슬러리(Slurry) 내 이물질 또는 Pad의 오염	표면 손상에 의한 누설 전류(Leakage Current) 증가
Erosion	과도한 화학적/기계적 연마 압력	패턴 주변의 절연막 손상 및 구조적 불안정

### 3. HBM4 수율 확보를 위한 통합 검사 전략

HBM4의 고성능화에 대응하기 위해서는 Cu Filling과 CMP 공정을 개별적으로 검사하는 것을 넘어, 공정 간의 상관관계를 고려한 통합적 검사 체계가 구축되어야 합니다.

#### 3.1 인라인(In-line) 실시간 모니터링의 중요성

CMP 공정 중 실시간으로 표면 상태를 모니터링할 수 있는 비접촉식 광학 계측(Metrology) 기술이 필수적입니다. 웨이퍼의 국부적인 두께(Thickness) 변화와 거칠기를 실시간으로 피드백하여 연마 시간과 압력을 조절함으로써, 공정 산포를 최소화해야 합니다.

#### 3.2 데이터 기반의 결함 예측 모델 적용

Cu Filling 단계에서 측정된 Void의 분포 데이터와 CMP 후의 표면 프로파일 데이터를 통합 분석함으로써, 특정 공정 파라미터가 최종 제품의 신뢰성에 미치는 영향을 예측할 수 있습니다. 예를 들어, Filling 단계에서 미세한 Void가 관찰된 영역은 CMP 공정 시 Dishing 발생 확률이 높으므로, 해당 웨이퍼에 대한 후속 검사 강도를 높이는 식의 지능형 검사 전략(Intelligent Inspection Strategy)이 요구됩니다.

결론적으로, HBM4의 TSV 공정에서 Cu Filling의 완결성과 CMP의 표면 정밀도는 단순한 공정 관리를 넘어, 차세대 패키징 기술의 성패를 가르는 핵심 요소입니다. 따라서 고해상도 3D X-ray 검사와 초정밀 광학 계측 기술의 결합을 통한 다각적 검사 프로세스 확립이 반드시 선행되어야 합니다.

### 적층(Stacking) 및 본딩(Bonding) 검사 프로세스

HBM4(High Bandwidth Memory Gen 4)의 기술적 패러다임이 변화함에 따라, 개별 DRAM 다이를 수직으로 쌓아 올리는 적층(Stacking) 및 이를 전기적으로 연결하는 본딩(Bonding) 공정의 정밀도는 전체 수율을 결정짓는 핵심 요소가 되었습니다. HBM4는 이전 세대 대비 압도적인 대역폭(최대 1.2TB/s)과 고집적도를 지향하므로, 적층 단계에서의 미세한 오차는 곧바로 데이터 전송 오류나 열 방출 저하로 직결됩니다 [출처: ckhome7108.tistory.com]. 본 섹션에서는 Die Stacking 및 Bonding 공정에서 발생하는 주요 검사 항목과 기술적 난제, 그리고 결함 유형에 대해 심층적으로 분석합니다.

#### 1. Die Stacking 및 Alignment 검사 (정렬 정밀도 검증)

적층 공정의 첫 단계는 하부 다이(Bottom Die) 위에 상부 다이(Top Die)를 정확한 위치에 배치하는 것입니다. HBM4와 같이 TSV(Through-Silicon Via)를 통해 수많은 입출력(I/O) 단자가 형성된 구조에서는, 상하부 다이의 TSV 중심축이 수  $\mu\text{m}$  이내의 오차로 일치해야 합니다.

### 1.1 Alignment Error(정렬 오차) 분석

적층 시 발생하는 정렬 오차는 크게 X-Y축 평면 오차와 Z축 높이 오차(Tilt/Warpage)로 구분됩니다.

- **X-Y Plane Misalignment:** 다이가 설계된 위치에서 벗어나 정렬될 경우, TSV와 패드(Pad) 간의 접촉 면적이 감소하거나 아예 접촉하지 못하는 불량이 발생합니다. 이는 신호 무결성(Signal Integrity) 저하 및 저항 증가의 원인이 됩니다.
- **Z-axis Tilt & Warpage:** 웨이퍼나 다이의 휨(Warpage) 현상으로 인해 적층 시 수평이 맞지 않으면, 특정 영역의 본딩 압력이 불균일해집니다. 이는 국부적인 본딩 결함이나 후속 공정에서의 크랙(Crack)을 유발하는 치명적인 요인입니다.

### 1.2 검사 기술의 요구사항

HBM4의 고적층 구조에서는 상부 다이가 쌓일수록 하부 다이를 관찰하기 어려워지는 '차폐(Shadowing) 효과'가 발생합니다. 따라서 고해상도 머신비전(Machine Vision)과 고정밀 정렬 알고리즘을 결합하여, 적층 전 단계에서 각 다이의 마크(Alignment Mark)를 실시간으로 트래킹하고 보정하는 기술이 필수적입니다.

## 2. Bonding Interface 및 Hybrid Bonding 기술 검사

HBM4로 진화하면서 기존의 솔더 범프(Solder Bump)를 이용한 방식에서 구리(Cu)와 구리를 직접 붙이는 하이브리드 본딩(Hybrid Bonding) 기술로의 전환이 가속화되고 있습니다. 하이브리드 본딩은 범프가 없는 구조(Bumpless)를 지향하므로, 본딩 계면(Interface)의 상태가 매우 민감하게 관리되어야 합니다.

### 2.1 Hybrid Bonding의 특성과 검사 난제

하이브리드 본딩은 기존 TSV 방식 대비 열 저항을 감소시키고 신호 지연(Latency)을 최소화하며, 적층 안정성을 향상시키는 장점이 있습니다 [출처: instagram.com]. 하지만 이를 구현하기 위해서는 극도로 깨끗한 표면 상태와 원자 단위의 평탄도가 요구됩니다.

구분	기존 Bump Bonding (Micro Bump)	차세대 Hybrid Bonding
연결 매개체	Solder Bump (Cu/Sn 등)	Cu-to-Cu Direct Bonding
피치(Pitch) 간격	상대적으로 넓음 (수십 $\mu\text{m}$ )	매우 좁음 (수 $\mu\text{m}$ 이하)
본딩 계면 특성	범프의 용융을 통한 접합	표면 확산(Diffusion) 및 기계적 압착
주요 결함	Solder Void, Bridging, Non-wet	Surface Contamination, Cu-Protrusion, Void
검사 난이도	상대적으로 낮음 (X-ray 등 활용)	매우 높음 (초고해상도 광학 및 전기적 검사)

### 2.2 Bonding Interface 결함 유형

- **Void (기포/빈 공간):** 본딩 계면 사이에 미세한 공기층이나 불순물이 갇히는 현상입니다. 하이브리드 본딩에서 Void는 전기적 단절(Open)뿐만 아니라, 열 방출 경로를 차단하여 국부적 핫스팟(Hot-spot)을 형성하는 주요 원인이 됩니다.

- **Contamination (오염):** 표면에 잔류하는 유기물이나 파티클(Particle)은 본딩 시 접합력을 급격히 떨어뜨립니다. 이는 미세한 크기의 접합 불량을 양산합니다.
- **Cu Protrusion (구리 돌출):** CMP(Chemical Mechanical Polishing) 공정 이후 Cu의 미세한 돌출이 제어되지 않으면, 본딩 시 압력 불균형을 초래하여 주변 계면의 결함을 유발할 수 있습니다.

### 3. 적층 후 신뢰성 및 전기적 검사 (Post-Stacking Inspection)

다이 적층과 본딩이 완료된 후에는 물리적 상태뿐만 아니라, 전기적 연결성이 확보되었는지 확인하는 과정이 수반되어야 합니다.

#### 3.1 전기적 특성 검사 (Electrical Test)

적층된 HBM4는 수천 개의 I/O를 가집니다. 본딩 불량으로 인한 Open(단선)이나 Short(단락)를 찾아내기 위해 고속 전기적 프로빙(Probing) 기술이 사용됩니다. 특히, HBM4의 고대역폭 특성을 검증하기 위해 신호의 파형(Waveform) 분석 및 임피던스(Impedance) 매칭 여부를 확인하는 정밀 테스트가 수행됩니다.

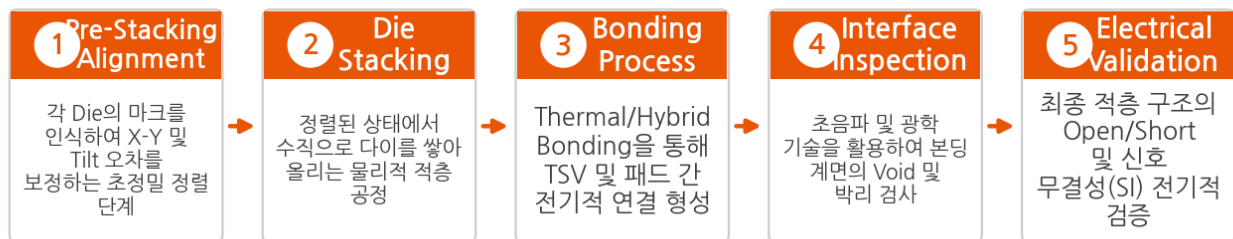
#### 3.2 비파괴 검사 기법의 활용

적층된 구조 내부의 결함을 파괴하지 않고 확인하기 위해 다음과 같은 기술이 병행됩니다.

- **초음파 검사 (Ultrasonic Inspection):** 본딩 계면의 박리(Delamination)나 내부 Void를 감지하는 데 탁월합니다.
- **전자기적 분석 (EM Analysis):** TSV 및 본딩 라인의 전기적 경로를 비파괴적으로 분석하여 미세한 결함을 추적합니다.
- **광학 검사 (Optical Inspection):** 고배율 현미경 및 머신비전 알고리즘을 통해 적층된 다이의 외관 및 정렬 상태를 모니터링합니다. [출처: blog.naver.com/woowontechology]

결론적으로, HBM4의 적층 및 본딩 공정 검사는 단순한 외관 검사를 넘어, '초미세 정렬(Nano-scale Alignment) - 계면 무결성(Interface Integrity) - 전기적 성능(Electrical Performance)'을 통합적으로 관리하는 고도화된 프로세스로 진화하고 있습니다.

## HBM4 적층 및 본딩 검사 워크플로우



### 주요 결함 유형 및 분석(Defect Analysis)

HBM4(High Bandwidth Memory Gen 4)로의 진화는 데이터 전송 대역폭의 극대화와 적층 단수의 증가를 동반하며, 이는 TSV(Through-Silicon Via) 공정의 난이도를 비약적으로 상승시켰습니다. HBM4는 최대 1.2TB/s의 압도적인 대역폭을 목표로 하며, 이를 위해 더 미세한 피치(Pitch)와 고단 적층 구조를 채택하고 있습니다 [출처: Hbm4 메모리의 패키징 기술 - 3d 스택과 Tsv 구조 분석]. 공정의 미세화와 적층 수가 늘어남에 따라, 단 하나의 TSV 결함만으로도 전체 스택(Stack)의 전기적 특성을 저하시키거나 전체 수율(Yield)을 무너뜨리는 치명적인 결과를

초래할 수 있습니다. 본 섹션에서는 HBM4 제조 공정 중 발생 가능한 주요 결함 메커니즘을 전기적, 구조적, 물리적 관점에서 심층 분석합니다.

## 1. 전기적 결함(Electrical Defect): Short 및 Open 메커니즘

TSV는 메모리 다이(Die) 사이를 수직으로 연결하여 신호를 전달하는 핵심 통로입니다. 이 경로에서 발생하는 전기적 결함은 크게 Open(단선)과 Short(단락)로 구분됩니다.

### 1.1 Open Defect (단선 결함)

Open 결함은 전류의 흐름이 끊기는 현상으로, 주로 TSV 내부의 충전(Filling) 불량이나 접합(Bonding) 부위의 불완전성에서 기인합니다.

- **Void 발생에 의한 단선:** TSV 형성 후 Cu(구리)를 채우는 전해 도금(Electroplating) 과정에서 가스 배출이 원활하지 않거나 전류 밀도 제어에 실패할 경우, TSV 내부 또는 상단부에 미세한 빈 공간인 Void(공극)가 형성됩니다 [출처: HBM 결함 검사 (Inspection) - 네이버 블로그]. 이 Void가 전도성 경로를 차단하면 전기적 Open 상태가 됩니다.
- **접합부 미연결:** 적층(Stacking) 공정에서 본딩(Bonding) 시 압력이나 온도가 불균일할 경우, 상하부 다이 사이의 인터커넥트(Interconnect)가 물리적으로 맞닿지 않아 전기적 신호 전달이 불가능해집니다.

### 1.2 Short Defect (단락 결함)

Short 결함은 인접한 TSV 간 혹은 TSV와 주변 회로 간에 원치 않는 전기적 연결이 발생하는 현상입니다.

- **Metal Bridging:** TSV 형성 및 평탄화(CMP) 공정에서 잔류한 구리(Cu) 입자가 절연막(Insulator)을 뚫고 인접한 TSV 사이를 연결하는 현상입니다. 이는 특히 HBM4와 같이 TSV 피치가 미세화된 구조에서 더욱 빈번하게 발생합니다.
- **Contamination(오염):** 공정 중 유입된 금속 불순물이 절연층을 파괴하거나 전도성 경로를 형성하여 누설 전류(Leakage Current)를 유발하고, 결과적으로 Short 결함으로 이어집니다.

## 2. 구조적 및 물리적 결함(Structural & Physical Defect)

HBM4의 고단 적층 구조는 열팽창 계수(CTE) 차이와 물리적 응력(Stress)에 매우 취약합니다. 이는 미세 크랙 및 박리 현상으로 나타납니다.

### 2.1 Micro-crack (미세 크랙)

TSV 공정은 실리콘(Si) 웨이퍼에 깊은 구멍을 뚫는 HAR(High Aspect Ratio) 식각 공정을 포함합니다. 이 과정에서 발생하는 기계적 충격과 이후의 열처리 과정은 실리콘 기판에 미세한 균열을 생성할 수 있습니다.

- **발생 원인:** 식각 시 발생하는 열 응력, CMP(Chemical Mechanical Polishing) 공정 중의 과도한 연마 압력, 그리고 적층 후 작동 시 발생하는 열 사이클(Thermal Cycle)이 주요 원인입니다.
- **위험성:** 미세 크랙은 육안이나 일반 광학 검사로는 식별이 어려우나, 시간이 경과함에 따라 크랙이 전파(Propagation)되어 다이 전체를 파손시키거나 전기적 단락을 유발하는 시한폭탄 역할을 합니다.

### 2.2 Delamination (박리/층간 분리)

적층된 다이 사이의 인터페이스나 TSV 주변의 절연막이 떨어져 나가는 현상입니다.

- **메커니즘:** HBM4는 고성능 컴퓨팅(HPC) 환경에서 작동하므로 발열량이 매우 높습니다. 서로 다른 재료(Si, Cu, Dielectric) 간의 열팽창 계수(CTE) 불일치로 인해 계면에 전단 응력(Shear Stress)이 누적되면, 계면 접착력이 약해지며 층간 분리가 발생합니다 [출처: 각 내용을 핵심별로 정리해 설명드릴게요. - Instagram].
- **Underfill 결함과의 연관성:** 적층 시 다이 사이의 간극을 채워주는 언더필(Underfill) 공정이 불완전할 경우, 내부 공극이 형성되어 열 방출을 방해하고, 이는 국부적인 온도 상승을 유발하여 박리를 가속화하는 악순환을

만듭니다.

### 3. 결함 유형별 비교 분석 요약

HBM4 공정에서 발생하는 주요 결함의 특성을 정리하면 다음과 같습니다.

결함 유형	주요 발생 공정	주요 메커니즘	검사 핵심 포인트	영향도
Open (단선)	TSV Filling, Bonding	Void 형성, 접합 불량	전기적 연속성, X-ray/초음파	Critical (기능 상실)
Short (단락)	CMP, Etch, Metal Deposition	Metal Bridging, 오염물 유입	절연 저항, 누설 전류 측정	Critical (회로 파손)
Micro-crack	Etch, CMP, Thermal Cycle	기계적/열적 응력	초음파(Ultrasonic), 광학 분석	High (신뢰성 저하)
Delamination	Stacking, Underfill	CTE 불일치, 접착력 약화	Acoustic Microscopy, 열화상	High (수명 단축)
Void (공극)	TSV Filling, Underfill	가스 배출 불량, 충전 미흡	3D X-ray, CT 검사	Medium/High (열/전기 특성 저하)

### 4. 결함 분석을 위한 기술적 시사점

HBM4의 결함은 단일 공정의 문제라기보다, 공정 간의 상호작용(Interaction)에 의해 복합적으로 발생하는 경향이 있습니다. 예를 들어, 식각(Etch) 단계에서의 미세한 프로파일 불량이 충전(Filling) 단계에서의 Void를 유발하고, 이것이 최종 적층 단계에서 열적 응력을 가해 박리(Delamination)로 이어지는 식입니다.

따라서 차세대 검사 솔루션은 단순히 결함의 유무를 판단하는 것을 넘어, **결함의 근원(Root Cause)을 추적할 수 있는 다차원적 분석 능력**을 갖추어야 합니다. 광학(Optical)을 통한 표면 결함 검사, 전자기(EM) 및 전기적 특성 분석을 통한 Open/Short 판별, 그리고 초음파(Ultrasonic)를 활용한 내부 구조(Void, Delamination) 분석이 통합된 멀티모달(Multi-modal) 검사 체계 구축이 HBM4 수율 확보의 핵심 과제입니다 [출처: HBM 결함 검사 (Inspection) - 네이버 블로그].

## 차세대 검사 기술 및 솔루션

HBM4(High Bandwidth Memory Gen 4)로의 진화는 단순한 적층 단수의 증가를 넘어, 데이터 전송 대역폭의 극대화(최대 1.2TB/s 수준)와 초고집적 3D 수직 적층 구조를 요구합니다 [출처: ckhome7108.tistory.com]. 이러한 구조적 변화는 기존의 검사 방식으로는 포착하기 어려운 미세 결함을 양산합니다. 따라서 HBM4의 수율(Yield) 확보를 위해서는 광학(Optical), 전자기(EM), 초음파(Ultrasonic)를 결합한 다각적 비파괴 검사(Non-destructive Testing, NDT) 기술과 AI 기반의 지능형 비전 솔루션이 필수적입니다.

### 1. 물리적 특성 기반의 다중 검사 기법(Multi-modal Inspection)

HBM4의 복잡한 적층 구조 내부에 존재하는 결함을 검출하기 위해서는 단일 검사 방식이 아닌, 물리적 파동 및 전자기적 특성을 이용한 복합적인 접근이 필요합니다.

검사 방식	주요 원리 및 특징	적용 대상 결함	비고
-------	------------	----------	----

광학 검사 (Optical Inspection)	가시광선 및 UV 파장을 이용한 고해상도 이미지 획득	표면 스크래치, 미세 파티클, 정렬(Alignment) 오류	초고속 양산 라인 적합
초음파 검사 (Acoustic Microscopy)	초음파(Ultrasonic)의 투과 및 반사 특성 활용 (SAM)	다이 간 박리(Delamination), Void, 내부 크랙	내부 비파괴 검사 핵심
전자기 검사 (Electromagnetic/Electrical)	전자기파(EM) 유도 또는 전기적 신호 분석	TSV Open/Short, 저항(Resistance) 불량	전기적 신뢰성 검증

**가. 광학 검사(Optical Inspection) 및 AI 비전(AI Vision)의 결합**

고해상도 광학 검사는 HBM4의 본딩(Bonding) 단계에서 발생하는 정렬(Alignment) 오차를 실시간으로 감시하는 데 핵심적인 역할을 합니다. 특히, HBM4에서 도입되는 하이브리드 본딩(Hybrid Bonding) 기술은 기존 범프(Bump)를 사용하는 방식보다 훨씬 미세한 Cu-to-Cu 접합을 요구하므로, 나노미터(nm) 단위의 해상도를 가진 초정밀 광학 시스템이 요구됩니다. 여기에 **AI 비전 알고리즘**을 적용하면, 단순한 패턴 매칭을 넘어 미세한 표면 거칠기(Roughness) 변화나 육안으로 식별이 어려운 미세 결함을 딥러닝 기반으로 판별하여 검사 정확도를 획기적으로 높일 수 있습니다.

**나. 초음파 현미경(Scanning Acoustic Microscopy, SAM) 기술**

HBM4는 수많은 DRAM 다이가 수직으로 적층된 구조이므로, 적층 내부(Internal)에서 발생하는 결함을 파악하는 것이 매우 어렵습니다. 초음파 검사는 초음파가 서로 다른 매질의 계면(Interface)에서 반사되는 성질을 이용하여, 다이와 다이 사이의 미세한 공극(Void)이나 층간 박리(Delamination)를 비파괴적으로 검출합니다. 이는 패키징 공정 중 발생하는 열 응력(Thermal Stress)에 의한 물리적 손상을 파악하는 데 필수적입니다.

**다. 전자기 및 전기적 분석(EM & Electrical Analysis)**

TSV(Through-Silicon Via)는 HBM의 데이터 통로 역할을 수행하므로, 전자기적 특성 분석을 통해 신호 지연(Signal Delay)이나 임피던스(Impedance) 불일치를 사전에 차단해야 합니다. 전자기파를 이용한 비파괴 검사는 내부의 금속 배선 구조를 투과하여 전기적 연결성을 간접적으로 검증할 수 있는 차세대 솔루션으로 주목받고 있습니다.

**2. 차세대 검사 솔루션의 기술적 요구사항**

HBM4 공정의 고도화에 따라 검사 장비가 갖추어야 할 핵심 기술적 지표는 다음과 같습니다.

- **초고해상도 및 초정밀도(Ultra-high Resolution):** 하이브리드 본딩 및 미세 TSV 대응을 위해  $\mu\text{m}$  단위를 넘어 nm 단위의 분해능을 확보해야 합니다.
- **검사 속도(Throughput) 최적화:** 적층 단수가 높아짐에 따라 검사해야 할 데이터 양이 기하급수적으로 증가하므로, 대용량 데이터를 실시간으로 처리할 수 있는 고속 스캐닝 기술과 병렬 처리 알고리즘이 필수적입니다.
- **비파괴 검사(Non-destructive Testing)의 신뢰성:** 제품의 물리적 손상 없이 내부 결함을 완벽히 시각화할 수 있는 고감도 센서 기술이 요구됩니다.
- **데이터 통합 및 예측(Data Integration & Predictive Maintenance):** 검사 과정에서 수집된 방대한 양의 데이터를 공정 데이터와 연계하여, 결함 발생의 근본 원인(Root Cause)을 분석하고 공정 변수를 제어하는 지능형 피드백 시스템이 구축되어야 합니다.

결론적으로, HBM4의 성공적인 양산은 단순한 제조 기술을 넘어, **광학-초음파-전기적 검사가 통합된 다중 모달(Multi-modal) 검사 솔루션**과 이를 지능화하는 **AI 비전 기술**의 확보 여부에 달려 있습니다.

**결론 및 향후 시사점**

HBM4(High Bandwidth Memory Gen 4)로의 기술적 진화는 단순한 메모리 용량의 확장을 넘어, 3D 수직 적층 구조의 고도화와 데이터 전송 대역폭의 극대화(최대 1.2TB/s 수준)를 목표로 하고 있습니다 [출처: <https://ckhome7108.tistory.com/entry/HBM4-%EB%A9%94%EB%AA%A8%EB%A6%AC%EC%9D%98-%ED%8C%A8%ED%82%A4%EC%A7%95-%EA%B8%B0%EC%88%A0-%E2%80%933D-%EC%8A%A4%ED%83%9D%EA%B3%BC-TSV-%EA%B5%AC%EC%A1%B0-%EB%B6%84%EC%84%9D>]. 이러한 구조적 변화는 TSV(Through-Silicon Via)의 미세화와 적층 단수의 증가를 동반하며, 이는 공정 난이도의 급격한 상승과 함께 미세 결함이 전체 수율(Yield)에 미치는 치명적인 영향을 의미합니다. 따라서 HBM4의 성공적인 양산을 위해서는 기존의 사후 검사 방식에서 벗어난 선제적이고 통합적인 검사 전략(Integrated Inspection Strategy) 수립이 필수적입니다.

본 보고서에서 분석한 공정 단계별 검사 프로세스를 바탕으로, HBM4 수율 확보를 위한 핵심 기술적 제언을 다음과 같이 정리합니다.

첫째, **공정 간 연계형 검사 체계(In-line & Feed-forward Inspection)의 강화**가 필요합니다. HAR(High Aspect Ratio) Etch 공정에서의 프로파일 불량이나 TSV 충전(Filling) 시 발생하는 미세한 Void는 후속 공정인 CMP(Chemical Mechanical Polishing) 및 본딩(Bonding) 단계에서 복합적인 결함으로 전이됩니다. 따라서 각 공정 단계에서 확보된 검사 데이터를 실시간으로 피드백하여, 상위 공정의 파라미터를 즉각적으로 보정할 수 있는 데이터 기반의 지능형 검사 시스템 구축이 요구됩니다.

둘째, **하이브리드 본딩(Hybrid Bonding) 도입에 따른 검사 패러다임의 전환**입니다. HBM4로 갈수록 기존의 솔더 범프(Solder Bump) 방식 대신 TSV 간 직접 연결을 통한 하이브리드 본딩 기술 채택이 가속화될 전망입니다. 이는 열 저항 감소와 신호 지연 최소화라는 강력한 이점을 제공하지만, 접합면의 극미세 평탄도(Planarity)와 이물질(Particle) 제어에 대한 검사 요구 수준을 기하급수적으로 높입니다 [출처: <https://www.instagram.com/p/DLZe003yq1x/>]. 이에 따라 기존 광학 검사를 넘어선 초고해상도 머신 비전(Machine Vision) 및 전자기(EM) 기반의 비파괴 검사 솔루션의 고도화가 병행되어야 합니다.

셋째, **AI 기반의 결함 분류 및 예측(AI-driven Defect Classification & Prediction) 기술의 적용**입니다. 적층 단수가 높아질수록 검사해야 할 데이터의 양은 폭증하며, 결함의 유형 또한 Open/Short, Underfill, 미세 크랙 등 매우 복잡해집니다. 단순한 불량 판정을 넘어, 검출된 결함의 패턴을 분석하여 공정상의 근본 원인(Root Cause)을 역추적할 수 있는 AI 알고리즘의 탑재는 수율 개선(Yield Improvement)의 핵심 동력이 될 것입니다.

결론적으로, HBM4 시장에서의 주도권은 얼마나 정밀하고 신속하게 결함을 제어하느냐에 달려 있습니다. 검사 기술은 더 이상 단순한 품질 확인 단계가 아닌, 공정 최적화와 수율 극대화를 결정짓는 핵심 제조 경쟁력(Manufacturing Competitiveness)으로 정의되어야 합니다.