

삼성전자 HBM4 전환에 따른 검사 기술 동향 및 크레셈 대응 전략 보고서

문서번호 CRSM-AI-2026-AUTO

작성일 2026-07-31

작성 Cressem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

삼성전자 HBM4 전환에 따른 검사 기술 동향 및 크레셈 대응 전략 보고서	3
개요: HBM 시장의 패러다임 변화	3
HBM4 핵심 기술 변화 및 구조적 혁신	4
차세대 패키징 공정 및 기술적 난제	6
HBM4 공정 단계별 검사 요구사항	8
검사 데이터 기반 수율 최적화 솔루션	10
크레셈(CRESSEM)의 기술적 대응 및 제품 로드맵	11
결론 및 시사점	13
참고 자료	14

삼성전자 HBM4 전환에 따른 검사 기술 동향 및 크레셈 대응 전략 보고서

HBM4 전환에 따른 기술적 변곡점과 삼성전자의 공정 전략을 분석하고, 이에 따른 차세대 검사 기술의 요구사항 및 크레셈의 전략적 대응 방안을 제시함.

개요: HBM 시장의 패러다임 변화

AI(Artificial Intelligence) 기술의 폭발적인 성장과 거대언어모델(LLM, Large Language Model)의 확산은 반도체 산업의 중심축을 연산 장치(Processor) 중심에서 데이터 처리 능력(Bandwidth) 중심으로 급격히 이동시키고 있습니다. 기존의 컴퓨팅 환경이 CPU(Central Processing Unit)의 연산 속도에 의존했다면, 현대의 AI 가속기(AI Accelerator) 환경에서는 연산 장치와 메모리 사이의 데이터 전송 속도가 전체 시스템의 성능을 결정짓는 병목 현상(Memory Wall)을 해결하는 것이 최우선 과제가 되었습니다. 이러한 흐름 속에서 고대역폭 메모리(HBM, High Bandwidth Memory)는 AI 가속기, 고성능 컴퓨팅(HPC), 클라우드 데이터센터의 성능을 결정짓는 핵심 부품으로 자리 잡았습니다. 현재 시장은 HBM3E(6세대)의 양산 및 안정화 단계에 진입해 있으나, 산업계의 시선은 이미 차세대 규격인 HBM4(7세대)로 향하고 있습니다. HBM4로의 전환은 단순한 세대 교체를 넘어, 메모리 반도체의 구조적 설계와 패키징 공정의 패러다임을 근본적으로 바꾸는 기술적 변곡점이 될 것으로 전망됩니다.

1. HBM3E에서 HBM4로의 기술적 전환 배경

HBM3E까지의 발전 과정이 주로 D램(DRAM)의 미세화와 적층 단수(Stacking Height)의 증가에 초점을 맞추었다면, HBM4는 데이터 전송 병목 현상을 완전히 해소하기 위한 구조적 혁신을 목표로 합니다. 기존 HBM3E는 데이터 전송 I/O(Input/Output) 핀 수가 1,024개 수준이었으나, HBM4 단계에서는 이 핀 수가 2,048개로 대폭 확대될 예정입니다 [출처: 삼성전자, 세계 최초 업계 최고 성능의 Hbm4 양산 출하]. 이러한 I/O의 확장은 데이터 전송 속도를 비약적으로 향상시키지만, 동시에 전력 소모 급증과 열 집중(Thermal Concentration)이라는 심각한 물리적 난제를 야기합니다.

따라서 HBM4는 단순히 용량을 키우는 것을 넘어, 다음과 같은 세 가지 핵심적인 전환점을 포함합니다.

- **데이터 처리량의 극대화:** I/O 핀 수의 확대를 통해 전작 대비 훨씬 높은 대역폭을 확보함으로써, AI 모델의 규모가 커짐에 따라 발생하는 데이터 병목 현상을 효과적으로 해소합니다 [출처: 삼성전자, 세계 최초 업계 최고 성능의 Hbm4 양산 출하]. 삼성전자의 경우, HBM4를 통해 최대 3,300GB/s에 달하는 대역폭을 구현하여 전 세대 대비 약 2.7배의 성능 향상을 목표로 하고 있습니다 [출처: HBM4 | DRAM | Samsung Semiconductor Global].
- **베이스 다이(Base Die)의 역할 변화:** 기존에는 메모리 다이(DRAM Die)의 특성이 중요했으나, HBM4부터는 최하단에 위치하여 전력과 신호를 제어하는 베이스 다이의 중요성이 극대화됩니다. 특히 삼성전자는 베이스 다이에 4나노(nm)급 최선단 공정을 적용하여 성능과 전력 효율을 동시에 확보하는 전략을 취하고 있습니다 [출처: 삼성전자, 세계 최초 업계 최고 성능의 Hbm4 양산 출하].
- **커스텀 HBM(Customized HBM) 시대의 도래:** 고객사(GPU 제조사 등)의 요구에 맞춰 로직 다이(Logic Die)를 설계하는 '커스텀 HBM' 개념이 도입되면서, 메모리 제조사와 파운드리(Foundry) 간의 협력이 필수적인 요소로 부상하고 있습니다 [출처: Hbm4 기술 완전 정복: 원리, 업체별 현황, 그리고 미래 전망].

2. 산업적 중요성 및 시장의 변화

HBM4로의 전환은 반도체 공급망(Supply Chain) 전체에 거대한 변화를 예고하고 있습니다.

첫째, **공정 난이도의 급상승**입니다. 12단(12-Hi)을 넘어 16단 이상의 고단 적층이 표준화됨에 따라, 적층 시 발생하는 물리적 변형인 Warpage(휨) 제어와 TSV(Through Silicon Via, 실리콘 관통 전극)의 신뢰성 확보가 제품의 성패를 가르는 핵심 요소가 되었습니다 [출처: HBM4 | DRAM | Samsung Semiconductor Global]. 또한,

적층 구조가 복잡해짐에 따라 각 다이 간의 전기적 연결성과 열 방출 효율을 검증하는 것이 더욱 까다로워지고 있습니다.

둘째, **전력 효율성(Power Efficiency)의 결정적 가치**입니다. AI 데이터센터의 운영 비용 중 상당 부분은 전력 소모와 냉각 비용이 차지합니다. HBM4는 데이터 전송 성능을 극대화하면서도, 코어 다이의 저전력 설계와 전력 분배 최적화를 통해 서버 및 데이터센터 단위의 전력 소모를 절감하는 것을 목표로 합니다 [출처: 삼성전자, 세계 최초 업계 최고 성능의 Hbm4 양산 출하]. 이는 고객사의 총 소유 비용(TCO, Total Cost of Ownership) 절감을 위해 필수적인 기술적 요구사항입니다.

셋째, **검사 및 테스트 솔루션의 중요성 증대**입니다. 적층 단수가 높아지고 I/O 핀 수가 두 배로 늘어남에 따라, 단 하나의 불량 다이(Die)나 미세한 연결 결함이 전체 스택을 폐기하게 만드는 수율 저하 리스크가 기하급수적으로 커집니다. 따라서 양산 초기 단계부터 안정적인 수율을 확보하기 위한 고정밀 광학 검사, 신호 무결성(Signal Integrity) 검증, 그리고 AI 기반의 결함 분류 기술은 단순한 보조 도구가 아닌, HBM4 시장 선점을 위한 전략적 핵심 자산이 되었습니다 [출처: 삼성전자, 세계 최초 업계 최고 성능의 Hbm4 양산 출하].

결론적으로, HBM4로의 전환은 AI 반도체의 성능 한계를 돌파하기 위한 필연적인 진화이며, 이 과정에서 발생하는 초미세 공정 및 고난도 패키징 이슈를 해결하는 검사 기술력이 차세대 반도체 패권의 향방을 결정지을 것입니다.

HBM4 핵심 기술 변화 및 구조적 혁신

HBM4(6세대 고대역폭 메모리)로의 전환은 단순한 성능 향상을 넘어, 메모리 반도체의 물리적 구조와 제조 공정의 근간을 뒤흔드는 기술적 대전환을 의미합니다. 기존 HBM3E까지의 발전 모델이 D램(DRAM)의 미세화와 적층 단수(Stacking Height)를 높여 용량을 확보하는 방식이었다면, HBM4는 데이터 전송의 병목 현상인 '메모리 벽(Memory Wall)'을 근본적으로 허물기 위해 인터페이스의 구조적 확장과 로직(Logic) 기능의 통합을 핵심 전략으로 채택하고 있습니다.

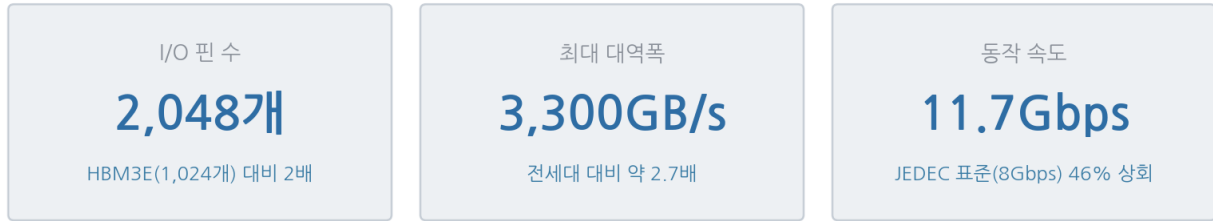
1. I/O 인터페이스의 혁명적 확장: I/O Expansion

HBM4 기술 혁신의 가장 가시적인 변화는 데이터 전송 통로인 I/O(Input/Output) 핀(Pin) 수의 폭발적인 증가입니다. 기존 HBM3E 세대에서는 데이터 전송을 위한 I/O 핀 수가 1,024개 수준으로 제한되어 있었으나, HBM4 단계에 진입하면서 이 수치는 2,048개로 정확히 두 배 확대됩니다 [출처: 삼성전자, 세계 최초 업계 최고 성능의 Hbm4 양산 출하].

이러한 I/O 확장은 다음과 같은 기술적 파급효과를 동반합니다.

- **대역폭(Bandwidth)의 비약적 상승:** I/O 핀 수의 확장은 동일한 클록 속도에서도 데이터 전송량을 두 배로 늘릴 수 있는 기반이 됩니다. 삼성전자의 경우, HBM4를 통해 최대 3,300GB/s에 달하는 대역폭을 구현할 수 있으며, 이는 전작 대비 약 2.7배 향상된 수치입니다 [출처: HBM4 | DRAM | Samsung Semiconductor Global].
- **신호 무결성(Signal Integrity) 관리의 난이도 급증:** 인터페이스가 조밀해짐에 따라 인접한 핀 사이의 신호 간섭(Crosstalk)과 전자기적 노이즈 문제가 심화됩니다. 2,048개의 미세한 통로를 통해 고속 데이터를 전송할 때 발생하는 신호 왜곡을 방지하기 위한 초정밀 제어 기술이 필수적으로 요구됩니다.
- **전력 및 열 관리 이슈(Power & Thermal Management):** I/O 핀의 증가는 필연적으로 데이터 전송 시 발생하는 전력 소모량의 증가를 수반합니다. 특히 데이터 전송이 집중되는 인터페이스 영역에 열이 집중되는 '열 집중(Thermal Concentration)' 현상은 칩의 신뢰성을 위협하는 주요 요인이 됩니다 [출처: 삼성전자, 세계 최초 업계 최고 성능의 Hbm4 양산 출하].

HBM4 핵심 기술 지표 변화 예측



Cressem · 결정론 렌더

그림 1. HBM4 핵심 기술 지표 변화 예측

2. 베이스 다이(Base Die)의 역할 변화 및 공정 고도화

HBM4 구조에서 가장 혁신적인 변화 중 하나는 적층 구조의 최하단에 위치하여 전체 스택을 지탱하고 신호를 제어하는 '베이스 다이(Base Die)'의 진화입니다. 기존 세대에서는 베이스 다이가 단순히 D램 스택과 외부 인터페이스를 연결하는 수동적인 역할을 수행했다면, HBM4에서는 베이스 다이가 시스템의 성능과 효율을 결정짓는 능동적인 핵심 요소로 격상되었습니다.

- **파운드리 공정의 도입과 로직 기능 강화:** HBM4의 베이스 다이는 단순한 메모리 컨트롤러를 넘어, 시스템의 연산 효율을 높이기 위한 로직(Logic) 기능을 포함하게 됩니다. 삼성전자는 이러한 베이스 다이의 특성을 극대화하기 위해 최첨단 공정인 4나노(nm) 공정을 적용하고 있습니다 [출처: 삼성전자, 세계 최초 업계 최고 성능의 Hbm4 양산 출하]. 이는 메모리 제조 공정과 파운드리(Foundry) 공정의 경계가 허물어지는 것을 의미합니다.
- **전력 효율 및 발열 제어의 핵심 축:** 베이스 다이는 전체 HBM 스택에 전력을 분배하고 신호를 제어하는 중추 역할을 합니다. 삼성전자는 코어 다이(Core Die)에 저전력 설계 기술을 적용하고 베이스 다이를 통해 전력 분배를 최적화함으로써, I/O 확장으로 인해 발생하는 전력 소모와 열 문제를 해결하는 전략을 취하고 있습니다 [출처: 삼성전자, 세계 최초 업계 최고 성능의 Hbm4 양산 출하].

3. 커스텀 HBM(Customized HBM) 시대의 개막

HBM4의 등장은 메모리 반도체가 '표준화된 범용 제품'에서 '고객 맞춤형 특화 제품'으로 진화하는 커스텀 HBM 시대를 의미합니다. AI 가속기(GPU, NPU 등)의 설계 구조가 점차 복잡해짐에 따라, 메모리 역시 해당 프로세서와 최적의 시너지를 낼 수 있도록 맞춤형으로 설계되어야 할 필요성이 커졌기 때문입니다.

- **로직 다이의 커스터마이징:** 고객사(예: NVIDIA, AMD 등)의 요구에 따라 베이스 다이에 특정 연산 가속 기능을 넣거나, 인터페이스 프로토콜을 최적화하는 작업이 이루어집니다. 이는 메모리 제조사가 단순한 부품 공급자를 넘어, 고객사의 시스템 아키텍처 설계 파트너로서의 역할을 수행하게 됨을 뜻합니다.
- **공정 복잡도의 비약적 상승:** 커스텀 HBM은 고객사마다 다른 로직 설계와 공정 요구사항을 충족해야 하므로, 기존의 단일화된 양산 라인으로는 대응이 어렵습니다. 이는 제조 공정의 유연성(Flexibility)과 더불어, 각기 다른 설계 사양에 맞춘 초정밀 검사 및 테스트 솔루션의 중요성을 극도로 높이는 결과를 초래합니다.

4. 기술적 변화 요약 및 시사점

HBM4로의 전환을 요약하면, '더 넓은 통로(I/O Expansion)', '더 똑똑한 기반(Advanced Base Die)', '더 개인화된 구조(Customization)'라는 세 가지 키워드로 정의할 수 있습니다. 이러한 변화는 AI 모델의 규모가 커질수록 심화되는 데이터 병목 현상을 해소할 수 있는 유일한 기술적 대안이지만, 동시에 제조 관점에서는 전례 없는

난이도의 공정 제어와 검사 정밀도를 요구합니다.

구분	HBM3E (6세대)	HBM4 (7세대)	기술적 영향
I/O 핀 수	1,024개	2,048개	데이터 대역폭 2배 증가 및 신호 간섭 심화
베이스 다이 공정	메모리 공정 기반	파운드리 로직 공정 (예: 4nm)	로직 기능 통합 및 맞춤형 설계 가능
주요 패키징 기술	TC-NCF / MR-MUF	Hybrid Bonding 도입 가속화	적층 높이 한계 극복 및 연결 신뢰성 확보
제품 성격	범용(Commodity)	커스텀(Customized)	고객사별 최적화된 아키텍처 요구

표 1. 기술적 변화 요약 및 시사점

결론적으로 HBM4는 메모리 반도체가 시스템 반도체의 영역으로 깊숙이 침투하는 기술적 융합을 상징합니다. 이는 반도체 후공정(Advanced Packaging)의 중요성을 극대화하며, 특히 미세화된 인터페이스와 복잡해진 적층 구조를 검증하기 위한 고정밀 광학 검사 및 AI 기반의 불량 분석 기술이 차세대 반도체 공급망의 핵심 경쟁력이 될 것임을 시사합니다.

차세대 패키징 공정 및 기술적 난제

HBM4로의 진입은 메모리 반도체의 적층 단수가 16단(16-Hi) 이상으로 고도화됨에 따라, 기존의 적층 방식으로는 물리적·전기적 한계를 극복할 수 없는 임계점에 도달했음을 의미합니다. 특히 적층 높이의 증가와 데이터 전송 속도의 비약적인 상승은 패키징 공정에서 두 가지 핵심적인 기술적 난제를 야기합니다. 첫째는 적층 구조 내에서의 **열 관리(Thermal Management)** 문제이며, 둘째는 데이터 전송 효율을 결정짓는 **전기적 연결(Interconnect)의 미세화 및 신뢰성 확보**입니다. 이를 해결하기 위해 업계는 기존의 TC-NCF(Thermal Compression Non-Conductive Film) 공법을 고도화하는 동시에, 차세대 혁신 기술인 하이브리드 본딩(Hybrid Bonding) 도입을 본격적으로 검토하고 있습니다 [출처: Sector Update - 삼성증권].

1. 기존 공정의 한계: TC-NCF와 MR-MUF의 기술적 대립

현재 HBM 시장을 주도하고 있는 주요 공법은 TC-NCF와 MR-MUF(Mass Reflow Molded Underfill)입니다. HBM3E까지는 이 두 방식이 각각의 장단점을 바탕으로 경쟁하며 발전해 왔으나, HBM4 단계에서는 공정 난이도가 기하급수적으로 상승하며 기술적 한계가 명확해지고 있습니다.

TC-NCF(Thermal Compression Non-Conductive Film) 방식은 칩 사이에 비전도성 필름(NCF)을 삽입하고 열과 압력을 가해 접합하는 기술입니다. 이 방식은 칩의 휨(Warp) 제어에 유리하며, 적층 단수가 높아져도 칩 사이의 간격을 일정하게 유지할 수 있다는 강점이 있습니다. 그러나 적층 단수가 증가함에 따라 압력을 가하는 공정 시간이 길어지고, 필름의 두께로 인해 전체 패키지 높이가 높아지는 물리적 제약이 발생합니다. 또한, 미세화된 범프(Bump) 사이의 간격이 좁아질수록 필름의 균일한 도포와 압력 전달이 어려워져 수율 저하의 원인이 됩니다.

반면, **MR-MUF(Mass Reflow Molded Underfill)** 방식은 칩을 쌓은 후 액체 형태의 보호재(Underfill)를 주입하여 경화시키는 방식입니다. 이는 열 방출(Thermal Dissipation) 효율이 우수하여 발열 관리에 유리하지만, 고단 적층 시 액체 보호재가 미세한 틈새까지 균일하게 침투하지 못하는 보이드(Void, 기포) 형성 문제와 칩 사이의 간격 제어 능력이 상대적으로 떨어진다는 약점이 존재합니다 [출처: Sector Update - 삼성증권].

2. 게임 체인저: 하이브리드 본딩(Hybrid Bonding)의 도입과 혁신

HBM4 시대의 진정한 기술적 도약은 **하이브리드 본딩(Hybrid Bonding)** 기술의 도입에서 시작됩니다. 기존 공법이 '범프(Bump)'라는 물리적인 금속 돌기를 매개체로 하여 칩과 칩을 연결했다면, 하이브리드 본딩은 범프를 완전히 제거하고 구리(Cu) 배선과 절연막(Dielectric)을 직접 맞붙이는 'Cu-to-Cu Direct Bonding' 방식을 채택합니다.

하이브리드 본딩이 가져올 변화는 다음과 같습니다.

- **I/O 밀도의 극대화:** 범프가 차지하던 물리적 공간이 사라짐에 따라, 동일 면적당 배치할 수 있는 I/O(Input/Output)의 수가 비약적으로 증가합니다. 이는 HBM4에서 요구되는 2,048개의 대규모 I/O 구현을 위한 필수 조건입니다 [출처: 삼성전자, 세계 최초 업계 최고 성능의 Hbm4 양산 출하].
- **패키지 두께의 최소화:** 범프 높이만큼의 공간을 절약할 수 있어, 16단 이상의 고단 적층 시에도 전체 패키지 높이를 기존 규격 내로 유지할 수 있습니다. 이는 적층 단수 증가에 따른 물리적 한계를 돌파하는 핵심 열쇠입니다.
- **열 저항(Thermal Resistance) 감소:** 범프와 언더필(Underfill)이라는 추가적인 열 저항 요소를 제거하고 구리 배선을 직접 연결함으로써, 칩 사이의 열 전달 경로를 최단거리로 최적화할 수 있습니다. 이는 AI 연산 시 발생하는 극심한 발열 문제를 해결하는 데 결정적인 역할을 합니다.

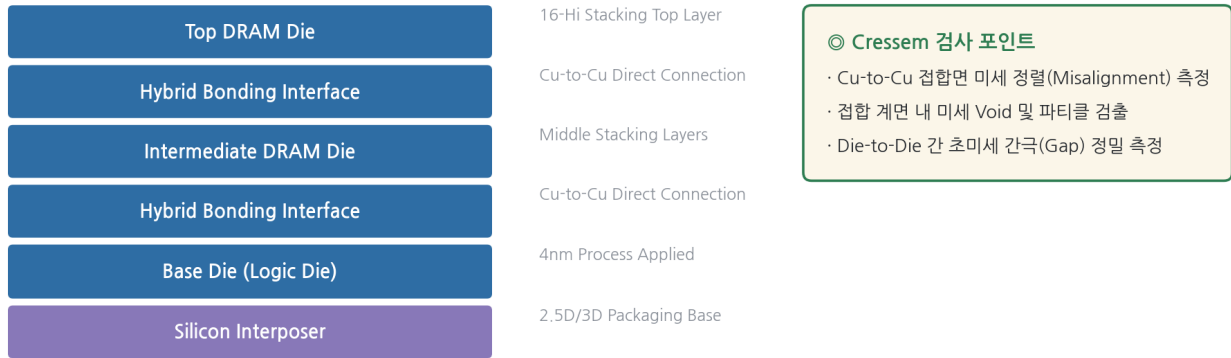
3. 기술적 난제: 초미세 정렬 및 계면 신뢰성

하지만 하이브리드 본딩은 도입과 동시에 극도의 공정 난이도를 요구합니다. 범프라는 완충 지대가 없기 때문에, 두 칩 사이의 구리(Cu) 패드가 수 나노미터(nm) 단위의 오차도 없이 완벽하게 일치해야 합니다. 만약 미세한 정렬 오차(Misalignment)가 발생할 경우, 전기적 연결이 끊어지거나 접합 계면에 간극이 생겨 신호 무결성(Signal Integrity)이 급격히 저하됩니다.

또한, 접합 면의 표면 거칠기(Surface Roughness) 제어 역시 치명적인 난제입니다. 접합 전 구리 표면과 절연막 표면이 원자 수준으로 평탄(Planarization)해야만 결함 없는 결합이 가능합니다. 이 과정에서 발생하는 미세한 파티클(Particle)이나 오염물질은 하이브리드 본딩 공정에서 치명적인 결함으로 이어지며, 이는 곧바로 전체 HBM 스택의 수율 손실로 직결됩니다.

결론적으로, 차세대 패키징 공정은 '**더 높게 쌓으면서도(High Stacking), 더 얇게 만들고(Thinning), 더 빠르게 연결하는(High Speed Interconnect)**' 모순된 목표를 동시에 달성해야 합니다. 이를 위해 TC-NCF의 정밀 제어 기술과 하이브리드 본딩의 초정밀 접합 기술이 공존하며 발전할 것이며, 이 과정에서 발생하는 초미세 결함을 잡아내기 위한 검사 기술의 중요성은 그 어느 때보다 높아질 것입니다.

HBM4 하이브리드 본딩(Hybrid Bonding) 적층 구조 단면도



Cressem · 결정론 렌더

그림 2. HBM4 하이브리드 본딩(Hybrid Bonding) 적층 구조 단면도

비교 항목	TC-NCF (기준)	Hybrid Bonding (차세대)
연결 매개체	Micro Bump + NCF 필름	Cu-to-Cu 직접 접합
I/O 밀도	상대적 낮음 (Bump 크기 제한)	매우 높음 (Bump 제거)
열 관리 성능	보통 (필름/범프 열 저항 존재)	매우 우수 (금속 직접 경로)
패키지 두께	높음 (적층 시 두께 증가)	낮음 (두께 증가 최소화)
공정 난이도	높음 (Warping/Void 관리)	극도로 높음 (초정밀 정렬/평탄화)

표 2. ""

HBM4 공정 단계별 검사 요구사항

HBM4(6세대 고대역폭 메모리)의 도입은 메모리 제조 공정을 기존의 단순 적층 구조에서 고도의 복합 패키징 공정으로 변모시키고 있습니다. 특히 I/O 핀 수가 1,024개에서 2,048개로 두 배 확장되고, 베이스 다이(Base Die)에 4나노(nm)급 최선단 로직 공정이 적용됨에 따라, 각 공정 단계에서 요구되는 검사(Inspection)의 정밀도와 항목은 기하급수적으로 고도화되고 있습니다 [출처: 삼성전자, 세계 최초 업계 최고 성능의 Hbm4 양산 출하]. HBM4의 수율(Yield) 확보를 위해서는 웨이퍼 레벨(Wafer Level)부터 최종 패키징(Final Packaging) 단계에 이르기까지 전 과정에 걸친 통합적인 검사 전략이 필수적입니다.

1. TSV(Through Silicon Via) 및 전극 연결성 검사

HBM의 핵심은 수직 적층된 다이(Die) 사이를 관통하는 TSV(실리콘 관통 전극)를 통해 초고속 데이터 통신을 구현하는 것입니다. HBM4에서는 데이터 전송 I/O 핀 수가 2,048개로 확대됨에 따라, 검사해야 할 접점(Contact Point)의 수가 비약적으로 증가하였습니다 [출처: 삼성전자, 세계 최초 업계 최고 성능의 Hbm4 양산 출하].

- **미세 전극 연결성(Connectivity) 검사:** 수천 개의 TSV가 각 층의 D램 다이와 베이스 다이를 정확히 연결하고 있는지 확인해야 합니다. 미세한 정렬 오차나 도금 불량은 전기적 신호의 손실(Signal Loss)이나 단락(Short)을 유발하여 전체 스택의 기능을 상실하게 만듭니다.

- **전기적 특성(Electrical Characterization) 검사:** TSV의 저항(Resistance) 값과 정전 용량(Capacitance)을 측정하여 신호 무결성(Signal Integrity)을 검증해야 합니다. 특히 HBM4의 고속 동작(최대 13Gbps) 환경에서 신호의 왜곡을 방지하기 위해, 매우 낮은 수준의 Bit Error Rate(BER)를 유지할 수 있는 전기적 연결 상태가 확보되어야 합니다 [출처: pdfHBMHighBandwidt20260508002.pdf].
- **검사 난제:** 적층 단수가 12단, 16단으로 높아질수록 하단부 TSV의 결함을 상단부 검사 과정에서 찾아내는 것이 물리적으로 어려워지므로, 적층 전 단계에서의 고해상도 광학 검사와 전기적 테스트의 병행이 요구됩니다.

2. Die-to-Die 정렬(Alignment) 및 적층 정밀도 검사

HBM4는 베이스 다이 위에 다수의 D램 다이를 수직으로 쌓아 올리는 구조를 가집니다. 이때 각 다이 사이의 위치 정렬(Alignment)은 제품의 신뢰성을 결정짓는 핵심 요소입니다.

- **미세 위치 오차(Misalignment) 측정:** 다이와 다이가 맞닿는 지점의 정렬 오차는 데이터 전송 경로의 임피던스(Impedance) 변화를 일으켜 신호 품질을 저하시킵니다. HBM4와 같이 I/O 밀도가 극도로 높은 제품에서는 수 μm (마이크로미터) 단위 이하의 초정밀 정렬 검사가 필수적입니다.
- **Hybrid Bonding 대응 검사:** 향후 HBM4 공정에서 도입될 하이브리드 본딩(Hybrid Bonding) 기술은 기존의 범프(Bump)를 제거하고 구리(Cu)와 구리를 직접 접합하는 방식입니다. 이 방식은 범프 방식보다 훨씬 높은 정밀도의 검사를 요구하며, 접합면의 평탄도(Flatness)와 미세 이물질(Particle) 유무를 나노미터(nm) 수준에서 관리해야 합니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].
- **적층 높이(Stack Height) 제어:** 다이 적층 과정에서 각 층의 두께 편차로 인해 전체 패키지의 높이가 설계 규격을 벗어나는 것을 방지하기 위한 정밀 계측이 수행되어야 합니다.

3. Warpage(휨) 및 물리적 변형 분석

고단 적층(High-stacking) 구조로 갈수록 열팽창 계수(CTE, Coefficient of Thermal Expansion) 차이에 의한 물리적 변형인 Warpage(휨) 현상은 HBM 제조의 가장 큰 기술적 난제 중 하나입니다.

- **열적 안정성(Thermal Stability) 검사:** HBM4는 고성능 연산을 수행하며 발생하는 막대한 열을 관리해야 합니다. 적층 공정 중 혹은 동작 중 발생하는 열로 인해 웨이퍼나 패키지가 휘어지는 현상은 TSV의 균열(Crack)이나 범프의 탈락을 유발할 수 있습니다 [출처: pdfHBMHighBandwidt20260508001.pdf].
- **구조적 변형 모니터링:** 적층 단계별로 Warpage를 측정하여, 후속 공정(예: 몰딩, 기판 부착)에서 발생할 수 있는 불량률 사전에 예측해야 합니다. 특히 16단 이상의 고단 제품에서는 미세한 휨 변형이 전체 수율에 치명적인 영향을 미치므로, 실시간 모니터링 기술이 요구됩니다.
- **검사 항목:** 웨이퍼의 평탄도(Flatness), 패키지 기판의 휨 정도, 그리고 열 부하 시의 온도 분포(Thermal Map)를 통한 열 변형 분석이 포함됩니다.

4. 공정 단계별 검사 요구사항 요약

HBM4 공정의 복잡성을 고려할 때, 검사 요구사항은 다음과 같이 체계화될 수 있습니다.

공정 단계	주요 검사 항목	핵심 기술 요구사항	비고
Wafer Level	TSV 형성 상태, Die 정렬	고해상도 광학 검사, 미세 패턴 결함 검출	적층 전 불량 차단
Stacking (Bonding)	Die-to-Die 정렬, 접합 강도	초정밀 정렬(Alignment), Hybrid Bonding 계측	적층 정밀도 확보

Singulation & Packaging	Warping(휨), Package 외관	변형률 측정, Micro Bump/Ball 검사	물리적 신뢰성 검증
Final Test	전기적 특성, 데이터 대역폭	고속 신호 무결성(SI) 테스트, BER 측정	최종 성능 및 수율 확정

표 3. 공정 단계별 검사 요구사항 요약

HBM4는 기존 제품 대비 데이터 처리량(Bandwidth)이 약 2.7배 향상되는 등 성능의 비약적인 발전을 이루었으나, 이는 곧 검사 공정의 난이도가 그만큼 상승했음을 의미합니다 [출처: HBM4 | DRAM | Samsung Semiconductor Global]. 따라서 단순한 결함 유무 판별을 넘어, 공정 데이터 분석을 통해 불량률의 근본 원인(Root Cause)을 역추적하고 수율을 최적화할 수 있는 지능형 검사 솔루션이 HBM4 양산의 핵심 경쟁력이 될 것입니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

검사 데이터 기반 수율 최적화 솔루션

HBM4와 같은 초고집적·고단 적층 구조의 반도체 제조 공정에서 검사(Inspection)의 역할은 단순히 '불량품을 걸러내는 단계(Screening)'를 넘어, '공정 전체의 수율을 결정짓는 제어(Control) 단계'로 진화하고 있습니다. 적층 단수가 높아질수록 단 하나의 미세 결함이 전체 스택(Stack)을 폐기하게 만드는 치명적인 수율 손실을 야기하기 때문입니다. 따라서 차세대 HBM 공정에서는 AI 비전(AI Vision) 기술을 활용하여 결함을 정밀하게 분류하고, 검사 데이터를 기반으로 불량률의 근본 원인을 역추적하는 **근본 원인 분석(RCA, Root Cause Analysis)** 솔루션이 수율 최적화의 핵심 동력으로 작용합니다.

1. AI 비전을 활용한 지능형 결함 분류 (Defect Classification)

기존의 검사 방식은 사전에 정의된 규칙(Rule-based)에 따라 패턴의 일치 여부를 판단하는 방식이었습니다. 그러나 HBM4 공정처럼 회로 패턴이 극도로 미세해지고, 적층 구조로 인해 발생하는 노이즈와 정상적인 패턴의 경계가 모호해지는 환경에서는 기존 방식의 한계가 명확합니다. 규칙 기반 검사는 미세한 노이즈를 불량으로 오인하는 **과검(Over-kill)** 현상을 빈번하게 일으켜, 실제 양품을 폐기함으로써 수율을 저하시키는 결과를 초래합니다.

이를 해결하기 위해 도입되는 것이 **딥러닝 기반 결함 분류(Deep Learning-based Defect Classification)** 기술입니다.

- **과검(Over-kill) 및 미검(Under-kill) 최소화:** AI 알고리즘은 수만 장의 양품 및 불량 이미지 데이터를 학습하여, 단순한 노이즈와 실제 기능적 결함(Functional Defect)을 정밀하게 구분합니다. 이를 통해 과검률을 획기적으로 낮추어 실질적인 수율(Net Yield)을 확보합니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].
- **비정형 결함 대응:** 공정 변동에 따라 새롭게 나타나는 미지의 결함 패턴(Unknown Defect)에 대해서도 AI는 유사도 분석을 통해 결함의 유형을 그룹화하고, 이를 엔지니어에게 실시간으로 보고함으로써 대응 속도를 높입니다.
- **검사 속도(Tact Time) 최적화:** 고속 광학 엔진과 결합된 AI 알고리즘은 실시간으로 데이터를 처리하여, 생산 라인의 흐름을 방해하지 않으면서도 고해상도 검사 결과를 도출합니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

2. 데이터 기반 근본 원인 분석 (Root Cause Analysis, RCA)

수율 최적화의 최종 단계는 검사 결과로 나타난 불량률이 '어느 공정 단계'에서, '어떤 물리적 요인'에 의해 발생했는지를 찾아내는 것입니다. HBM4 공정은 TSV 형성, Die-to-Die 본딩, 링웨이퍼(Ring Wafer) 가공 등 매우 복잡한 단계를 거치므로, 결함 데이터와 공정 파라미터 간의 상관관계를 분석하는 능력이 필수적입니다.

크레셈이 지향하는 **AI 기반 스마트 팩토리(AI-driven Smart Factory)** 구현의 핵심은 검사 데이터를 단순 기록하는 것이 아니라, 공정 개선을 위한 인사이트로 전환하는 것입니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

분석 단계	주요 활동 (Key Activities)	기대 효과 (Expected Benefits)
데이터 통합 (Data Integration)	검사 장비의 이미지 데이터 + 공정 설비의 센서 데이터(온도, 압력, 시간 등) 결합	결함 발생 시점의 환경 변수 데이터 확보
상관관계 분석 (Correlation Analysis)	AI를 활용하여 특정 결함 유형과 공정 파라미터 간의 통계적 연관성 도출	불량 유발 핵심 공정 변수(Critical Parameter) 식별
역추적 (Back-tracing)	결함 패턴을 기반으로 상위 공정(예: TSV 식각, Bump 형성)의 이상 징후 탐지	불량 발생의 근본 원인(Root Cause) 특정
피드백 루프 (Feedback Loop)	분석된 결과를 공정 제어 시스템에 전달하여 실시간 공정 보정 수행	공정 안정화 및 수율의 지속적 향상

표 4. 데이터 기반 근본 원인 분석 (Root Cause Analysis,

3. 수율 최적화 솔루션의 가치: 단순 검사를 넘어선 파트너십

HBM4 시대의 검사 솔루션은 더 이상 독립적인 장비의 성능에 머물지 않습니다. 고객사인 메모리 제조사의 생산 라인 전체와 유기적으로 연결되어, 데이터를 통해 공정을 가이드하는 **지능형 솔루션**이어야 합니다.

1. **수율 향상(Yield Enhancement)**: AI 기반의 정밀한 분류와 RCA를 통해 불량률의 원인을 조기에 차단함으로써, 고단 적층 HBM의 고질적인 문제인 수율 저하 문제를 해결합니다.

2. **비용 절감(Cost Reduction)**: 과검으로 인한 양품 손실을 막고, 불량 발생 시 공정 중단 시간을 최소화하여 제조 원가(Cost per Die)를 낮추는 데 기여합니다 [출처: 산업 분석 보고서 - 삼성전자의 HBM 400mm 링웨이퍼].

3. **공정 지능화(Process Intelligence)**: 축적된 검사 빅데이터는 향후 신규 공정 개발이나 차세대 제품(HBM5 등) 설계 시, 공정 마진(Process Margin)을 설정하는 데 중요한 설계 자산(Design Asset)으로 활용됩니다.

결론적으로, AI 비전 기술을 통한 결함 분류와 데이터 기반의 RCA 기술은 HBM4 공정의 복잡성을 극복하고, 고객사가 목표로 하는 최적의 수율을 달성하게 하는 가장 강력한 기술적 무기가 될 것입니다.

크레셈(CRESSEM)의 기술적 대응 및 제품 로드맵

HBM4로의 기술적 전환은 반도체 제조사들에게 전례 없는 수율 확보의 과제를 던져주고 있습니다. 특히 하이브리드 본딩(Hybrid Bonding)과 같은 차세대 접합 기술의 도입과 I/O 핀 수의 급격한 증가(1,024개 → 2,048개)는 기존의 검사 방식으로는 대응할 수 없는 초미세 결함 영역을 창출하고 있습니다 [출처: 삼성전자, 세계 최초 업계 최고 성능의 Hbm4 양산 출하]. (주)크레셈은 이러한 시장의 기술적 난제를 기회로 삼아, 단순한 검사 장비 공급자를 넘어 고객사의 수율(Yield) 향상을 견인하는 '통합 검사 솔루션 파트너'로서의 입지를 굳히기 위한 다각적인 기술 대응 및 제품 로드맵을 추진하고 있습니다.

1. 초미세 간극 및 고해상도 광학 검사 기술 고도화

HBM4의 핵심 변화 중 하나는 데이터 전송 효율을 높이기 위한 인터페이스의 고밀도화입니다. I/O 핀이 2,048개로 확대됨에 따라, 범프(Bump) 간의 간격(Pitch)은 더욱 좁아지며, 이는 기존 광학 장비의 해상도 한계를 시험하게 됩니다. 크레셈은 이를 해결하기 위해 다음과 같은 초정밀 광학 엔진 개발에 역량을 집중하고 있습니다.

- **초미세 간극(Gap) 측정 모듈 개발:** 하이브리드 본딩 공정 도입 시, 구리(Cu) 패드 간의 미세한 정렬 오차나 접합부의 초미세 간극을 측정할 수 있는 고해상도 측정 모듈을 개발하고 있습니다. 이는 기존의 범프 검사를 넘어, 접합면(Bonding Interface) 자체의 무결성을 검증하는 기술로, 차세대 패키징 시장의 핵심 기술이 될 것입니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].
- **고속 고해상도 광학 엔진(High-speed High-resolution Optical Engine):** 미세화된 패턴을 검사하면서도 생산 라인의 Tact Time(생산 주기)을 저해하지 않기 위해, 고해상도 카메라와 정밀 조명 제어 기술을 결합한 고속 스캔 엔진을 구현합니다. 이는 대량 생산 체제에서도 높은 검사 정밀도를 유지하게 하는 크레셈의 핵심 하드웨어 경쟁력입니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].
- **3D 프로파일링 및 Warpage 제어:** 고단 적층(12단, 16단 이상) 구조에서 발생하는 물리적 변형인 Warpage(휨)를 실시간으로 측정하고, 적층된 다이(Die) 간의 수직적 정렬 상태를 3차원으로 분석하는 기술을 강화하여 적층 신뢰성을 확보합니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

2. 고객 맞춤형(Customized) 검사 시스템 전략

반도체 제조사마다 사용하는 적층 방식(TC-NCF, MR-MUF, Hybrid Bonding 등)과 공정 프로세스가 상이하다는 점은 기성 제품(Off-the-shelf) 중심의 시장에서 크레셈이 차별화되는 지점입니다. 크레셈은 고객사의 공정 특성에 최적화된 **Customized Inspection System**을 제공함으로써 강력한 고객 락인(Lock-in) 효과를 창출하고 있습니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

- **공정 맞춤형 레시피(Recipe) 최적화:** 검사 대상 HBM의 세대(HBM3E, HBM4) 및 적층 단수(8단, 12단, 16단)에 따라 최적화된 Inspection Recipe를 선택하고 적용하는 기술을 보유하고 있습니다. 이는 Recipe 오선택으로 인한 데이터 신뢰성 상실 및 장비 충돌 위험을 원천 차단하는 정밀 제어 기술을 포함합니다 [출처: 매뉴얼HBMAAdvancedInspectionSyst20260509001.pdf].
- **통합 검사 솔루션 제공:** 단순한 단일 결함 검사를 넘어, TSV 연결성, Die-to-Die 정렬, 열 방출 효율, 데이터 전송 속도(Bandwidth) 등 HBM의 전기적·물리적 특성을 종합적으로 검증할 수 있는 통합 플랫폼을 지향합니다 [출처: HBM 검사 결과 보고서 템플릿].

3. AI 기반 스마트 팩토리 및 데이터 분석 솔루션

크레셈의 미래 로드맵은 하드웨어의 정밀도를 넘어, 검사 데이터를 어떻게 가치 있는 정보로 전환하느냐에 달려 있습니다. 크레셈은 AI 비전 알고리즘을 결합하여 단순 불량 검출을 넘어선 **데이터 기반 수율 관리 솔루션**을 구축하고 있습니다.

- **Deep Learning 기반 결함 분류:** 기존의 Rule-based(규칙 기반) 검사가 가진 한계인 과검(Over-kill, 정상 제품을 불량으로 판정) 문제를 해결하기 위해, AI 알고리즘을 적용합니다. 이를 통해 미세 결함(Defect)과 정상적인 노이즈를 명확히 구분하여 검사 효율을 극대화합니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].
- **Root Cause Analysis (RCA) 솔루션:** 검사 과정에서 수집된 방대한 데이터를 분석하여, 특정 불량이 발생하는 공정상의 근본 원인을 역추적(Root Cause Analysis)할 수 있는 기능을 제공합니다. 이는 고객사가 공정 조건을 최적화하고 수율을 실질적으로 개선할 수 있도록 돕는 핵심적인 파트너십 도구입니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

HBM4 대응 기술 역량 및 전략 매트릭스

	초미세/고밀도 대응	공정 최적화	데이터 지능화
기술적 난제	● 핵심	●	○
솔루션 역량	●	● 핵심	●
전략적 목표	○	●	● 핵심

Cressem · 결정론 렌더

그림 3. HBM4 대응 기술 역량 및 전략 매트릭스

4. 제품 로드맵 요약

크레셈의 기술 개발 방향은 HBM4의 시장 진입 시점에 맞춰 단계적으로 고도화될 예정입니다.

단계	중점 개발 과제	기대 효과
Phase 1: HBM3E/HBM4 과도기	고해상도 광학 엔진 및 12단/16단 적층 정렬 검사 기술 안정화	기존 공정(TC-NCF 등)에서의 수율 확보 및 고객사 신뢰 구축
Phase 2: HBM4 본격 양산기	하이브리드 본딩용 초미세 간극 측정 모듈 및 AI 결함 분류 솔루션 상용화	차세대 패키징 시장 선점 및 과검률 획기적 저감
Phase 3: Post-HBM4 시대	AI 기반 RCA(Root Cause Analysis) 통합 플랫폼 및 스마트 팩토리 연동 기술	고객사 공정 제어 시스템과의 완전한 통합 및 데이터 서비스화

표 5. 제품 로드맵 요약

결론적으로, 크레셈은 하드웨어의 **고정밀 광학 기술**과 소프트웨어의 **AI 비전 기술**을 결합한 독보적인 기술적 해자(Moat)를 구축하고 있습니다. 이를 통해 HBM4로 대변되는 차세대 반도체 패키징 시장의 기술적 난제를 해결하고, 글로벌 반도체 공급망 내에서 대체 불가능한 핵심 검사 솔루션 기업으로 성장해 나갈 것입니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

결론 및 시사점

본 보고서는 삼성전자의 HBM4 양산 본격화와 함께 급변하는 고대역폭 메모리 시장의 기술적 변곡점을 분석하고, 이에 따른 차세대 검사 기술의 방향성을 고찰하였습니다. HBM4로의 전환은 I/O 핀의 대폭 확대, 베이스 다이의 로직 공정 도입, 그리고 하이브리드 본딩(Hybrid Bonding)과 같은 초미세 패키징 기술의 도입을 의미하며, 이는 곧 기존의 검사 패러다임을 완전히 재정의할 것을 요구하고 있습니다.

HBM4 시장에서 기술적 리더십(Market Leadership)을 확보하기 위한 핵심 성공 요인(KSF)과 전략적 제언은 다음과 같습니다.

첫째, **검사 기술의 고도화 및 정밀도 확보가 최우선 과제**입니다. HBM4는 2,048개의 I/O 핀을 통해 극대화된 대역폭을 구현하는 만큼, 미세한 연결 결함이 전체 시스템의 치명적인 오류로 직결됩니다. 따라서 TSV(Through Silicon Via)의 전기적 연결성뿐만 아니라, 하이브리드 본딩 공정에서 요구되는 초미세 간극(Gap) 측정 및 Die-to-Die 정렬(Alignment)을 수행할 수 있는 초고해상도 광학 검사 솔루션 확보가 필수적입니다.

둘째, **수율(Yield) 관리를 위한 데이터 중심의 지능형 솔루션 구축이** 필요합니다. 적층 단수가 높아짐에 따라 발생하는 물리적 변형인 Warpage(휨)와 열 관리(Thermal Management) 문제는 단순한 불량 검출을 넘어 공정 전체의 안정성을 결정짓습니다. 검사 데이터를 단순 결과값으로 활용하는 단계에서 벗어나, AI 비전 기술을 결합하여 불량의 근본 원인을 역추적(Root Cause Analysis)하고 공정 파라미터를 최적화하는 스마트 팩토리 구현이 차세대 경쟁력의 핵심이 될 것입니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

셋째, **고객 맞춤형(Customized) 대응 역량 강화**입니다. HBM4부터는 고객사의 요구에 따라 로직 다이가 설계되는 '커스텀 HBM' 시대가 도래함에 따라, 각 고객사 및 파운드리 공정 특성에 최적화된 검사 레시피(Recipe)와 장비 구성 능력이 기업의 전략적 자산(Strategic Asset)으로 작용할 것입니다 [출처: 매뉴얼HBMAdvancedInspectionSyst20260509001.pdf].

결론적으로, HBM4 시대의 반도체 패키징 공정은 기술적 난이도가 기하급수적으로 상승하는 구간에 진입했습니다. 크레셈(CRESSEM)은 확보된 AI 비전 및 고정밀 광학 기술력을 바탕으로, 단순한 검사 장비 공급사를 넘어 고객사의 수율 향상과 공정 혁신을 견인하는 핵심 파트너로서의 위치를 공고히 해야 합니다. 기술적 진입장벽이 높아지는 만큼, 차세대 패키징 기술 변화에 선제적으로 대응하는 R&D 투자는 향후 글로벌 AI 반도체 공급망 내에서 대체 불가능한 경쟁력을 확보하는 유일한 경로가 될 것입니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

참고 자료

1. [Sector Update - 삼성증권](https://www.samsungpop.com/common.do?cmd=down&contentType=application/pdf&inlineYn=Y&saveKey=research.pdf&fileName=2020/2024012310041539K0205.pdf)
2. [Sector Update - 삼성증권](https://www.samsungpop.com/common.do?cmd=down&contentType=application/pdf&inlineYn=Y&saveKey=research.pdf&fileName=2020/2024031309300624K0205.pdf)
3. [삼성전자, 세계 최초 업계 최고 성능의 Hbm4 양산 출하](https://semiconductor.samsung.com/kr/news-events/news/samsung-ships-industry-first-commercial-hbm4-with-ultimate-performance-for-ai-computing/)
4. [HBM4 | DRAM | 삼성반도체 - Samsung Semiconductor Global](https://semiconductor.samsung.com/kr/dram/hbm/hbm4/)
5. [HBM4 | DRAM | Samsung Semiconductor Global](https://semiconductor.samsung.com/dram/hbm/hbm4/)
6. [삼성전자, 세계 최초 업계 최고 성능의 HBM4 양산 출하 - Samsung ...](https://news.samsung.com/kr/%EC%82%BC%EC%84%B1%EC%A0%84%EC%9E%90-%EC%84%B8%EA%B3%84-%EC%B5%9C%EC%B4%88-%EC%97%85%EA%B3%84-%EC%B5%9C%EA%B3%A0-%EC%84%B1%EB%8A%A5%EC%9D%98-hbm4-%EC%96%91%EC%82%B0-%EC%B6%9C%ED%95%98)
7. [삼성전자 Hbm4 검증 현황과 한국 반도체 산업의 이상적 시나리오](https://herosite.tistory.com/98)
8. [PDF IEDMsubmissionpaperSK Hynix2023 (2)](https://iedm23.mapyourshow.com/mysshared/iedm23/handouts/15-6Tue14482.pdf)
9. [PDF HBM Roadmap Ver 1.7 Workshop](https://aionet.tech/KAISTHBMRoadmap.pdf)

10. [HBM Roadmap Next-Gen High-Bandwidth Memory Architectures | PDF - Scribd](https://www.scribd.com/document/935578337/HBM-Roadmap-Next-Gen-High-Bandwidth-Memory-Architectures)
11. [[차세대 HBM Roadmap(2025~2040) 기술 발표회 개요]](https://www.aitimes.kr/news/download.php?subUploadDir=202505/&savefilename=35100295.pdf&filename=%EC%B0%A8%EC%84%B8%EB%8C%80%20HBM%20Roadmap(2025~2040)%20%EA%B8%B0%EC%88%A0%20%EB%B0%9C%ED%91%9C%ED%9A%8C%20%EA%B0%9C%EC%9A%94.pdf&idxno=295)
12. research.pdf (사내 자료)
13. 2024012310041539K0205.pdf (사내 자료)
14. 2024031309300624K0205.pdf (사내 자료)
15. 15-6Tue14482.pdf (사내 자료)
16. KAISTHBMRoadmap.pdf (사내 자료)
17. 35100295.pdf (사내 자료)
18. 94.pdf (사내 자료)
19. pdf_인하대학교컴퓨터공학과배승환20260509001.pdf (사내 자료)
20. ProfessorSeungHwanBaeReport.pdf (사내 자료)
21. pdfHBMHighBandwidt20260508001.pdf (사내 자료)
22. pdfHBMHighBandwidt20260508002.pdf (사내 자료)
23. 매뉴얼HBMAAdvancedInspectionSyst20260509001.pdf (사내 자료)
24. 분석_크레셈CRESSEM20260509001.pdf (사내 자료)
25. pdf1서론HBM시장의패러다임변화20260508001.pdf (사내 자료)