

차세대 광 I/O(CPO) 기술 동향 및 크레셈(CRESSEM)의 전략적 대응 방안

문서번호 CRSM-AI-2026-AUTO

작성일 2026-07-22

작성 Cressem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

차세대 광 I/O(CPO) 기술 동향 및 크레셈(CRESSEM)의 전략적 대응 방안	3
개요: AI 인프라의 병목 현상과 CPO의 부상	3
CPO(Co-Packaged Optics) 핵심 기술 메커니즘	4
CPO 기술 아키텍처 및 패키징 구조	6
크레셈(CRESSEM)의 기술적 기회 및 대응 전략	9
결론 및 시사점	11
참고 자료	12

차세대 광 I/O(CPO) 기술 동향 및 크레셈(CRESSEM)의 전략적 대응 방안

AI 데이터센터의 전력 및 대역폭 한계를 극복하기 위한 차세대 인터커넥트 기술인 CPO(Co-Packaged Optics)의 기술적 원리와 시장 현황을 분석합니다. 주요 글로벌 플레이어의 기술 로드맵을 검토하고, 크레셈의 기존 고정밀 광학 검사 기술을 활용한 신규 시장 진입 및 수출 개선 솔루션 제공 기회를 제언합니다.

개요: AI 인프라의 병목 현상과 CPO의 부상

1. AI 데이터센터의 급증과 데이터 전송의 패러다임 변화

최근 ChatGPT와 같은 대규모 언어 모델(Large Language Model, LLM)의 출현으로 인해 전 세계적인 AI 연산 수요가 폭발적으로 증가하고 있습니다. 2024년 기준, 단일 대규모 AI 모델을 학습시키기 위해 필요한 GPU 서버의 수는 1,000대 이상에 달하며, 이러한 규모의 확장에 따라 서버 간, 그리고 칩 간 데이터 전송 대역폭(Bandwidth)에 대한 요구사항이 기하급수적으로 급증하고 있습니다 [출처: happythink64575.tistory.com/69].

기존의 데이터센터 인프라는 컴퓨팅 성능(Compute Performance)의 향상에 초점을 맞추어 왔으나, 이제는 연산 능력 자체보다 연산된 데이터를 얼마나 빠르고 효율적으로 입출력(I/O) 하느냐가 전체 시스템의 성능을 결정짓는 핵심 요소가 되었습니다. 즉, 칩 내부의 연산 속도는 비약적으로 발전한 반면, 이를 외부로 전달하는 통신 경로에서 발생하는 병목 현상(Bottleneck)이 AI 인프라 전체의 성장을 저해하는 심각한 물리적 한계로 부상하고 있습니다 [출처: alchonomics.com/cpo-semiconductor-optical-packaging-ai/].

2. 구리 배선(Copper Interconnect) 기반 전기 신호 전송의 물리적 한계

수십 년간 반도체 및 네트워크 산업의 근간이 되어온 구리(Copper) 배선 기반의 전기 신호 전송 방식은 현재 대역폭 확장과 전력 효율성 측면에서 임계점에 도달했습니다. 특히 112Gbps 및 차세대 224Gbps SerDes(Serializer/Deserializer) 기술 환경으로 진입함에 따라, 구리 배선의 유효 전송 거리는 수 센티미터(cm) 수준으로 급격히 단축되었습니다 [출처: engineering-ladder.tistory.com/178].

이러한 물리적 한계는 다음과 같은 세 가지 핵심적인 문제점을 야기합니다.

- **신호 손실(Signal Loss) 및 왜곡:** 데이터 전송 속도가 높아질수록 구리 배선 내에서의 신호 감쇄가 심화됩니다. 이를 보상하기 위해 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP)를 추가로 배치해야 하는데, 이는 시스템의 복잡도를 높이고 신호 지연(Latency)을 유발합니다 [출처: engineering-ladder.tistory.com/178].
- **전력 소모(Power Consumption)의 급증:** 고속 데이터 전송을 유지하기 위해 투입되는 DSP 등 보상 장치들은 데이터센터 전체 전력 소비의 상당 부분을 차지합니다. 특히 네트워크 장비에서 DSP가 차지하는 전력 비중은 약 50%에 육박할 정도로 높으며, 이는 운영 비용(OPEX) 상승과 탄소 배출 문제로 직결됩니다 [출처: engineering-ladder.tistory.com/178].
- **열 밀도(Thermal Density) 상승:** 전력 소모의 증가는 필연적으로 막대한 열 발생을 동반합니다. 칩과 배선에서 발생하는 열을 제어하기 위한 냉각 시스템의 부담이 커지며, 이는 데이터센터의 에너지 효율(PUE)을 악화시키는 주요 원인이 됩니다 [출처: engineering-ladder.tistory.com/178].

3. 차세대 솔루션으로서의 CPO(Co-Packaged Optics) 부상

구리 배선의 한계를 극복하기 위한 기술적 돌파구로 등장한 것이 바로 공동 패키지 광학(CPO, Co-Packaged Optics) 기술입니다. CPO는 기존의 플러그블(Pluggable) 광모듈 방식과 달리, 광학 소자(Photonics)와 반도체 스위치 칩(ASIC)을 하나의 패키지 기판(Substrate) 위에 통합하는 첨단 인터커넥트(Interconnect) 기술입니다

[출처: kai-search.tistory.com/46].

CPO는 빛(Light)의 물리적 특성을 활용하여 전기 신호의 한계를 극복합니다. 빛은 진공 또는 매질 상태에서 전기 신호(전자)보다 훨씬 빠른 속도로 이동하며, 전자 간의 충돌로 인한 신호 왜곡이 거의 없습니다. 이를 통해 CPO는 다음과 같은 혁신적인 이점을 제공합니다.

비교 항목	기존 Pluggable 방식	차세대 CPO 방식	기대 효과
신호 매체	긴 구리 배선 (전기 신호)	광학 통합 (광 신호)	신호 손실 80% 이상 절감 [출처: engineering-ladder.tistory.com/178]
전력 효율	DSP 의존도 높음 (고전력)	DSP 기능 간소화/제거	비트당 전력 소모(pJ/bit) 50% 이상 절감 [출처: engineering-ladder.tistory.com/178]
데이터 전송	대역폭 확장 한계 직면	초고대역폭 구현 용이	AI 가속기 및 초거대 데이터센터 대응 가능
에너지 효율 사례	800Gbps 포트당 약 15W 소모	800Gbps 포트당 약 5.5W 소모	전력 소모 대폭 개선 [출처: kai-search.tistory.com/46]

표 1. 차세대 솔루션으로서의 CPO(Co-Packaged Optics) 부

결론적으로, CPO는 단순한 기술적 대안을 넘어 AI 인프라의 지속 가능성과 성능 확장을 위한 필수적인 기술적 전환점(Paradigm Shift)입니다. 광학 소자와 반도체를 단일 패키지로 통합함으로써 전력 소모를 획기적으로 낮추고, 대역폭을 극대화할 수 있는 CPO 기술은 향후 AI 반도체 및 데이터센터 생태계의 핵심 경쟁력이 될 것으로 전망됩니다.

CPO(Co-Packaged Optics) 핵심 기술 메커니즘

CPO(Co-Packaged Optics, 공동 패키지 광학) 기술의 핵심은 기존의 전기적 신호 전송 방식을 광학적 신호 전송 방식으로 전환하되, 이를 반도체 칩(ASIC/Switch)과 물리적으로 가장 가까운 패키지 기판 내에 통합하는 데 있습니다. 이 메커니즘을 이해하기 위해서는 실리콘 포토닉스(Silicon Photonics, SiPh) 기술을 기반으로 한 광학 소자의 집적 원리와 전기적·광학적 신호 변환 구조를 심층적으로 분석해야 합니다.

1. 실리콘 포토닉스(Silicon Photonics) 기반의 이중 집적 원리

CPO의 기술적 근간은 **실리콘 포토닉스(Silicon Photonics)**입니다. 이는 기존의 CMOS 공정 기술을 활용하여 실리콘 웨이퍼 위에 광학적 기능을 수행하는 소자들을 구현하는 기술입니다. 전통적인 광통신 소자는 화합물 반도체(InP, GaAs 등)를 사용하여 별도의 패키징을 거쳤으나, CPO는 실리콘 기판 위에 광도파로(Optical Waveguide), 변조기(Modulator), 검출기(Photodetector) 등을 미세하게 구현하여 반도체 칩과 하나의 패키지 내에 통합합니다.

이 과정에서 핵심적인 구성 요소는 **PIC(Photonic Integrated Circuit, 광 집적 회로)**와 **EIC(Electronic Integrated Circuit, 전자 집적 회로)**의 결합입니다.

- **PIC (Photonic Integrated Circuit):** 빛을 생성, 제어, 변조 및 검출하는 광학적 기능을 담당합니다. 실리콘 웨이퍼 상에 형성된 미세한 도파로를 통해 빛이 이동하며, 광학적 신호가 물리적 경로를 따라 전달됩니다.

- **EIC (Electronic Integrated Circuit):** 데이터 처리를 담당하는 스위치 칩이나 ASIC입니다. 전기적 신호를 광학적 신호로 변환하거나, 반대로 광 신호를 전기 신호로 변환하여 데이터 연산에 활용합니다.

CPO 메커니즘에서는 이 PIC와 EIC가 동일한 패키지 기판(Substrate) 위에 배치되거나, 2.5D/3D 적층 구조를 통해 극도로 짧은 인터커넥트(Interconnect)로 연결됩니다. 이를 통해 전기적 신호가 구리 배선을 타고 이동해야 하는 거리를 수 센티미터(cm) 단위에서 수 밀리미터(mm) 또는 마이크로미터(μm) 단위로 단축시킵니다.

2. 신호 변환 및 전송 메커니즘: 전기에서 빛으로(E-to-O)

CPO의 동작 프로세스는 데이터센터의 스위치 칩 내부에서 발생하는 전기적 신호를 광 신호로 변환하여 외부 네트워크로 송출하는 과정을 포함합니다.

1. **전기적 신호 입력:** ASIC/Switch 칩에서 고속의 전기적 데이터(예: 112Gbps 또는 차세대 224Gbps SerDes 신호)가 생성됩니다.

2. **신호 변조 (Modulation):** EIC에서 생성된 전기적 신호가 PIC 내의 변조기(Modulator)로 전달됩니다. 실리콘 포토닉스 변조기는 전기적 전압의 변화를 빛의 세기(Intensity)나 위상(Phase)의 변화로 변환합니다.

3. **광 전송 (Optical Transmission):** 변조된 광 신호는 실리콘 도파로를 따라 이동하며, 패키지 외부로 연결되는 광 섬유(Optical Fiber)를 통해 최종 목적지로 전달됩니다.

이러한 메커니즘은 기존의 **Pluggable(플러거블)** 방식과 극명한 차이를 보입니다. 플러거블 방식은 광모듈이 스위치 칩과 물리적으로 떨어져 있어, 칩에서 모듈까지 긴 구리 배선을 거쳐야 합니다. 이 과정에서 발생하는 **신호 손실(Signal Loss)**과 **지연(Latency)**이 CPO에서는 획기적으로 개선됩니다.

3. CPO 도입의 기술적 이점 분석

CPO 기술 메커니즘이 가져오는 핵심적인 이점은 전력 효율성, 신호 무결성, 그리고 대역폭 확장성으로 요약됩니다.

3.1. 전력 소모 절감 및 열 밀도 관리

기존 시스템에서는 구리 배선의 신호 손실을 극복하기 위해 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP)를 추가로 배치해야 했습니다. DSP는 네트워크 전체 전력 소비의 약 50%를 차지할 정도로 막대한 에너지를 소모하며, 이는 데이터센터의 열 밀도 상승이라는 심각한 부작용을 초래합니다.

CPO는 광 신호를 칩 바로 옆에서 생성하므로 DSP의 역할을 최소화하거나 완전히 제거할 수 있습니다. 이를 통해 **비트당 전력 소모(pJ/bit)를 50% 이상 절감**할 수 있으며, 구체적인 사례로 Broadcom의 3세대 CPO 기술이 적용된 TH6-Davisson 스위치는 기존 플러거블 솔루션 대비 전력 소모를 최대 70%까지 절감하는 것으로 알려져 있습니다 [출처: 투자연구소 테크센터]. 또한, 800Gbps 포트당 전력을 기존 15W에서 5.5W 수준으로 낮추는 혁신적인 효율을 보여줍니다 [출처: Ai 데이터센터의 차세대 광통신].

3.2. 신호 무결성(Signal Integrity) 및 대역폭 극대화

구리 배선 기반의 전기 신호는 주파수가 높아질수록 유효 전송 거리가 급격히 단축되는 물리적 한계가 있습니다. 112G 및 차세대 224G SerDes 환경에서는 구리 배선의 성능 저하가 임계점에 도달했습니다.

CPO는 빛의 속도(진공 상태에서 약 300,000km/s)를 이용하며, 전자(Electron)가 내부 원자들과의 충돌로 인해 빛 속도의 55%~95% 수준으로 느려지는 현상을 극복합니다 [출처: 브리핑 CPO 모듈 시장 전망]. 빛은 전자와 달리 매질 내에서의 충돌에 의한 신호 왜곡이 훨씬 적어, 데이터 전송 시 **신호 손실을 80% 이상 줄일 수 있습니다** [출처: 투자연구소 테크센터]. 이는 곧 데이터센터의 전체 대역폭을 비약적으로 확장할 수 있음을 의미합니다.

3.3. 기술적 비교 요약

구분	Pluggable (기존 방식)	CPO (차세대 방식)	기술적 이점 (CPO)
연결 매체	긴 구리 배선 (Copper Trace)	초단거리 인터커넥트 (Chip-to-PIC)	신호 손실 및 지연 최소화
신호 처리	고성능 DSP 필수 (전력 과다)	DSP 간소화 또는 제거 가능	비트당 전력(pJ/bit) 50% 이상 절감
전송 속도	구리 배선의 물리적 한계 존재	광학적 대역폭 활용	초고속/대용량 데이터 전송 가능
열 관리	모듈 분리로 인한 열 분산 용이	칩 인근 통합으로 열 밀도 상승	고도화된 패키징/냉각 기술 요구

표 2. 기술적 비교 요약

결론적으로, CPO의 핵심 메커니즘은 **실리콘 포토닉스 기술을 통한 EIC와 PIC의 고밀도 통합**에 있으며, 이를 통해 전기적 신호 전송의 물리적 한계를 돌파하고 AI 인프라가 요구하는 초고속·저전력 데이터 전송을 실현하는 것입니다.

CPO 기술 아키텍처 및 패키징 구조

차세대 데이터센터 및 AI 가속기 인프라의 핵심인 CPO(Co-Packaged Optics) 기술은 기존의 통신 방식인 플러거블(Pluggable) 광모듈 구조에서 탈피하여, 광학 엔진을 반도체 칩(ASIC/Switch)과 동일한 패키지 내에 통합하는 혁신적인 아키텍처를 지향합니다. 이는 단순히 연결 방식을 바꾸는 것을 넘어, 신호의 경로를 물리적으로 단축하고 전기적 손실을 최소화하기 위한 패키징 패러다임의 근본적인 전환을 의미합니다.

1. 기존 Pluggable 방식과 CPO 방식의 구조적 비교

전통적인 데이터센터 네트워크에서 사용되는 플러거블 방식은 광트랜시버(Optical Transceiver)가 스위치 칩이 장착된 메인보드의 포트(Port)에 별도로 삽입되는 구조를 가집니다. 이 방식은 유지보수가 용이하고 모듈 교체가 쉽다는 장점이 있으나, AI 연산 규모가 커짐에 따라 치명적인 물리적 한계에 직면해 있습니다.

플러거블(Pluggable) 방식의 구조적 한계

플러거블 방식에서는 스위치 칩(ASIC)에서 발생한 전기 신호가 PCB(Printed Circuit Board) 상의 구리 배선을 타고 포트까지 이동해야 합니다. 최근 112G 및 차세대 224G SerDes(Serializer/Deserializer) 기술 환경에서는 신호의 대역폭이 높아질수록 구리 배선의 유효 전송 거리가 수 센티미터(cm) 수준으로 급격히 단축되는 현상이 발생합니다 [출처: 투자연구소 테크센터]. 이로 인해 신호 감쇄(Signal Attenuation)를 극복하기 위해 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP)를 추가로 배치해야 하며, 이는 데이터센터 전체의 전력 소비 급증과 열 밀도(Heat Density) 상승이라는 부작용을 초래합니다 [출처: 투자연구소 테크센터].

CPO(Co-Packaged Optics) 방식의 혁신적 구조

반면, CPO는 광학 소자(Photonics)와 반도체 스위치 칩을 하나의 패키지 기판(Package Substrate) 위에 이중 집적(Heterogeneous Integration)하는 구조를 취합니다 [출처: Ai 데이터센터의 차세대 광통신]. 이 아키텍처의 핵심은 칩과 광학 엔진 사이의 거리를 밀리미터(mm) 단위 이하로 극단적으로 줄이는 것입니다. 이를 통해 전기 신호가 구리 배선을 통과하는 물리적 경로를 최소화함으로써 신호 손실을 80% 이상 줄일 수 있으며, 전력 소모가 큰 DSP 기능을 간소화하거나 제거하여 비트당 전력 소모(pJ/bit)를 50% 이상 절감하는 효과를 제공합니다 [출처: 투자연구소 테크센터].

비교 항목	Pluggable 방식 (기존)	CPO 방식 (차세대)
연결 구조	스위치 칩과 광모듈이 별도 분리	스위치 칩과 광 엔진이 동일 패키지 내 통합
신호 경로	긴 구리 배선 (PCB Trace) 기반	초단거리 전기 인터커넥트 + 광 신호
주요 병목	신호 감쇄 및 높은 전력 소모(DSP 의존)	패키징 난이도 및 열 관리(Thermal)
전력 효율	상대적으로 낮음 (리타이머 등 필요)	매우 높음 (비트당 전력 50% 이상 절감)
인터커넥트	전기적 신호 중심	광학 통합 스위치(Optical Integrated Switch) 중심

표 3. 기존 Pluggable 방식과 CPO 방식의 구조적 비교

2. 2.5D/3D 패키징 기반의 CPO 적층 아키텍처

CPO를 구현하기 위해서는 실리콘 포토닉스(Silicon Photonics, SiPh) 기술을 활용하여 광학 소자를 반도체 공정 내에 통합하는 고도의 패키징 기술이 요구됩니다. 현재 업계에서 논의되는 주요 아키텍처는 2.5D 및 3D 패키징 기술을 기반으로 합니다.

2.5D 패키징 기반 CPO

2.5D 구조에서는 실리콘 인터포저(Silicon Interposer)를 활용하여 고성능 ASIC(Application Specific Integrated Circuit)과 실리콘 포토닉스 IC(PIC, Photonic Integrated Circuit)를 수평적으로 배치합니다. 인터포저는 매우 미세한 회로 패턴을 통해 두 칩 사이의 초고속 데이터 전송을 지원하며, 이는 기존의 PCB보다 훨씬 높은 대역폭과 낮은 지연 시간을 제공합니다. 이 과정에서 광학 소자와 전기적 소자 간의 정밀한 정렬(Alignment)이 핵심적인 기술적 과제로 부상합니다.

3.D 패키징 및 광학 통합 스위치

더욱 진보된 형태인 3D 패키징에서는 로직 다이(Logic Die) 위에 광학 다이를 직접 적층하거나, TSV(Through Silicon Via)를 통해 수직으로 연결하는 구조를 검토합니다. 이러한 수직 적층 구조는 인터커넥트(Interconnect) 길이를 극한으로 줄여 전력 효율을 극대화할 수 있지만, 적층된 소자에서 발생하는 열을 효과적으로 배출해야 하는 열 관리(Thermal Management) 문제가 더욱 심화됩니다. 최근 Broadcom의 3세대 CPO 기술이 적용된 51.2 Tbps급 이더넷 스위치와 같은 사례는 이러한 고밀도 적층 구조를 통해 기존 플러그형 솔루션 대비 전력 소모를 최대 70%까지 절감하며 신뢰성을 개선하는 방향으로 발전하고 있습니다 [출처: 투자연구소 테크센터].

3. CPO 아키텍처의 계층적 구성 요소

CPO 시스템은 크게 전기적 신호를 처리하는 로직 계층, 광학 신호로 변환하는 광학 계층, 그리고 이를 물리적으로 지지하고 연결하는 패키징 계층으로 구분됩니다.

1. **전기적 로직 계층 (Electrical Logic Layer):** AI 가속기나 네트워크 스위치 역할을 하는 고성능 ASIC이 포함됩니다. 여기서 생성된 디지털 데이터는 전기적 신호 형태로 광학 엔진에 전달됩니다.

2. **광학 변환 계층 (Optical Conversion Layer):** 실리콘 포토닉스 PIC(Photonic Integrated Circuit)가 위치합니다. 전기 신호를 빛으로 바꾸는 EIC(Electronic Integrated Circuit)과 빛을 제어하는 광학 소자들이 통합되어 있으며, 최근에는 3.2 Tbps 및 6.4 Tbps급의 초고속 통신을 지원하는 기술 개발이 진행 중입니다 [출처: 투자연구소 테크센터].

3. **패키징 및 인터커넥트 계층 (Packaging & Interconnect Layer):** 2.5D/3D 구조를 형성하는 인터포저, 기판(Substrate), 그리고 칩 간의 물리적 결합을 담당하는 기술입니다. 이 계층의 정밀도가 전체 CPO 시스템의 수율과 성능을 결정짓는 핵심 요소입니다.

CPO(Co-Packaged Optics) 시스템 아키텍처

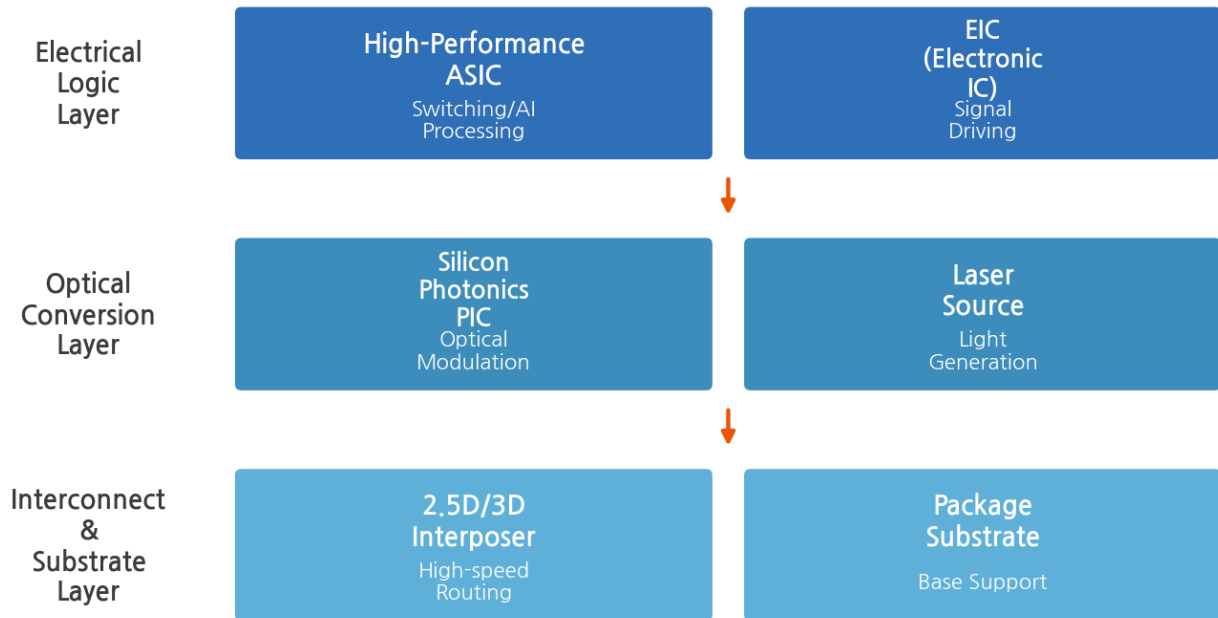


그림 1. CPO(Co-Packaged Optics) 시스템 아키텍처

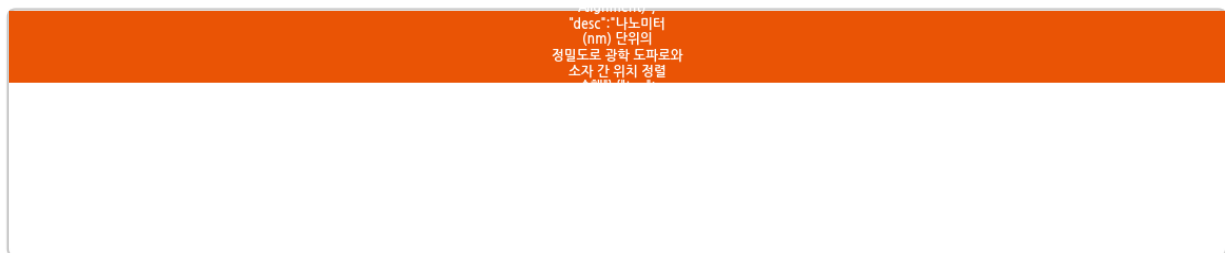


그림 2.

2. 열 밀도(Thermal Density) 상승과 열 관리(Thermal Management)의 한계

CPO 도입의 또 다른 기술적 난제는 **열 밀도(Thermal Density)**의 급격한 상승입니다. 기존 플러거블 방식에서는 광학 모듈이 스위치 칩과 물리적으로 떨어져 있어 열 분산이 용이했으나, CPO는 고전력 스위치 칩과 열에 민감한 광학 소자가 동일한 패키지 내에 밀집되어 있습니다.

스위치 칩에서 발생하는 막대한 열은 광학 소자의 성능에 직접적인 악영향을 미칩니다. 레이저 소자나 변조기(Modulator)와 같은 광학 부품은 온도 변화에 따라 파장이 변하거나 효율이 급감하는 특성을 가집니다.

따라서 CPO 시스템 내에서 발생하는 국부적인 핫스팟(Hot-spot)을 제어하지 못할 경우, 데이터 전송 오류(Bit Error Rate, BER)가 증가하고 소자의 수명이 단축되는 치명적인 결과가 초래됩니다.

이를 해결하기 위해 고성능 방열 소재(TIM, Thermal Interface Material)의 도입, 마이크로 채널 냉각 기술, 혹은 패키지 설계 단계에서의 열 격리(Thermal Isolation) 기술이 필수적입니다. 하지만 이러한 방열 구조의 추가는 패키지의 두께를 증가시키거나 물리적 복잡성을 높여, 다시 한번 정렬 및 조립의 난이도를 높이는 악순환을 유발합니다.

3. 차세대 검사 요구사항: 고해상도 및 비파괴 검사의 결합

CPO의 기술적 난제는 기존의 검사 장비로는 대응이 불가능한 수준의 스펙을 요구합니다. 따라서 다음과 같은 고도화된 검사 솔루션이 필수적으로 요구됩니다.

검사 항목	요구되는 핵심 기술 및 사양	해결해야 할 과제
초정밀 정렬 검사	Sub-micron급 해상도의 3D AOI (Automated Optical Inspection)	나노미터 단위의 미세 간극(Gap) 및 위치 오차 검출
광학적 무결성 검사	고해상도 광학 엔진 및 파장 기반 정렬 측정	도파로(Waveguide)와 소자 간의 결합 효율(Coupling Efficiency) 측정
열 변형(Warpage) 분석	고정밀 스테이지 및 3D 프로파일링 기술	고단 적층 및 이종 집적 시 발생하는 열팽창 계수(CTE) 차이 분석
내부 결함 검사	고해상도 3D X-ray (Computed Tomography)	패키지 내부의 미세 Void 및 하이브리드 본딩 접합부 상태 확인

표 4. 차세대 검사 요구사항: 고해상도 및 비파괴 검사의 결합

CPO 검사 공정에서는 단순히 불량률 찾는 것을 넘어, '열-기계적 변형과 광학적 성능 간의 상관관계'를 데이터화할 수 있어야 합니다. 예를 들어, 특정 온도 조건에서 발생하는 Warpage(휨) 현상이 광학적 정렬 상태를 얼마나 변화시키는지 실시간으로 모니터링하고, 이를 역추적하여 공정 파라미터를 최적화하는 AI 기반의 피드백 시스템이 구축되어야 합니다. 이는 단순한 검사를 넘어 수율(Yield)을 결정짓는 핵심적인 공정 제어 솔루션의 영역으로 진화하고 있습니다.

크레셈(CRESSEM)의 기술적 기회 및 대응 전략

CPO(Co-Packaged Optics, 공동 패키지 광학) 기술의 부상은 반도체 패키징의 패러다임을 전기적 연결에서 광학적 연결로 전환시키고 있으며, 이는 검사 장비 산업에 있어 유례없는 기술적 전환점과 고부가가치 시장을 동시에 제공하고 있습니다. 크레셈(CRESSEM)은 이미 FC-BGA 및 2.5D/3D 패키징 검사 분야에서 축적한 고해상도 광학 엔진과 AI 비전 알고리즘을 보유하고 있어, CPO 구현을 위한 핵심 공정 단계에서 강력한 기술적 교두보를 확보하고 있습니다.

1. 기술적 기회 요인: 기존 검사 역량의 확장성

CPO는 광학 소자(Photonics)와 반도체 스위치 칩을 하나의 패키지 기판에 통합하는 초고난도 이종 집적(Heterogeneous Integration) 기술입니다. 이 과정에서 발생하는 검사 요구사항은 크레셈이 기존에 수행해 온 고밀도 기판 검사 기술의 연장선상에 있으면서도, 정밀도 측면에서는 한 단계 더 높은 수준을 요구합니다.

1.1. 이종 집적(Heterogeneous Integration) 검사 기술의 전이

CPO의 핵심은 실리콘 포토닉스(Silicon Photonics, SiPh) 칩과 전기적 구동을 담당하는 EIC(Electronic Integrated Circuit)를 하나의 기판 위에 정밀하게 배치하는 것입니다. 크레셈은 기존 HBM4 및 2.5D 패키징 검사 장비를 통해 확보한 Interposer 및 Substrate 검사 기술을 CPO의 이중 집적 영역으로 즉각 확장할 수 있습니다 [분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf]. 특히 로직 다이와 광학 다이가 결합되는 구조는 크레셈이 보유한 이중 집적 대응 능력과 직결됩니다 [분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

1.2. 초정밀 광학 및 AOI(Automated Optical Inspection) 역량

CPO 패키징 내의 광학 채널 및 미세 정렬(Alignment) 상태를 확인하기 위해서는 수백 나노미터(nm) 단위의 해상도가 필수적입니다. 크레셈은 이미 FC-BGA 및 2.5D 기판 검사에서 검증된 Sub-micron Resolution 광학계 설계 능력을 보유하고 있어, CPO의 미세 피치(Pitch) 및 광학 정렬 검사에 최적화된 솔루션을 제공할 수 있는 잠재력을 가지고 있습니다 [기업 분석 보고서] (주)크레셈 (CRESSEM): 차세대 반도체 패키징 검사 솔루션의 선두주자.

2. 핵심 대응 전략: CPO 전용 초정밀 검사 솔루션 개발

크레셈은 CPO 시장의 기술적 난제를 해결하기 위해 단순한 불량 검출을 넘어, 공정 정밀도를 제어하고 수율을 극대화할 수 있는 '지능형 검사 플랫폼'으로의 진화를 목표로 합니다.

2.1. 초고해상도 3D AOI 및 정렬(Alignment) 검사 모듈 개발

CPO 공정에서 광학 소자와 전기 소자 간의 미세한 위치 오차(Misalignment)는 신호 손실 및 통신 불량의 직접적인 원인이 됩니다. 크레셈은 다음과 같은 기술 개발에 집중해야 합니다.

- **초미세 간극(Gap) 측정:** 광학 소자와 칩 사이의 접합부 및 미세 간극을 측정할 수 있는 초고해상도 3D 광학 프로파일링 기술을 고도화하여, 접합 불량 및 이물질을 검출하는 전용 솔루션을 구축해야 합니다 [분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].
- **3D 프로파일링 기반 Warpage 제어:** CPO 패키징은 이중 소재의 결합으로 인해 열팽창 계수 차이에 따른 휨(Warpage) 현상이 발생하기 쉽습니다. 크레셈의 고정밀 스테이지 제어 기술과 3D 프로파일링 기술을 결합하여, 변형된 상태에서도 정확한 데이터를 추출하고 이를 공정에 피드백하는 솔루션을 개발해야 합니다 [분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

2.2. AI 기반 스마트 검사 및 수율(Yield) 최적화 솔루션

CPO는 구조가 복잡하고 검사 데이터의 양이 방대하므로, 기존의 Rule-base 검사 방식으로는 한계가 명확합니다.

- **Deep Learning 기반 결함 분류:** 크레셈의 강점인 AI 비전 알고리즘을 활용하여, CPO 패키징 내의 미세한 Bridge, Open, Missing Bump 및 광학적 결함을 실시간으로 판별해야 합니다. 특히 AI를 통해 정상적인 노이즈와 실제 결함을 구분함으로써 과검(Over-kill)률을 획기적으로 낮추는 것이 핵심입니다 [기업 분석 보고서] (주)크레셈 (CRESSEM): 차세대 반도체 패키징 검사 솔루션의 선두주자.
- **Root Cause Analysis(RCA) 플랫폼 통합:** 단순히 불량 여부를 판정하는 것을 넘어, 검사 데이터를 분석하여 전공정(Fab) 또는 패키징 공정의 결함 원인을 역추적할 수 있는 데이터 분석 플랫폼을 장비에 통합해야 합니다. 이는 고객사의 수율(Yield) 개선에 직접적으로 기여하여 장비의 교체 주기를 단축시키고 고객 락인(Lock-in) 효과를 강화하는 핵심 경쟁력이 됩니다 [분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

3. 전략적 포지셔닝 및 로드맵 요약

크레셈은 CPO 시장의 폭발적인 성장에 발맞추어 다음과 같은 단계적 전략을 추진해야 합니다.

구분	핵심 목표	주요 기술 요소	기대 효과
단기 (R&D 집중)	CPO 전용 검사 모듈 프로토타입 개발	초고해상도 3D AOI, 미세 정렬 측정 기술	기술적 진입장벽 구축 및 특허 확보
중기 (시장 진입)	고객 맞춤형(Customized) 솔루션 공급	AI 기반 결함 분류, 고객사 공정 최적화 알고리즘	글로벌 Top-tier 고객사 레퍼런스 확보
장기 (시장 선도)	AI 기반 스마트 팩토리 통합 솔루션	데이터 분석 플랫폼, 실시간 수율 예측 및 피드백	차세대 패키징 검사 시장의 핵심 플레이어 도약

표 5. 전략적 포지셔닝 및 로드맵 요약

결론적으로, CPO 기술의 도입은 검사 난이도를 급격히 상승시키지만, 이는 곧 크레셈이 보유한 고성능 머신비전 및 AI 통합 역량이 가장 강력하게 발휘될 수 있는 기회입니다 [기업 분석 보고서] (주)크레셈 (CRESSEM): 차세대 반도체 패키징 검사 솔루션의 선두주자. 크레셈은 초정밀 광학 기술과 AI 데이터 분석력을 결합한 차별화된 검사 솔루션을 통해, AI 반도체 공급망 내에서 대체 불가능한 핵심 검사 파트너로 자리매김할 것입니다.

결론 및 시사점

AI 인프라의 폭발적인 성장과 데이터 전송량의 기하급수적 증가에 따라, 기존 구리 배선 기반의 전기 신호 전송 방식은 물리적 한계에 직면해 있습니다. 이러한 기술적 병목 현상을 해결할 핵심 열쇠로 부상한 **공동 패키징 광학(CPO, Co-Packaged Optics)** 기술은 단순한 통신 방식의 변화를 넘어, 반도체 패키징과 검사 솔루션의 패러다임을 근본적으로 변화시키고 있습니다.

CPO 기술의 핵심은 광학 소자(Photonics)와 반도체 스위치 칩을 하나의 패키지 기판에 통합하는 **이종 집적(Heterogeneous Integration)**에 있으며, 이는 전력 소모 절감과 데이터 전송 효율 극대화라는 두 마리 토끼를 잡는 필수적인 기술 경로가 될 것입니다 [출처: engineering-ladder.tistory.com].

크레셈(CRESSEM)은 이러한 기술적 전환기를 맞이하여 다음과 같은 전략적 로드맵을 통해 차세대 검사 시장의 선두 주자로 도약해야 합니다.

1. 차세대 초정밀 광학 검사 솔루션 확보 (R&D 로드맵)

CPO는 실리콘 포토닉스(SiPh)와 전기적 칩이 극도로 미세한 간격으로 결합되어야 하므로, 기존의 검사 정밀도를 뛰어넘는 **Sub-micron 단위의 해상도**가 요구됩니다. 크레셈은 기존 FC-BGA 및 2.5D 기판 검사에서 축적된 고해상도 광학 엔진 기술을 바탕으로, CPO 구현 시 발생하는 미세 정렬(Alignment) 오류 및 광학적 결함을 실시간으로 탐지할 수 있는 **초정밀 3D AOI(Automated Optical Inspection)** 기술을 고도화해야 합니다.

2. AI 기반 스마트 검사 플랫폼으로의 진화

단순히 결함의 유무를 판별하는 단계를 넘어, CPO 패키징 과정에서 발생하는 복잡한 결함 패턴을 학습하고 전공정(Fab)의 결함 원인을 역추적(Root Cause Analysis)할 수 있는 **AI-Driven 검사 솔루션**을 제공해야 합니다. 이는 고객사의 수율(Yield) 개선에 직접적으로 기여함으로써, 크레셈의 장비를 단순한 검사 도구가 아닌 '수율 최적화 파트너'로 포지셔닝하는 핵심 경쟁력이 될 것입니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

3. 전략적 사업 포지셔닝

CPO 시장은 2030년까지 연평균 성장률(CAGR)이 매우 높을 것으로 전망되는 고부가가치 영역입니다 [출처: engineering-ladder.tistory.com]. 크레셈은 글로벌 반도체 제조사 및 패키징 업체들의 공정 특성에 최적화된 **고객**

맞춤형 모듈화 장비(Customized Modular System) 공급 전략을 통해 기술적 진입장벽을 구축하고, AI 가속기 및 차세대 데이터센터 공급망 내에서 대체 불가능한 핵심 검사 솔루션 기업으로 자리매김해야 합니다.

참고 자료

1. [Cpo 기술 동향 및 국내외 기업 분석 :: 투자연구소 테크센터](<https://engineering-ladder.tistory.com/178>)
2. [공동 패키징형 광학 (CPO) 기술동향 및 시장 전망 2025-2035 - IDTechEx](<https://www.idtechex.com/ko/research-report/co-packaged-optics/1019>)
3. [2026.03 Cpo (공동패키징광학) - Ai 데이터센터의 차세대 광통신 ...](<https://kai-search.tistory.com/46>)
4. [구리선의 한계와 반도체의 새로운 돌파구, Cpo 기술 심층 분석](<https://alchonomics.com/cpo-semiconductor-optical-packaging-ai/>)
5. [Co-Packaged Optics Market Size, Share and Growth Analysis](<https://www.marketsandmarkets.com/Market-Reports/co-packaged-optics-market-28874835.html>)
6. [Co-Packaged Optics (CPO) Market Size, Share and Trends 2025 to 2034](<https://www.precedenceresearch.com/co-packaged-optics-market>)
7. [Co Packaged Optics Market Report: Size, Growth, Trends & Forecast (2025-2033)](<https://www.verifiedmarketresearch.com/product/co-packaged-optics-market/>)
8. [Co Packaged Optics Market Size, Share | Growth Report [2034]](<https://www.fortunebusinessinsights.com/co-packaged-optics-market-117954>)
9. [CPO (Co-Packaged Optics) 기술 보고서](<https://happythink64575.tistory.com/69>)
10. [PDF 공동 패키지 광학 (Cpo) 모듈 시장 전망]([https://files-scs.pstatic.net/2025/06/05/GLPalhzms9/\[%EB%B8%8C%EB%A6%AC%ED%95%91\]%20CPO%EB%AA%A8%EB%93%88final.pdf](https://files-scs.pstatic.net/2025/06/05/GLPalhzms9/[%EB%B8%8C%EB%A6%AC%ED%95%91]%20CPO%EB%AA%A8%EB%93%88final.pdf))
11. [Cpo 기술 보고서 - 수정본](<https://happythink64575.tistory.com/171>)
12. 88final.pdf (사내 자료)
13. 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf (사내 자료)
14. 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf (사내 자료)
15. 매뉴얼HBMAAdvancedInspectionSyst20260509001.pdf (사내 자료)
16. 분석_크레셈CRESSEM20260509001.pdf (사내 자료)
17. pdf_인하대학교컴퓨터공학과배승환20260509001.pdf (사내 자료)
18. ProfessorSeungHwanBaeReport.pdf (사내 자료)