

차세대 광 I/O(CPO) 기술 동향 및 크레셈(CRESSEM)의 전략적 대응 방안

문서번호 CRSM-AI-2026-AUTO

작성일 2026-07-27

작성 Cressem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

차세대 광 I/O(CPO) 기술 동향 및 크레셈(CRESSEM)의 전략적 대응 방안	3
개요: AI 인프라의 병목 현상과 CPO의 부상	3
CPO(Co-Packaged Optics) 핵심 기술 메커니즘	4
CPO 기술 진화 및 패키징 구조 분석	6
결론 및 시사점	8
참고 자료	9

차세대 광 I/O(CPO) 기술 동향 및 크레셈(CRESSEM)의 전략적 대응 방안

AI 데이터센터의 전력 및 대역폭 한계를 극복하기 위한 차세대 인터커넥트 기술인 CPO(Co-Packaged Optics)의 기술적 메커니즘과 시장 전망을 분석합니다. 글로벌 주요 플레이어의 기술 로드맵을 검토하고, 크레셈의 고정밀 광학 검사 및 AI 비전 기술을 활용한 시장 진입 전략을 제안합니다.

개요: AI 인프라의 병목 현상과 CPO의 부상

1. AI 연산 가속화와 전기 신호 전송의 물리적 한계

최근 인공지능(AI) 모델의 파라미터 수가 기하급수적으로 증가하고, 대규모 언어 모델(LLM)을 지원하기 위한 데이터센터의 연산 규모가 폭발적으로 확대됨에 따라 반도체 산업의 패러다임이 급격히 변화하고 있습니다. AI 가속기(AI Accelerator) 내부의 연산 속도는 비약적으로 발전했으나, 정작 이 연산 결과들을 외부로 입출력(I/O)하는 과정에서 막대한 전력 소모와 데이터 전송 지연(Latency)이 발생하는 'I/O 병목 현상'이 심각한 문제로 부상했습니다 [출처: alchonomics.com].

그동안 데이터센터와 고성능 컴퓨팅(HPC) 환경에서는 수십 년간 검증된 구리(Copper) 배선 기반의 전기 신호 전송 방식을 사용해 왔습니다. 그러나 차세대 고속 인터페이스 기술인 112G 및 224G SerDes(Serializer/Deserializer) 환경으로 진입하면서, 구리 배선의 유효 전송 거리는 수 센티미터(cm) 수준으로 급격히 단축되었습니다 [출처: engineering-ladder.tistory.com]. 신호의 감쇠(Attenuation)와 왜곡이 심화됨에 따라, 이를 극복하기 위해 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP)를 추가로 배치해야만 했습니다. 하지만 이러한 보상 장치들은 데이터센터 전체 전력 소비를 급증시키고, 칩의 열 밀도(Thermal Density)를 상승시키는 치명적인 부작용을 초래하고 있습니다 [출처: engineering-ladder.tistory.com].

2. 기존 플러그블(Pluggable) 방식의 한계와 에너지 효율 이슈

현재 업계에서 주류를 이루고 있는 플러그블 광모듈 방식은 광학 소자를 별도의 모듈 형태로 제작하여 스위치나 라우터의 포트에 삽입하는 구조입니다. 이 방식은 유지보수와 교체가 용이하다는 장점이 있으나, 칩(ASIC/Switch)과 광모듈 사이의 물리적 거리가 존재하기 때문에 그 사이를 연결하는 구리 배선에서 막대한 신호 손실이 발생합니다.

이러한 구조적 한계는 다음과 같은 세 가지 핵심적인 기술적 난제를 야기합니다.

- **전력 효율성 저하:** 칩과 광모듈 사이의 긴 전기적 경로를 유지하기 위해 과도한 전력이 소모되며, 이는 곧 데이터센터 운영 비용(OPEX)의 상승으로 직결됩니다.
- **대역폭 밀도(Bandwidth Density)의 한계:** 물리적인 포트 공간의 제약으로 인해 단위 면적당 전송할 수 있는 데이터 대역폭을 확장하는 데 한계가 있습니다.
- **신호 무결성(Signal Integrity, SI) 문제:** 고속 신호 전송 시 발생하는 전자기 간섭(EMI) 및 신호 왜곡을 제어하기 위한 설계 복잡도가 극도로 높아집니다.

3. 차세대 돌파구: 공동 패키지 광학(CPO, Co-Packaged Optics)의 등장

이러한 물리적 임계점을 돌파하기 위해 등장한 기술이 바로 공동 패키지 광학(CPO, Co-Packaged Optics)입니다. CPO는 기존의 분리형 구조에서 벗어나, 광학 소자(Photonics)와 반도체 스위치 칩(ASIC)을 하나의 패키지 기판(Package Substrate) 위에 통합하는 첨단 인터커넥트(Interconnect) 기술입니다 [출처: kai-search.tistory.com].

CPO 기술이 도입될 경우, 칩과 광학 인터페이스 사이의 거리를 극단적으로 단축할 수 있어 전기적 신호 손실을 획기적으로 줄일 수 있습니다. 이는 단순히 전력 소모를 줄이는 것을 넘어, 시스템 전체의 데이터 전송 효율을 근본적으로 재정의하는 혁신을 의미합니다.

[표 1] 기존 플러거블(Pluggable) 방식 vs CPO 방식 비교 분석

비교 항목	플러거블(Pluggable) 방식	CPO (Co-Packaged Optics) 방식	기대 효과 및 비교
통합 구조	칩과 광모듈이 물리적으로 분리됨	칩과 광학 소자가 동일 패키지 내 통합	인터커넥트 경로 단축
신호 경로	긴 구리 배선 (Long Electrical Trace)	매우 짧은 전기적 경로 (Short Trace)	신호 손실(Loss) 최소화
전력 소모	DSP 및 리타이머로 인한 높은 전력 사용	DSP 기능 간소화 및 제거 가능	비트당 전력 소모 50% 이상 절감 가능 [출처: engineering-ladder.tistory.com]
전력 효율 사례	800Gbps 포트당 약 15W 소모	800Gbps 포트당 약 5.5W 소모 [출처: kai-search.tistory.com]	에너지 효율 극대화
대역폭 밀도	포트 수 제한으로 확장성 낮음	고밀도 통합으로 대역폭 확장 용이	AI 가속기 성능 극대화

표 1. 개요: AI 인프라의 병목 현상과 CPO의 부상

결론적으로, AI 인프라의 폭발적인 성장은 구리 기반 전기 신호 전송의 한계를 명확히 드러냈으며, 이는 광학 기술을 반도체 패키징 내부로 끌어들이는 CPO 기술의 도입을 필연적인 흐름으로 만들고 있습니다. CPO는 단순한 기술적 선택지가 아닌, 차세대 AI 데이터센터의 생존과 성능 확장을 위한 핵심 인프라 기술로 자리매김할 전망입니다.

CPO(Co-Packaged Optics) 핵심 기술 메커니즘

차세대 AI 데이터센터의 폭발적인 트래픽을 처리하기 위해 등장한 CPO(Co-Packaged Optics, 공동 패키징형 광학) 기술은 기존의 전기적 인터커넥트(Electrical Interconnect) 방식이 가진 물리적 임계점을 극복하기 위한 근본적인 패러다임 전환을 의미합니다. 본 섹션에서는 기존 플러거블(Pluggable) 방식과 CPO의 구조적 차이점을 분석하고, 실리콘 포토닉스(Silicon Photonics)를 기반으로 한 광학 및 전기 신호 통합의 핵심 메커니즘을 심층적으로 다룹니다.

1. 플러거블(Pluggable) 방식의 한계와 CPO의 구조적 혁신

현재 데이터센터에서 널리 사용되는 플러거블 광모듈 방식은 광학 엔진이 스위치 ASIC(Application-Specific Integrated Circuit)으로부터 일정 거리 떨어진 전면 패널(Faceplate)에 위치하는 구조입니다. 이 방식은 유지보수의 용이성이라는 장점이 있으나, 고속 데이터 전송 환경에서는 다음과 같은 치명적인 기술적 병목 현상을 야기합니다.

1.1. 전기적 신호 손실 및 전력 소모 급증

데이터 전송 속도가 112Gbps를 넘어 차세대 224Gbps SerDes(Serializer/Deserializer) 기술로 진화함에 따라, ASIC과 광모듈 사이를 연결하는 구리 배선(Copper Trace)의 유효 전송 거리가 수 센티미터(cm) 수준으로 급격히 단축되었습니다. [출처: 투자연구소 테크센터] 구리 배선을 통한 전기 신호 전송은 주파수가 높아질수록 신호

감쇠(Attenuation)가 기하급수적으로 증가하며, 이를 보상하기 위해 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP)를 추가로 배치해야 합니다. 이러한 구성 요소들은 데이터센터 전체 전력 소비의 약 50%를 차지할 정도로 막대한 전력을 소모하며, 이는 곧 데이터센터의 열 밀도(Heat Density) 상승이라는 심각한 관리 이슈로 이어집니다.

1.2. CPO를 통한 인터커넥트 경로의 최단 거리화

CPO는 광학 소자와 반도체 스위치 칩을 하나의 패키지 기판(Package Substrate) 상에 통합하여 물리적 거리를 극단적으로 줄이는 기술입니다. 이를 통해 ASIC과 광학 엔진 사이의 전기적 경로를 최소화함으로써 신호 손실을 80% 이상 절감할 수 있으며, 전력 소모가 큰 DSP 기능을 간소화하거나 제거할 수 있습니다. 결과적으로 비트당 전력 소모(pJ/bit)를 50% 이상 절감하는 혁신적인 에너지 효율을 달성하게 됩니다. [출처: 투자연구소 테크센터]

비교 항목	플러거블(Pluggable) 방식	CPO(Co-Packaged Optics) 방식
광학 엔진 위치	스위치 전면 패널 (Faceplate)	ASIC/스위치 칩과 동일 패키지 내부
인터커넥트 매체	긴 구리 배선 (Long Copper Trace)	초단거리 전기 배선 및 광학 인터페이스
전력 효율	낮음 (DSP 및 리타이머 필수적)	매우 높음 (DSP 제거 및 경로 단축)
신호 무결성(SI)	고속화 시 신호 감쇠 심화	매우 우수 (전기적 손실 최소화)
열 관리 난이도	상대적으로 용이 (외부 분리)	매우 높음 (칩과 광소자 열 밀집)
주요 타겟 속도	400G / 800G	51.2T / 102.4T 및 그 이상

표 2. 플러거블(Pluggable) 방식의 한계와 CPO의 구조적 혁신

2. 핵심 기술 구성 요소 및 통합 원리

CPO의 구현을 위해서는 광학적 기능을 수행하는 소자와 전기적 제어를 담당하는 반도체가 하나의 시스템으로 유기적으로 작동해야 합니다. 이를 가능하게 하는 핵심 메커니즘은 실리콘 포토닉스(Silicon Photonics) 기술과 PIC, EIC의 통합에 있습니다.

2.1. 실리콘 포토닉스(Silicon Photonics) 및 PIC(Photonic Integrated Circuit)

CPO의 근간은 기존 CMOS 공정을 활용하여 광학 소자를 제작할 수 있는 실리콘 포토닉스 기술입니다. 이를 통해 광학적 기능을 수행하는 PIC(광집적회로)를 구현합니다. PIC 내부에는 빛을 생성하고 변조하며, 전달하고, 검출하는 모든 광학적 기능이 집적됩니다.

- **변조기(Modulator):** 전기적 신호를 광신호로 변환하는 핵심 소자로, 실리콘 포토닉스 기반의 마하-젠더 변조기(Mach-Zehnder Modulator) 등이 사용됩니다.
- **검출기(Photodetector):** 입사된 광신호를 다시 전기적 신호로 변환하여 ASIC이 처리할 수 있도록 합니다.
- **파장 분할 다중화(WDM, Wavelength Division Multiplexing):** 하나의 광섬유에 여러 파장의 빛을 실어 보냄으로써 대역폭을 극대화하는 기술이 PIC 내에 구현됩니다.

2.2. EIC(Electronic Integrated Circuit)와의 상호작용

광학 신호를 처리하기 위해서는 이를 구동하고 제어할 전기적 회로가 필수적입니다. CPO 구조에서는 EIC(전자집적회로)가 PIC와 밀접하게 결합됩니다. EIC는 ASIC으로부터 전달받은 고속 전기 신호를 변조기에 공급하고, PIC에서 검출된 미세한 광신호를 증폭하여 다시 전기적 데이터로 복원하는 역할을 수행합니다. 최근에는 이 EIC와 PIC를 하나의 칩(Single IC) 형태로 통합하려는 연구가 진행 중이며, 이는 인터커넥트의 복잡도를 더욱

낮추고 성능을 극대화하는 최종 단계로 간주됩니다. [출처: IDTechEx]

2.3. 고속 인터커넥트(Interconnect) 메커니즘

CPO는 칩 내부(Intra-chip)와 칩 간(Chip-to-chip)의 경계를 허무는 인터커넥트 기술입니다. 기존의 구리 기반 SerDes가 직면한 대역폭 한계를 극복하기 위해, 광학적 채널을 통해 테라비트(Tbps)급의 데이터를 전송합니다. 현재 기술 로드맵은 3.2 Tbps 및 6.4 Tbps급 실리콘 포토닉스 PIC 개발을 목표로 하고 있으며, 이는 차세대 AI 가속기 및 초거대 데이터센터 스위치 아키텍처의 핵심 기반이 됩니다. [출처: 투자연구소 테크센터]

3. 기술적 난제: 열 관리와 정렬(Alignment)

CPO 기술이 가져오는 압도적인 성능 이점에도 불구하고, 양산화를 위해서는 해결해야 할 고난도 공정 과제가 존재합니다.

첫째, **열 밀도(Thermal Density) 문제**입니다. 고성능 ASIC과 광학 소자가 동일한 패키지 내에 밀집됨에 따라 발생하는 열은 광학 소자의 특성(특히 파장 안정성)을 변화시킬 수 있습니다. 광학 소자는 온도 변화에 매우 민감하므로, 이를 제어하기 위한 고성능 냉각 솔루션과 열 차단(Thermal Isolation) 설계가 필수적입니다.

둘째, **초정밀 정렬(Ultra-precision Alignment)** 이슈입니다. PIC와 EIC 간의 전기적 연결뿐만 아니라, 광섬유(Optical Fiber)와 PIC의 광학적 통로를 결합하는 과정에서 Sub-micron(μm) 단위의 극도로 정밀한 정렬이 요구됩니다. 광학적 경로의 미세한 오차는 삽입 손실(Insertion Loss)을 증가시키고 신호 무결성(Signal Integrity)을 저해하여 전체 시스템의 신뢰성을 떨어뜨리는 요인이 됩니다. 이는 향후 CPO 검사 공정에서 가장 핵심적인 기술적 난이도로 작용할 것으로 전망됩니다.

CPO 기술 진화 및 패키징 구조 분석

데이터센터의 대역폭 요구량이 기하급수적으로 증가함에 따라, 광학 신호를 처리하는 패키징 기술은 기존의 개별형 구조에서 칩과 광학 소자가 하나의 패키지 내에 통합되는 고밀도 적층 구조로 급격히 진화하고 있습니다. 이러한 진화는 단순히 연결 방식을 바꾸는 것을 넘어, 전기적 신호의 전송 경로를 최소화하고 에너지 효율을 극대화하기 위한 패키징 아키텍처의 근본적인 패러다임 변화를 의미합니다.

1. 패키징 기술의 진화 단계: Pluggable에서 CPO로

광학 인터커넥트(Optical Interconnect) 기술은 크게 세 단계의 진화 과정을 거치고 있습니다.

첫째, **플러거블(Pluggable) 광모듈 방식**입니다. 이는 기존의 표준화된 방식으로, 스위치나 라우터의 포트에 광트랜시버(Optical Transceiver)를 삽입하여 사용하는 구조입니다. 이 방식은 유지보수가 용이하고 교체가 쉽다는 장점이 있으나, 칩(ASIC/Switch)과 광모듈 사이를 구리 배선(Copper Traces)으로 연결해야 한다는 치명적인 한계가 있습니다. 데이터 전송 속도가 112G SerDes를 넘어 224G급으로 고도화됨에 따라, 구리 배선의 유효 전송 거리가 수 센티미터(cm) 수준으로 단축되고 신호 손실(Insertion Loss)이 급증하며 전력 소모가 심화되는 물리적 임계점에 도달했습니다 [출처: 투자연구소 테크센터].

둘째, **근접 패키징(Near-packaged Optics, NPO)** 단계입니다. 플러거블 방식의 한계를 극복하기 위해 광학 소자를 스위치 칩에 최대한 가깝게 배치하는 과도기적 단계입니다. 이는 신호 경로를 단축시켜 전력 효율을 일부 개선할 수 있으나, 여전히 전기적 신호와 광학적 신호가 분리된 구조를 가집니다.

셋째, **공동 패키지형 광학(Co-Packaged Optics, CPO)** 단계입니다. 이는 광학 소자(Photonics)와 반도체 스위치 칩(ASIC)을 하나의 패키지 기판(Package Substrate) 위에 통합하는 최첨단 기술입니다. 칩과 광학 인터페이스 사이의 거리를 마이크로미터(μm) 단위로 좁힘으로써, 전기적 신호 손실을 혁신적으로 줄이고 데이터센터의 전력 밀도 문제를 해결할 수 있는 핵심 솔루션으로 주목받고 있습니다 [출처: AI 데이터센터의 차세대 광통신].

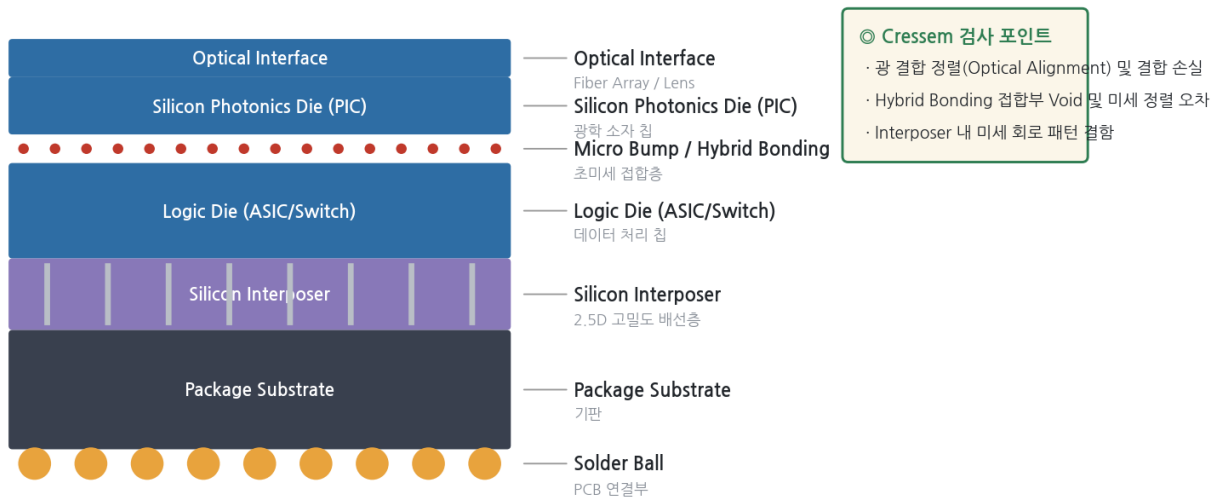
2. 2.5D 및 3D 적층 구조를 통한 고밀도 통합

CPO의 구현을 위해서는 고성능 인터포저(Interposer)를 활용한 2.5D 패키징과 수직 적층을 통한 3D 패키징 기술이 필수적으로 결합됩니다.

2.5D 패키징 구조에서는 실리콘 인터포저(Silicon Interposer) 또는 유기 인터포저(Organic Interposer) 위에 로직 칩(Logic Die)과 광학 엔진(Optical Engine/PIC)을 나란히 배치합니다. 이 구조는 칩 간의 고속 데이터 통로를 확보하면서도 광학 소자와의 물리적 거리를 최소화할 수 있어, 현재 Broadcom 등 주요 플레이어들이 양산 모델에 적용하고 있는 핵심 아키텍처입니다 [출처: AI 데이터센터의 차세대 광통신].

3D 패키징 구조는 더욱 진화된 형태로, 로직 칩 위에 실리콘 포토닉스(Silicon Photonics) 칩을 직접 적층하거나, TSV(Through Silicon Via)를 통해 수직으로 연결하는 방식입니다. 이는 면적 효율을 극대화하고 신호 지연(Latency)을 극한으로 낮출 수 있지만, 적층된 칩 사이의 열 관리(Thermal Management)와 미세 정렬(Alignment) 난이도가 기하급수적으로 상승하는 기술적 도전 과제를 안고 있습니다.

CPO 기반 2.5D/3D 통합 패키지 단면도



Cressem · 결정론 렌더 · 위기용 개략도

그림 1. CPO 기반 2.5D/3D 통합 패키지 단면도

CPO 양산화를 위한 핵심 공정 기술 프로세스

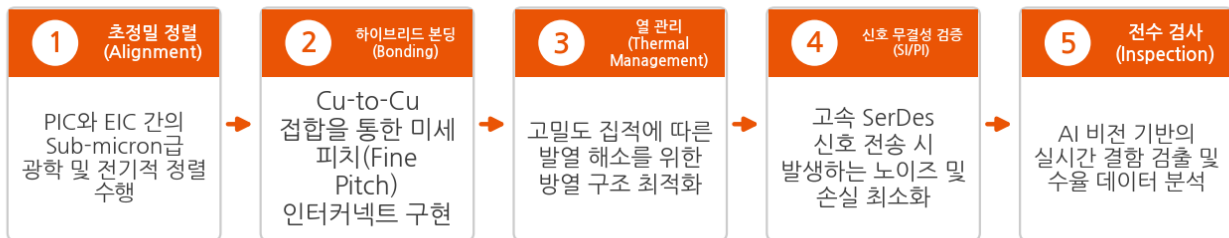


그림 2. CPO 양산화를 위한 핵심 공정 기술 프로세스

크레셈 CPO 검사 솔루션 아키텍처



그림 3. 크레셈 CPO 검사 솔루션 아키텍처

결론적으로, CPO 기술로의 전환은 검사 난이도의 기하급수적 상승을 의미하며, 이는 곧 크레셈과 같은 고정밀 광학 및 AI 통합 기술 보유 기업에게는 강력한 진입 장벽을 형성함과 동시에 시장 주도권을 확보할 수 있는 결정적 기회가 될 것입니다.

결론 및 시사점

차세대 AI 인프라의 핵심 동력인 CPO(Co-Packaged Optics, 공동 패키지형 광학) 기술은 기존 구리 배선 기반 전기 신호 전송의 물리적 한계를 극복하고, 데이터센터의 전력 효율과 대역폭을 혁신할 수 있는 유일한 대안으로 부상했습니다. 2026년 현재, CPO는 실험적 단계를 넘어 본격적인 양산 및 실무 적용 단계(Full-scale mass production and practical roll-out phase)에 진입하고 있으며, 이는 반도체 후공정(Advanced Packaging) 검사 시장의 패러다임 변화를 의미합니다.

CPO 시장의 폭발적인 성장과 기술적 난이도 상승은 크레셈(CRESSEM)에게 단순한 시장 확대를 넘어, 고부가가치 검사 솔루션 시장의 주도권을 확보할 수 있는 결정적 기회를 제공합니다. 이에 따라 크레셈이 시장 리더십(Market Leadership)을 확보하기 위한 전략적 로드맵(Strategic Roadmap)을 다음과 같이 제언합니다.

1. 기술적 고도화: 초정밀 광학 및 AI 통합 검사 솔루션 확보

CPO 패키징은 광학 소자(Photonics)와 반도체 스위치 칩을 하나의 기판에 통합하는 초고난도 공정을 포함합니다. 따라서 기존의 검사 방식을 넘어, 광학 소자와 전기적 칩 간의 미세 정렬(Alignment) 오차를 Sub-micron 단위로 잡아낼 수 있는 초고해상도 3D AOI(Automated Optical Inspection) 기술의 고도화가 최우선 과제입니다. 또한, 검사 데이터의 폭증에 대응하여 미세 결함과 정상 노이즈를 완벽히 구분하고 과검(Over-kill)률을 최소화할 수 있는 Deep Learning 기반 AI 비전 알고리즘을 장비에 내재화해야 합니다.

2. 사업적 확장: 고객 맞춤형(Customized) 모듈화 전략

CPO 기술은 제조사(NVIDIA, Broadcom 등) 및 패키징 업체(TSMC 등)의 공정 방식에 따라 매우 상이한 구조를 가집니다. 크레셈은 기성 제품(Off-the-shelf) 공급 방식에서 탈피하여, 고객사의 특정 공정(예: CoWoS 기반 CPO 적층)에 최적화된 맞춤형 검사 모듈을 신속하게 공급할 수 있는 모듈형 장비 설계 역량을 강화해야 합니다. 이는 고객사의 수율(Yield) 개선에 직접적으로 기여함으로써 강력한 고객 락인(Lock-in) 효과를 창출할 것입니다.

3. 미래 가치 창출: 데이터 기반 수율 분석 플랫폼 구축

단순한 결함 검출(Defect Detection) 단계를 넘어, 검사 데이터를 분석하여 전공정(Fab) 및 패키징 공정의 결함 원인을 역추적(Root Cause Analysis)할 수 있는 데이터 분석 플랫폼을 장비에 통합해야 합니다. 이는 고객사에게 단순 장비 공급사를 넘어, 수율 최적화를 위한 전략적 파트너로서의 지위를 공고히 하는 핵심 경쟁력이 될 것입니다.

결론적으로 크레셈은 이미 확보한 FC-BGA 및 2.5D 기판 검사 분야의 기술적 교두보를 바탕으로, CPO 패키징의 핵심 이슈인 정렬(Alignment), 열 관리(Thermal Management), 신호 무결성(Signal Integrity) 검사 영역으로 기술력을 빠르게 전이시켜야 합니다. 이를 통해 급변하는 AI 반도체 공급망 내에서 대체 불가능한 검사 솔루션 프로바이더로 도약할 수 있을 것으로 기대됩니다.

참고 자료

1. [Cpo 기술 동향 및 국내외 기업 분석 :: 투자연구소 테크센터](<https://engineering-ladder.tistory.com/178>)
2. [공동 패키징형 광학 (CPO) 기술동향 및 시장 전망 2025-2035 - IDTechEx](<https://www.idtechex.com/ko/research-report/co-packaged-optics/1019>)
3. [2026.03 Cpo (공동패키지광학) - Ai 데이터센터의 차세대 광통신 ...](<https://kai-search.tistory.com/46>)
4. [구리선의 한계와 반도체의 새로운 돌파구, Cpo 기술 심층 분석](<https://alchonomics.com/cpo-semiconductor-optical-packaging-ai/>)
5. [Co-Packaged Optics Market Size, Share and Growth Analysis](<https://www.marketsandmarkets.com/Market-Reports/co-packaged-optics-market-28874835.html>)
6. [Co Packaged Optics Market Report: Size, Growth, Trends & Forecast (2025-2033)](<https://www.verifiedmarketresearch.com/product/co-packaged-optics-market/>)
7. [Co-Packaged Optics (CPO) Market Size to Hit USD 1,055.11 Million by 2034](<https://www.precedenceresearch.com/co-packaged-optics-market>)
8. [Co-Packaged Optics (CPO) 2026-2036: Technologies, Market, and Forecasts](<https://www.idtechex.com/en/research-report/co-packaged-optics-cpo/1138>)
9. [PDF Co-Packaged Optics (CPO) 2025-2035: Technologies, Market, and Forecasts](<http://www.sbdic.co.kr/email/2024/20240826/sample/IDTechExCoPackagedOpticsCPO.pdf>)
10. [PDF Co-Packaged Optics (CPO) 2026-2036: Technologies, Market, and Forecasts](<http://www.sbdic.co.kr/email/2026/20260526/sample/IDTechExCoPackagedOpticsCPO2.pdf>)
11. [PDF Global Co-Packaged Optics (CPO) Technology Market Research Report 2025(Status and Outlook)](<https://pdf.marketpublishers.com/bossonresearch/co-packaged-optics-cpo-technology-market-bosson.pdf>)
12. [PDF Co-Packaged Optics Gain Traction in Data Centers](https://www.mitsui.com/mgssi/en/report/detail/_icsFiles/afieldfile/2026/04/01/2601bttusjie.pdf)
13. IDTechExCoPackagedOpticsCPO.pdf (사내 자료)

14. IDTechExCoPackagedOpticsCPO2.pdf (사내 자료)
15. co-packaged-optics-cpo-technology-market-bosson.pdf (사내 자료)
16. 2601bttstjie.pdf (사내 자료)
17. 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf (사내 자료)
18. 매뉴얼HBMAAdvancedInspectionSyst20260509001.pdf (사내 자료)
19. 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf (사내 자료)
20. 분석_크레셈CRESSEM20260509001.pdf (사내 자료)
21. pdf_인하대학교컴퓨터공학과배승환20260509001.pdf (사내 자료)
22. ProfessorSeungHwanBaeReport.pdf (사내 자료)