

차세대 광 I/O(CPO) 기술 동향 분석 및 크레셈(CRESSEM)의 전략적 대응 방안

문서번호 CRSM-AI-2026-AUTO

작성일 2026-07-27

작성 Cresseem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

차세대 광 I/O(CPO) 기술 동향 분석 및 크레셈(CRESSEM)의 전략적 대응 방안	3
개요: AI 데이터센터의 병목 현상과 CPO의 부상	3
CPO(Co-Packaged Optics) 핵심 기술 메커니즘	4
결론 및 시사점	7
참고 자료	7

차세대 광 I/O(CPO) 기술 동향 분석 및 크레셈(CRESSEM)의 전략적 대응 방안

AI 인프라의 폭발적 성장으로 인한 구리 배선의 물리적 한계를 극복하기 위한 차세대 공동 패키지 광학(CPO) 기술의 핵심 원리와 시장 전망을 분석합니다. 주요 글로벌 플레이어의 기술 로드맵을 검토하고, 크레셈의 기존 검사 솔루션을 활용한 CPO 시장 진입 및 고부가가치 검사 영역 확장 전략을 제안합니다.

개요: AI 데이터센터의 병목 현상과 CPO의 부상

AI(Artificial Intelligence) 연산 규모가 기하급수적으로 폭발함에 따라, 현대의 데이터센터는 전례 없는 데이터 처리량과 연산 성능을 요구받고 있습니다. 그러나 이러한 연산 능력의 비약적인 발전에도 불구하고, 칩과 칩 사이, 혹은 칩과 외부 네트워크를 연결하는 인터커넥트(Interconnect) 기술은 물리적인 한계에 직면해 있습니다. 현재 데이터센터의 주류를 이루는 구리(Copper) 배선 기반의 전기 신호 전송 방식은 대역폭 확장과 전력 효율성 측면에서 임계점에 도달했으며, 이는 AI 인프라 전체의 성능을 저하시키는 심각한 데이터 병목(Data Bottleneck) 현상을 야기하고 있습니다.

1. 전기 신호 전송의 물리적 한계와 SerDes 기술의 도전

기존의 데이터 전송 시스템은 고속 직렬 통신을 위한 SerDes(Serializer/Deserializer) 기술을 기반으로 합니다. 최근 업계가 도입하고 있는 112G 및 차세대 224G SerDes 환경에서는 신호의 속도가 빨라질수록 구리 배선 내에서의 신호 손실(Signal Loss)이 극심해지는 특성을 보입니다. 구리 배선의 유효 전송 거리는 불과 수 센티미터(cm) 수준으로 단축되었으며, 이를 극복하기 위해 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP)를 추가로 배치해야만 합니다.

하지만 이러한 보상 방식은 심각한 부작용을 초래합니다. DSP는 네트워크 전체 전력 소비에서 약 50%의 비중을 차지할 정도로 막대한 전력을 소모하며, 이는 데이터센터의 열 밀도(Heat Density) 상승과 전력 비용 급증으로 이어집니다. 즉, 연산 칩(GPU/NPU)의 성능은 높아지는데, 이를 연결하는 통로(I/O)에서 발생하는 전력 소모와 발열이 전체 시스템의 효율성을 갉아먹는 역설적인 상황이 발생하고 있는 것입니다. [출처: engineering-ladder.tistory.com]

2. CPO(Co-Packaged Optics)의 등장과 기술적 필연성

이러한 전기적 신호 전송의 물리적 한계를 돌파하기 위한 차세대 기술로 공동 패키지형 광학(CPO, Co-Packaged Optics)이 급부상하고 있습니다. CPO는 광학 소자(Photonics)와 반도체 스위치 칩을 하나의 패키지 기판(Package Substrate) 내에 통합하는 첨단 인터커넥트 기술입니다. 이는 기존의 플러거블(Pluggable) 광모듈 방식이 가진 구조적 한계를 근본적으로 해결합니다.

기존 플러거블 방식은 칩과 광모듈 사이에 긴 구리 배선이 존재하여 신호 지연(Latency)과 전력 손실이 컸으나, CPO는 광학 엔진을 반도체 칩과 매우 근접하게 배치함으로써 신호 전달 경로를 최소화합니다. 이를 통해 얻을 수 있는 기술적 이점은 다음과 같습니다.

비교 항목	기존 플러거블(Pluggable) 방식	차세대 CPO(Co-Packaged Optics) 방식
신호 전달 매체	긴 구리 배선 (전기 신호)	근거리 전기 신호 + 광학 인터페이스

전력 효율성	DSP 및 리타이머로 인한 높은 전력 소모	비트당 전력 소모(pJ/bit) 50% 이상 절감 가능 [출처: engineering-ladder.tistory.com]
전력 소모 사례	800Gbps 포트당 약 15W 소모	800Gbps 포트당 약 5.5W로 절감 [출처: kai-search.tistory.com]
신호 손실	고속 SerDes 환경에서 급격한 손실 발생	신호 손실을 80% 이상 감소 가능 [출처: engineering-ladder.tistory.com]
데이터 밀도	물리적 공간 및 발열 문제로 확장 제한	높은 대역폭 밀도 및 공간 효율성 확보 [출처: verifiedmarketresearch.com]

표 1. 개요: AI 데이터센터의 병목 현상과 CPO의 부상

3. 시장의 전환점과 AI 인프라의 미래

CPO 기술은 단순한 기술적 개선을 넘어 AI 데이터센터의 생태계를 재편할 핵심 동력입니다. NVIDIA GTC 2026에서 광학 통합 스위치가 공개되고 Broadcom의 CPO 솔루션이 본격적인 양산 단계에 진입함에 따라, CPO는 AI 인프라 투자의 필수 요소로 자리 잡았습니다. [출처: kai-search.tistory.com]

시장 전망 또한 매우 낙관적입니다. Yole Group에 따르면 CPO 시장은 2024년 4,600만 달러 규모에서 2030년 81억 달러 규모로 성장하며, 연평균 성장률(CAGR) 137%라는 폭발적인 성장세를 기록할 것으로 전망됩니다. [출처: engineering-ladder.tistory.com] 또한, 일부 시장 분석 기관은 2034년까지 CPO 시장이 약 10억 5,511만 달러에 달할 것으로 예측하고 있습니다. [출처: precedenceresearch.com]

결론적으로, AI 연산의 가속화로 인해 발생하는 '데이터 병목'과 '전력 효율성 저하'라는 두 가지 난제를 해결하기 위해 CPO로의 전환은 선택이 아닌 필연적인 흐름입니다. 광학 소자와 반도체 칩이 하나의 패키지로 통합되는 이 고도의 공정은 검사 난이도를 비약적으로 상승시키며, 이는 곧 차세대 반도체 검사 장비 시장에 새로운 기술적 요구사항과 거대한 기회를 동시에 제공할 것입니다.

CPO(Co-Packaged Optics) 핵심 기술 메커니즘

AI 연산 규모가 폭발적으로 증가함에 따라, 기존의 구리(Copper) 기반 전기 신호 전송 방식은 대역폭 확장과 전력 효율성 측면에서 임계점에 도달했습니다. 차세대 데이터센터 인프라의 핵심으로 부상한 CPO(Co-Packaged Optics, 공동 패키지 광학) 기술은 이러한 물리적 한계를 극복하기 위해 광학(Optics) 소자와 반도체 스위치 칩을 하나의 패키지 기판에 통합하는 첨단 인터커넥트(Interconnect) 기술입니다 [출처: alchonomics.com].

1. 기존 플러그블(Pluggable) 방식의 한계와 구조적 전환

전통적인 광통신 방식인 플러그블 광모듈(Pluggable Optics)은 광학 엔진이 스위치 ASIC(Application-Specific Integrated Circuit)과 별도의 포트에 장착되는 구조를 가집니다. 이 방식은 유지보수가 용이하다는 장점이 있으나, 다음과 같은 치명적인 기술적 병목 현상을 야기합니다.

- **전기적 신호 손실(Signal Loss) 및 지연(Latency):** ASIC 칩에서 광모듈까지 연결되는 구리 배선(Trace)의 길이가 길어짐에 따라, 고속 신호(112G 및 차세대 224G SerDes) 전송 시 신호 감쇠가 극심해집니다. 현재 구리 배선의 유효 전송 거리는 수 센티미터(cm) 수준으로 단축되어, 이를 보상하기 위한 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP)의 추가 배치가 불가피합니다 [출처: engineering-ladder.tistory.com].
- **전력 소비 및 열 밀도(Thermal Density) 급증:** DSP는 네트워크 전체 전력 소비의 약 50%를 차지할 만큼 막대한 에너지를 소모하며, 이는 데이터센터의 전력 비용 상승과 냉각 시스템의 부하를 초래합니다.

- **대역폭 밀도(Bandwidth Density)의 한계:** 물리적인 포트 공간의 제한으로 인해 칩당 제공할 수 있는 I/O(Input/Output) 밀도를 높이는 데 한계가 있습니다.

CPO는 이러한 구조를 근본적으로 재설계하여, 광학 소자를 ASIC과 물리적으로 매우 가까운 거리(Millimeter 단위)에 배치함으로써 전기적 경로를 최소화합니다. 이를 통해 신호 손실을 80% 이상 줄이고, 비트당 전력 소모(pJ/bit)를 50% 이상 절감하는 혁신적인 효과를 제공합니다 [출처: engineering-ladder.tistory.com].

2. CPO의 핵심 구성 요소 및 통합 메커니즘

CPO의 기술적 완성도는 서로 다른 물리적 특성을 가진 광학 소자와 전자 소자를 얼마나 정밀하게 통합하느냐에 달려 있습니다. 핵심은 실리콘 포토닉스(Silicon Photonics) 기술을 기반으로 한 PIC와 EIC의 결합입니다.

① 실리콘 포토닉스 PIC (Photonic Integrated Circuit)

PIC는 실리콘 웨이퍼 위에 광학 소자(변조기, 검출기, 광도파로 등)를 집적한 회로입니다. 기존의 개별 광학 부품을 하나의 칩으로 통합함으로써 크기를 줄이고 신뢰성을 높입니다. 최근에는 3.2 Tbps 및 6.4 Tbps급의 초고속 데이터 전송을 지원하는 실리콘 포토닉스 PIC 개발이 가속화되고 있습니다 [출처: engineering-ladder.tistory.com].

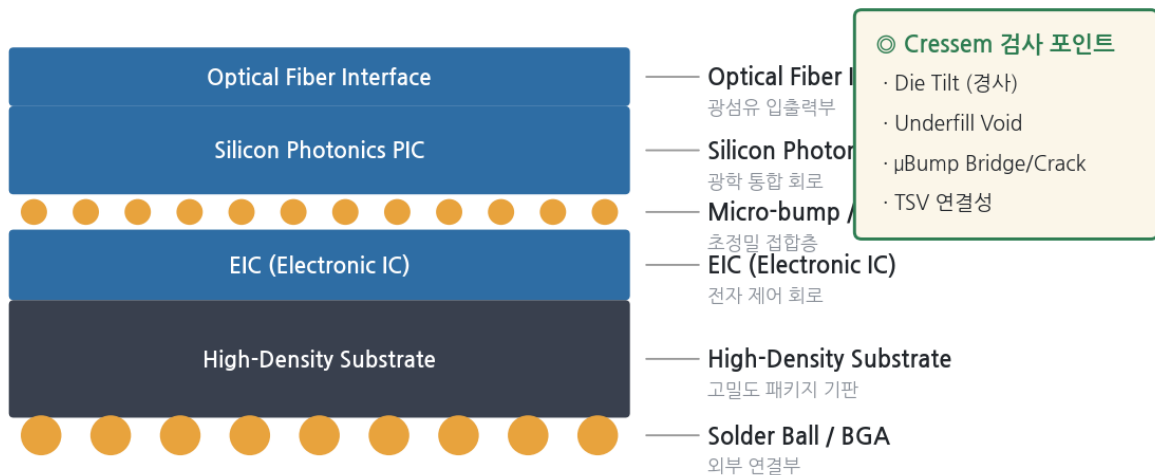
② EIC (Electronic Integrated Circuit)

EIC는 광신호를 처리하고 제어하는 전자 회로입니다. CPO 구조에서는 PIC와 EIC가 동일한 패키지 내에 존재하거나, 심지어 칩렛(Chiplet) 형태로 직접 결합되어 광신호와 전기신호 간의 변환 과정에서 발생하는 에너지 손실을 극단적으로 낮춥니다.

③ 인터커넥트 및 패키징 구조

CPO는 ASIC, PIC, EIC를 고밀도 기판(High-Density Substrate) 또는 인터포저(Interposer) 위에 배치합니다. 이 과정에서 광섬유(Optical Fiber)를 패키지 내부로 직접 통합하는 기술이 요구되며, 이는 기존의 플러거블 방식과는 완전히 다른 차원의 정밀 패키징 공정을 필요로 합니다.

CPO 패키지 내부 적층 단면도



Cressem · 결정론 렌더 · 임기용 개략도

그림 1. CPO 패키지 내부 적층 단면도

CPO 패키징 공정 및 검사 워크플로우

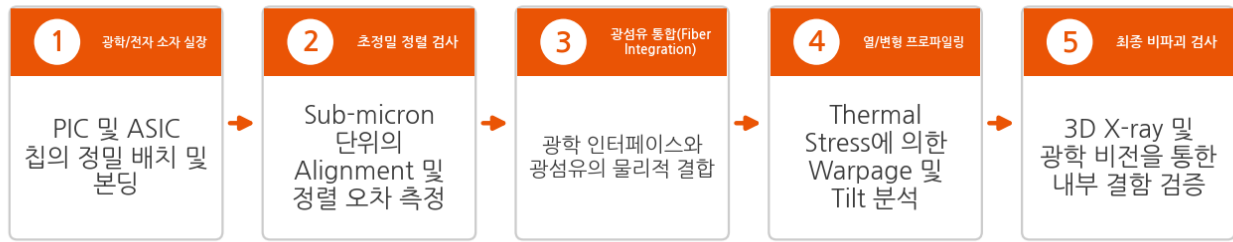


그림 2. CPO 패키징 공정 및 검사 워크플로우

CPO 차세대 AI 검사 솔루션 아키텍처

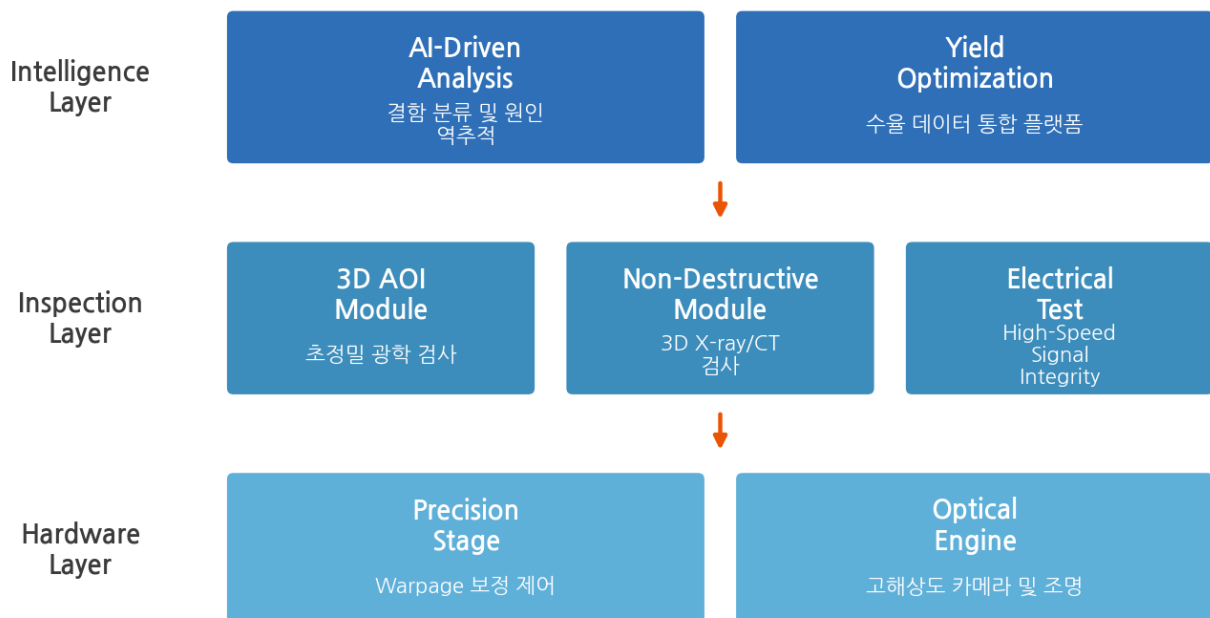


그림 3. CPO 차세대 AI 검사 솔루션 아키텍처

4. 기술적 기대 효과 및 시장 지위 확보

위와 같은 로드맵을 통해 크레셈은 단순한 검사 장비 공급업체를 넘어, CPO 생태계의 '수율 보증 파트너(Yield Assurance Partner)'로 진화할 것입니다.

구분	기존 검사 방식 (Pluggable 중심)	차세대 CPO 대응 솔루션 (크레셈 전략)
검사 대상	개별 광모듈 (Module level)	반도체 칩 + 광학 소자 통합 패키지 (Chip-level)
핵심 기술	2D 비전 및 단순 기능 테스트	3D AOI + AI 기반 결함 분류 + Hybrid Bonding 검사

정밀도 요구사항	μm 단위 정렬	Sub-micron (sub-μm) 급 초정밀 정렬
데이터 활용	Pass/Fail 결과 보고	공정 결함 원인 역추적 (Root Cause Analysis)

표 2. 기술적 기대 효과 및 시장 지위 확보

크레셈은 이미 FC-BGA 및 2.5D 기판 검사 시장에서 검증된 고성능 머신비전 및 AI 알고리즘 내재화 역량을 보유하고 있습니다. [출처: 기업 분석 보고서 (주)크레셈 (CRESSEM): 차세대 반도체 패키징 검사 솔루션의 선두주자] 이러한 기술적 자산을 CPO의 고난도 패키징 이슈(정렬, Void, Warpage)에 집중 투입함으로써, 급성장하는 AI 인프라 시장의 핵심 검사 플레이어로 도약할 것입니다.

결론 및 시사점

AI 인프라의 폭발적인 성장과 함께 데이터센터 내 인터커넥트(Interconnect) 기술은 기존 구리 배선 기반의 전기 신호 전송 방식에서 광(Optical) 신호 전송 방식으로의 근본적인 패러다임 전환을 맞이하고 있습니다. 본 보고서에서 분석한 바와 같이, 공동 패키지형 광학(CPO, Co-Packaged Optics) 기술은 전력 효율성 제고, 대역폭 확장, 지연 시간(Latency) 단축이라는 세 가지 핵심 과제를 동시에 해결할 수 있는 유일한 대안으로 부상했습니다. CPO 시장은 2030년까지 연평균 성장률(CAGR) 137%를 기록하며 급격히 팽창할 것으로 전망되며, 이는 단순한 기술 트렌드를 넘어 AI 반도체 생태계의 필수 인프라로 자리 잡을 것임을 시사합니다.

이러한 격변의 시기에 크레셈(CRESSEM)이 글로벌 **Market Leader**로 도약하기 위한 핵심 성공 요인(KSF)은 다음과 같습니다.

첫째, **기술적 연계성을 활용한 초정밀 검사 솔루션의 선점**입니다. CPO는 광학 소자(Photonics)와 반도체 스위치 칩을 하나의 패키지 기판에 통합하는 고난도 공정을 요구합니다. 이는 크레셈이 이미 HBM4 및 2.5D/3D 패키징 분야에서 축적해 온 고해상도 3D AOI(Automated Optical Inspection) 및 미세 정렬(Alignment) 검사 기술과 기술적 궤를 같이합니다. 특히 Hybrid Bonding 공정 대응을 위해 개발 중인 초정밀 정렬 및 결함 검출 역량은 CPO의 광-전기 인터페이스 검사 시장으로 확장할 수 있는 강력한 무기가 될 것입니다.

둘째, **전략적 투자(Strategic Investment)를 통한 R&D 고도화**입니다. CPO 공정은 기존의 플러그블(Pluggable) 방식보다 훨씬 엄격한 수준의 물리적, 광학적 정밀도를 요구합니다. 따라서 단순한 외관 검사를 넘어, 실리콘 포토닉스(Silicon Photonics) 소자의 특성을 반영한 비파괴 검사 기술과 미세 결함(Void, Misalignment)을 실시간으로 잡아낼 수 있는 고속 광학 엔진 개발에 대한 집중적인 투자가 필요합니다.

셋째, **AI 기반의 지능형 검사 플랫폼 구축**입니다. CPO 패키징의 복잡도가 증가함에 따라 검사 데이터량은 기하급수적으로 늘어날 것입니다. 크레셈은 기존의 강점인 AI 비전 알고리즘을 고도화하여, 단순한 불량 판정을 넘어 공정의 근본 원인을 역추적(Root Cause Analysis)할 수 있는 데이터 분석 솔루션을 장비에 통합해야 합니다. 이는 고객사의 수율(Yield) 향상에 직접적으로 기여함으로써 강력한 고객 락인(Lock-in) 효과를 창출할 것입니다.

결론적으로, CPO 기술의 부상은 크레셈에게 기존 기판 및 메모리 검사 영역을 넘어 차세대 AI 반도체 패키징 검사 시장의 핵심 플레이어로 도약할 수 있는 결정적인 **Future Growth** 기회를 제공하고 있습니다. 크레셈이 보유한 광학·AI 통합 역량과 고객 맞춤형 모듈화 전략을 결합한다면, 급변하는 글로벌 반도체 공급망 내에서 대체 불가능한 기술적 위치를 확보할 수 있을 것으로 확신합니다.

참고 자료

1. [Cpo 기술 동향 및 국내외 기업 분석 :: 투자연구소 테크센터](<https://engineering-ladder.tistory.com/178>)

2. [공동 패키지형 광학 (CPO) 기술동향 및 시장 전망 2025-2035 - IDTechEx](<https://www.idtechex.com/ko/research-report/co-packaged-optics/1019>)
3. [2026.03 Cpo (공동패키지광학) - Ai 데이터센터의 차세대 광통신 ...](<https://kai-search.tistory.com/46>)
4. [구리선의 한계와 반도체의 새로운 돌파구, Cpo 기술 심층 분석](<https://alchonomics.com/cpo-semiconductor-optical-packaging-ai/>)
5. [Co-Packaged Optics Market Size, Share and Growth Analysis](<https://www.marketsandmarkets.com/Market-Reports/co-packaged-optics-market-28874835.html>)
6. [Co Packaged Optics Market Report: Size, Growth, Trends & Forecast (2025-2033)](<https://www.verifiedmarketresearch.com/product/co-packaged-optics-market/>)
7. [Co-Packaged Optics (CPO) Market Size to Hit USD 1,055.11 Million by 2034](<https://www.precedenceresearch.com/co-packaged-optics-market>)
8. [Co Packaged Optics Market Size, Share | Growth Report [2034]](<https://www.fortunebusinessinsights.com/co-packaged-optics-market-117954>)
9. [Five Key Trends of Co-Packaged Optics (CPO) in 2026](<https://blogs.sw.siemens.com/semiconductor-packaging/2026/02/05/five-key-trends-of-co-packaged-optics-cpo-in-2026/>)
10. [Co-Packaged Optics (CPO) 2026-2036: Technologies, Market, and Forecasts](<https://www.idtechex.com/en/research-report/co-packaged-optics-cpo/1138>)
11. [공동 패키지 광학 (Cpo) 2026-2036: 기술, 시장 및 예측](<https://www.idtechex.com/ko/research-report/co-packaged-optics-cpo/1138>)
12. [PDF Co-Packaged Optics (CPO) 2026-2036: Technologies, Market, and Forecasts](<http://www.sbdidi.co.kr/email/2026/20260526/sample/IDTechExCoPackagedOpticsCPO2.pdf>)
13. IDTechExCoPackagedOpticsCPO2.pdf (사내 자료)
14. 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf (사내 자료)
15. 매뉴얼HBMAAdvancedInspectionSyst20260509001.pdf (사내 자료)
16. 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf (사내 자료)
17. 분석_크레셈CRESSEM20260509001.pdf (사내 자료)
18. pdf_인하대학교컴퓨터공학과박승환20260509001.pdf (사내 자료)
19. ProfessorSeungHwanBaeReport.pdf (사내 자료)