

차세대 광 I/O(CPO) 기술 동향 분석 및 크레셈(CRESSEM)의 전략적 대응 방안

문서번호 CRSM-AI-2026-AUTO

작성일 2026-07-28

작성 CresseM AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

차세대 광 I/O(CPO) 기술 동향 분석 및 크레셈(CRESSEM)의 전략적 대응 방안	3
개요: AI 인프라의 병목 현상과 CPO의 부상	3
CPO 핵심 기술 메커니즘 및 구조 분석	4
CPO 시장 규모 및 성장 전망	6
글로벌 주요 플레이어 및 기술 로드맵	8
CPO 패키징 공정의 기술적 난제	10
크레셈(CRESSEM)의 기술적 기회 및 대응 전략	12
결론 및 시사점	13
참고 자료	14

차세대 광 I/O(CPO) 기술 동향 분석 및 크레셈(CRESSEM)의 전략적 대응 방안

AI 데이터센터의 전력 및 대역폭 한계를 극복하기 위한 차세대 인터커넥트 기술인 CPO(Co-Packaged Optics)의 기술적 메커니즘과 시장 전망을 분석합니다. 주요 글로벌 플레이어의 기술 로드맵을 검토하고, 크레셈의 고정밀 광학 검사 및 AI 비전 기술을 활용한 시장 진입 및 수출 확보 전략을 제안합니다.

개요: AI 인프라의 병목 현상과 CPO의 부상

1. AI 연산 가속화와 전기적 인터커넥트의 물리적 한계

최근 생성형 AI(Generative AI) 및 대규모 언어 모델(LLM)의 폭발적인 성장으로 인해 데이터센터의 연산 규모가 기하급수적으로 확대되고 있습니다. 이러한 환경에서 AI 가속기(GPU, NPU 등) 내부의 연산 속도보다 더 심각한 문제는 칩과 칩 사이, 혹은 칩과 네트워크 사이에서 데이터를 주고받는 입출력(I/O, Input/Output) 과정에서 발생하는 **대역폭 병목 현상(Bandwidth Bottleneck)**입니다.

수십 년간 반도체 패키징 및 데이터 전송의 표준으로 자리 잡았던 구리(Copper) 기반의 전기 신호 전송 방식은 현재 임계점에 도달했습니다. 데이터 전송 속도가 112Gbps를 넘어 차세대 224Gbps SerDes(Serializer/Deserializer) 기술 환경으로 진입함에 따라, 구리 배선의 유효 전송 거리(Effective Transmission Distance)는 수 센티미터(cm) 수준으로 급격히 단축되었습니다 [출처: 투자연구소 테크센터]. 이는 고속 신호를 전송할 때 발생하는 신호 손실(Signal Loss)과 왜곡이 심화됨을 의미하며, 이를 극복하기 위해 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP, Digital Signal Processor)를 추가로 배치해야 하는 상황에 직면했습니다.

하지만 이러한 보상 기술의 도입은 다음과 같은 치명적인 부작용을 초래합니다:

- **전력 소비 급증(Power Consumption Spike):** 네트워크 장비 전체 전력의 약 50%가 DSP 기능에 집중될 정도로 막대한 에너지를 소모합니다.
- **열 밀도 상승(Thermal Density Increase):** 데이터센터 내의 전력 밀도가 높아지면서 냉각 비용과 시스템 신뢰성 문제가 심화됩니다.
- **신호 무결성(Signal Integrity, SI) 저하:** 고주파 신호가 구리 배선을 통과할 때 발생하는 감쇄(Attenuation) 현상으로 인해 데이터 신뢰성을 확보하기가 매우 어려워집니다.

2. CPO(Co-Packaged Optics)의 등장과 도입의 필연성

전통적인 방식인 플러그블(Pluggable) 광모듈 방식은 광학 소자가 스위치 칩이나 프로세서로부터 물리적으로 떨어진 위치에 배치됩니다. 이로 인해 칩과 광모듈 사이를 연결하는 긴 구리 배선이 필수적이며, 여기서 발생하는 전력 손실과 지연(Latency)은 AI 인프라의 효율성을 저해하는 핵심 요소가 됩니다. 이러한 전기적 인터커넥트의 한계(Electrical Interconnect Limit)를 돌파하기 위한 기술적 구원투수로 부상한 것이 바로 **CPO(Co-Packaged Optics, 공동 패키지형 광학)** 기술입니다.

CPO는 광학 소자(Photonics)와 반도체 스위치 칩(ASIC/Switch Chip)을 하나의 패키지 기판(Package Substrate) 내에 통합하는 첨단 인터커넥트 기술입니다. 즉, 전기 신호를 광 신호로 변환하는 과정을 칩과 최대한 가까운 거리에서 수행함으로써 구리 배선의 길이를 최소화하고, 광학적 연결을 통해 데이터 전송 효율을 극대화하는 방식입니다.

CPO 도입 시 기대할 수 있는 정량적·기술적 이점은 다음과 같습니다:

- **전력 효율성 극대화:** 800Gbps 포트당 전력을 기존 15W에서 5.5W 수준으로 대폭 절감할 수 있으며, 비트당 전력 소모(pJ/bit)를 50% 이상 절감하는 효과를 제공합니다 [출처: 투자연구소 테크센터, kai-search.tistory.com].
- **신호 손실 최소화:** 전기 신호가 구리선을 타고 이동하는 거리를 획기적으로 줄임으로써 신호 손실을 80% 이상 감소시킬 수 있습니다 [출처: 투자연구소 테크센터].
- **대역폭 확장성 확보:** 실리콘 포토닉스(Silicon Photonics) 기술을 활용하여 차세대 데이터센터가 요구하는 초고속·대용량 데이터 전송 환경을 구축할 수 있습니다.

3. 기술 패러다임의 전환과 시장의 요구

결론적으로, AI 인프라의 지속 가능한 성장은 '얼마나 빨리 계산하느냐'를 넘어 '얼마나 효율적으로 데이터를 이동시키느냐'의 문제로 귀결되고 있습니다. 구리 기반의 전기 신호가 가진 물리적 한계는 더 이상 회피할 수 없는 과제이며, CPO는 단순한 선택지가 아닌 AI 인프라 구축을 위한 필수적인 기술적 전환점(Paradigm Shift)이 되고 있습니다.

현재 글로벌 시장은 NVIDIA의 광학 통합 스위치 공개와 Broadcom의 CPO 솔루션 양산 진입 등 기술적 성숙 단계에 접어들고 있으며, 이는 CPO가 차세대 데이터센터 및 AI 가속기 생태계의 핵심 키워드로 완전히 자리 잡았음을 시사합니다 [출처: kai-search.tistory.com]. 따라서 CPO 기술의 성공적인 구현을 위해서는 광학 소자와 반도체 칩을 정밀하게 통합하는 패키징 기술과, 이 과정에서 발생하는 미세 결함을 잡아낼 수 있는 초정밀 검사 솔루션의 동반 성장이 반드시 요구됩니다.

CPO 핵심 기술 메커니즘 및 구조 분석

AI 연산 규모가 기하급수적으로 팽창함에 따라, 데이터센터 내 칩과 칩, 그리고 스위치 간의 데이터 전송 속도는 임계점에 도달했습니다. 기존의 플러거블(Pluggable) 광모듈 방식은 물리적 거리에 따른 신호 손실과 전력 소모 문제를 해결하는 데 한계를 보이고 있으며, 이를 극복하기 위한 핵심 메커니즘으로 **공동 패키징형 광학(Co-Packaged Optics, CPO)** 기술이 부상하고 있습니다. 본 섹션에서는 CPO의 구조적 이점과 실리콘 포토닉스(Silicon Photonics, SiPh) 기반의 통합 원리를 심층 분석합니다.

1. Pluggable 방식 대비 CPO의 구조적 이점 및 차별성

전통적인 데이터센터 인터커넥트 구조는 스위치 ASIC(Application Specific Integrated Circuit)과 광모듈이 별도의 PCB(Printed Circuit Board) 상에 분리되어 배치되는 **플러거블(Pluggable)** 방식을 채택해 왔습니다. 이 방식은 유지보수가 용이하다는 장점이 있으나, 고속 데이터 전송 환경에서는 다음과 같은 치명적인 물리적 한계를 노출합니다.

첫째, **전기적 신호 손실(Electrical Signal Loss)**의 급증입니다. 112G 및 차세대 224G SerDes(Serializer/Deserializer) 기술 환경에서 구리 배선의 유효 전송 거리는 수 센티미터(cm) 수준으로 급격히 단축되었습니다. 칩에서 광모듈까지 이어지는 긴 구리 배선은 높은 삽입 손실(Insertion Loss)을 유발하며, 이를 보상하기 위해 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP)를 추가 배치해야 합니다. 이는 시스템 전체의 전력 소비를 높이고 데이터 지연(Latency)을 심화시키는 원인이 됩니다.

둘째, **전력 밀도 및 열 관리(Thermal Management)**의 한계입니다. 플러거블 방식은 DSP가 네트워크 전력의 약 50%를 차지할 정도로 막대한 에너지를 소모하며, 이는 데이터센터의 열 밀도를 상승시켜 냉각 비용을 증가시킵니다.

반면, **CPO(Co-Packaged Optics)**는 광학 소자(Photonics)와 반도체 스위치 칩을 하나의 패키징 기판(Substrate) 내에 통합하는 기술입니다. CPO는 칩과 광학 엔진 사이의 전기적 경로를 최소화하여 신호 손실을 80% 이상 절감할 수 있으며, DSP 기능을 간소화하거나 제거함으로써 비트당 전력 소모(pJ/bit)를 50% 이상 낮추는 혁신적인 효율성을 제공합니다 [출처: 투자연구소 테크센터].

비교 항목	Pluggable 광모듈 방식	CPO (Co-Packaged Optics)	비고
배치 구조	ASIC과 광모듈이 별도 분리	ASIC과 광학 엔진이 동일 패키지 내 통합	-
전기적 경로	길음 (PCB Trace 기반)	매우 짧음 (Substrate/Interposer 기반)	CPO가 손실 최소화
전력 효율	낮음 (DSP 의존도 높음)	매우 높음 (DSP 간소화 가능)	CPO가 50% 이상 절감 가능
신호 손실	높음 (구리 배선 한계)	매우 낮음	CPO가 80% 이상 개선
포트당 전력	약 15W (800Gbps 기준)	약 5.5W (800Gbps 기준)	[출처: AI 데이터센터의 차세대 광통신]

표 1. Pluggable 방식 대비 CPO의 구조적 이점 및 차별성

2. 실리콘 포토닉스(Silicon Photonics) 기반의 통합 원리

CPO 기술을 실현하는 핵심 엔진은 **실리콘 포토닉스(Silicon Photonics, SiPh)**입니다. 이는 기존의 CMOS 공정을 활용하여 실리콘 웨이퍼 위에 광학 소자(도파로, 변조기, 검출기 등)를 집적하는 기술을 의미합니다.

CPO의 작동 메커니즘은 전기적 신호를 광학적 신호로 변환하여 전송하는 과정으로 요약됩니다. 구체적인 프로세스는 다음과 같습니다.

- 전기-광 변환(E/O Conversion):** 스위치 ASIC에서 생성된 고속 전기 신호가 실리콘 기반의 전기 광 변조기(Electro-optic Modulator)로 전달됩니다.
- 광 전달(Optical Transport):** 변조된 광 신호는 실리콘 도파로(Silicon Waveguide)를 따라 패키지 내부를 이동합니다.
- 광-전기 변환(O/E Conversion):** 수신단에서는 포토다이오드(Photodiode)를 통해 광 신호를 다시 전기 신호로 복원합니다.

이 과정에서 **광학적 인터커넥트(Optical Interconnect)**의 핵심은 외부 광원(Laser Source)을 어떻게 통합하느냐에 있습니다. 현재는 레이저 소자의 열 민감도와 수명 문제를 해결하기 위해 레이저를 패키지 외부에서 공급하는 Remote Laser Source(RLS) 방식과, 실리콘 칩 내부에 직접 통합하는 On-chip Laser 방식이 연구되고 있습니다. CPO는 이러한 실리콘 포토닉스 소자들을 2.5D 또는 3D 패키징 기술을 통해 ASIC 바로 옆에 배치함으로써, 초고속·저전력 데이터 통신을 가능하게 합니다.

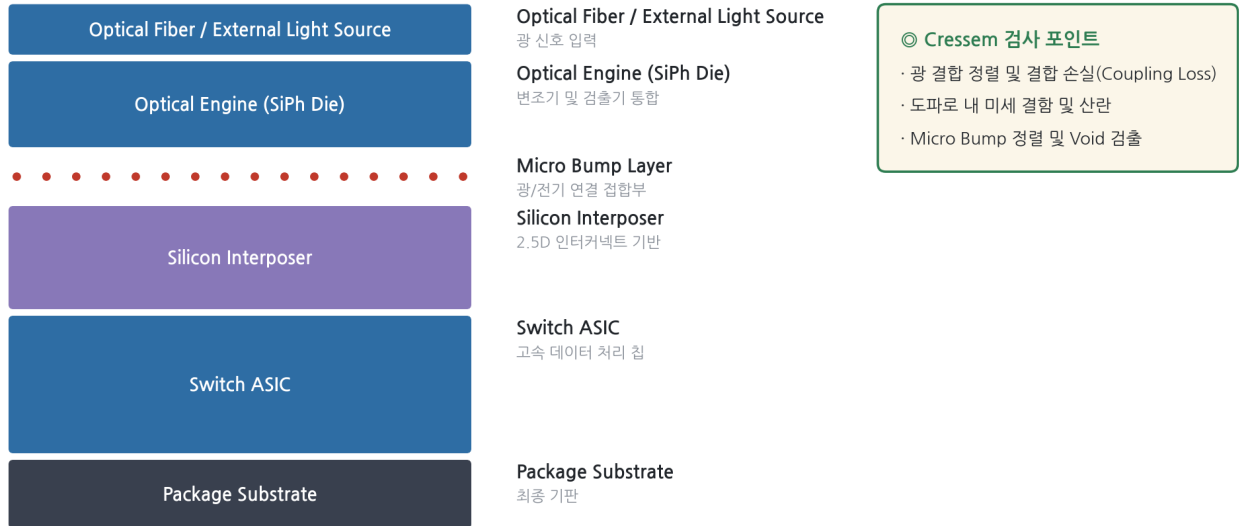
3. CPO 패키징의 물리적 구조 및 검사 난제

CPO는 기존 반도체 패키징보다 훨씬 복잡한 다층 구조를 가집니다. ASIC 칩 아래에 실리콘 인터포저(Silicon Interposer)가 위치하고, 그 위에 실리콘 포토닉스 다이(SiPh Die)와 전기적 연결을 위한 Micro Bump가 배치되는 형태가 일반적입니다. 이 구조는 극도로 미세한 정렬(Alignment)을 요구하며, 다음과 같은 기술적 난제를 동반합니다.

- 광 결합 정렬(Optical Coupling Alignment):** 외부 광원이나 광섬유(Optical Fiber)가 실리콘 도파로에 결합될 때, 수백 nm 단위의 미세한 오차만 발생해도 결합 손실(Coupling Loss)이 급격히 증가합니다.
- 열 관리(Thermal Management):** ASIC의 고열이 인접한 광학 소자의 굴절률에 영향을 주어 파장 변이를 일으키거나, 레이저 소자의 성능을 저하시킬 수 있습니다.

- **신호 및 광학 무결성(SI/OI Integrity):** 전기적 신호의 간섭(Crosstalk)과 광학적 신호의 산란(Scattering)을 동시에 제어해야 하는 고난도 설계가 요구됩니다.

CPO 패키지 적층 단면도



Cressem · 결정론 렌더

그림 1. CPO 패키지 적층 단면도

CPO 시장 규모 및 성장 전망

AI(Artificial Intelligence) 연산 규모의 폭발적인 증가와 초거대 언어 모델(LLM)의 확산은 데이터센터의 네트워크 인프라에 유례없는 대역폭 확장을 요구하고 있습니다. 이러한 수요를 충족하기 위해 기존의 구리 기반 전기 신호 전송 방식에서 탈피하여, 광학 신호를 반도체 패키지 내부로 직접 통합하는 공동 패키지 광학(CPO, Co-Packaged Optics) 기술이 차세대 데이터센터의 핵심 인프라로 급부상하고 있습니다.

글로벌 시장 조사 기관들의 분석에 따르면, CPO 시장은 현재 초기 도입 단계를 지나 본격적인 성장 궤도에 진입한 것으로 평가됩니다. 시장의 규모와 성장 속도는 AI 가속기 및 고성능 컴퓨팅(HPC) 시장의 성장세와 밀접하게 연동되어 나타나고 있습니다.

1. 글로벌 시장 규모 및 성장 추이 분석

CPO 시장은 향후 10년간 경이적인 연평균 성장률(CAGR)을 기록할 것으로 전망됩니다. 주요 기관별로 제시하는 시장 규모 데이터는 다음과 같습니다.

- **Precedence Research 전망:** 2025년 글로벌 CPO 시장 규모는 약 9,504만 달러(USD 95.04 million)로 평가되며, 기술 성숙도와 데이터센터 교체 주기가 맞물리는 2034년에는 약 10억 5,511만 달러(USD 1,055.11 million) 규모에 도달할 것으로 예측됩니다. 이는 연평균 30.66%의 높은 성장률(CAGR)을 의미합니다 [출처: Precedence Research].
- **Yole Group 전망:** 보다 공격적인 관점에서는 CPO 시장이 2024년 4,600만 달러 규모에서 2030년에는 81억 달러 규모로 폭발적으로 성장할 것으로 내다보고 있습니다. 이 경우 연평균 성장률(CAGR)은 무려 137%에 달하는 초고속 성장세가 나타날 것으로 분석됩니다 [출처: 투자연구소 테크센터].

이러한 시장의 급격한 팽창은 단순히 통신 속도의 향상 때문만이 아니라, 전력 효율성(Power Efficiency)과 열 관리(Thermal Management)라는 물리적 한계를 극복하기 위한 필수적인 선택이기 때문입니다.

2. 시장 성장의 핵심 동인 (Market Drivers)

CPO 시장의 성장을 견인하는 주요 동력은 크게 세 가지 측면에서 분석할 수 있습니다.

첫째, 데이터센터 전력 소비 및 열 밀도 문제의 해결입니다.

기존의 플러그블(Pluggable) 광모듈 방식은 칩과 광모듈 사이의 긴 구리 배선으로 인해 신호 손실이 발생하며, 이를 보상하기 위해 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP)를 추가 배치해야 합니다. 이는 데이터센터 전체 전력 소비의 약 50%를 차지하는 DSP의 전력 부담을 가중시키고 열 밀도를 높이는 원인이 됩니다. CPO는 이러한 DSP 기능을 간소화하거나 제거함으로써 비트당 전력 소모(pJ/bit)를 50% 이상 절감할 수 있는 경제적·기술적 이점을 제공합니다 [출처: 투자연구소 테크센터].

둘째, 초고속 데이터 전송 대역폭에 대한 요구입니다.

현재 업계에서 도입 중인 112G 및 차세대 224G SerDes(Serializer/Deserializer) 기술 환경에서 구리 배선의 유효 전송 거리는 수 센티미터(cm) 수준으로 급격히 단축되었습니다. 800Gbps 이상의 초고속 포트 구현을 위해 포트당 전력을 15W에서 5.5W 수준으로 낮추면서도 대역폭을 확보할 수 있는 CPO 기술은 AI 인프라 구축의 필수 요소가 되었습니다 [출처: AI 데이터센터의 차세대 광통신].

셋째, AI 가속기 및 HPC 시장의 팽창입니다.

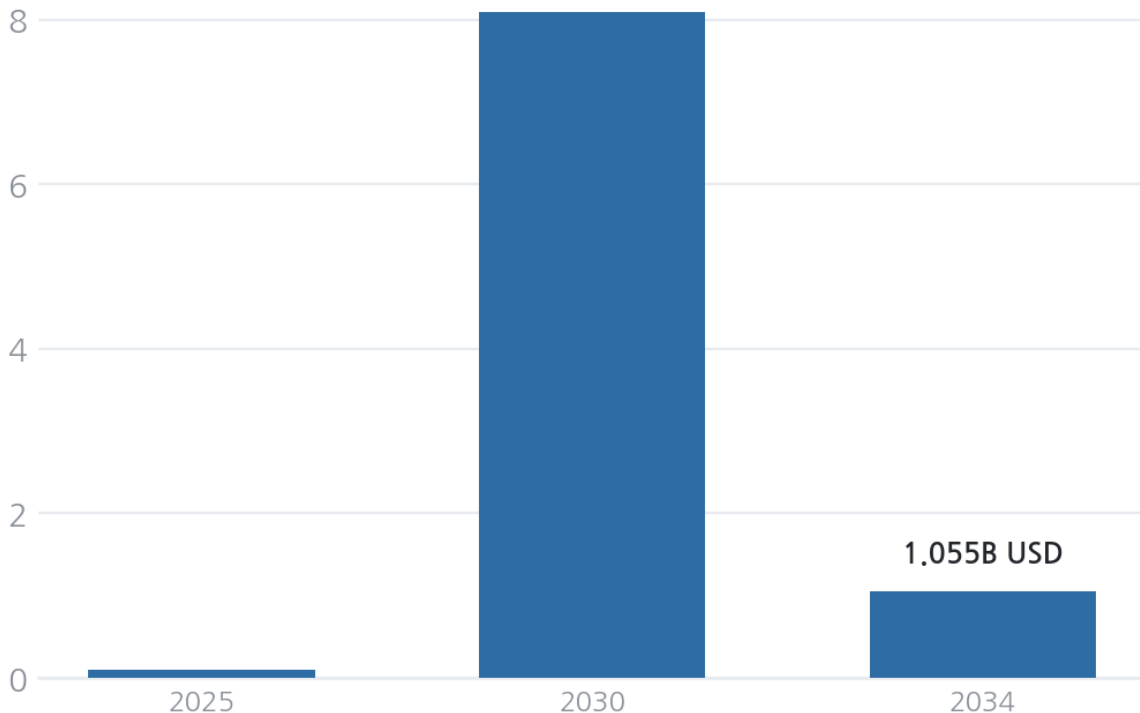
NVIDIA GTC 2026 등 주요 컨퍼런스에서 광학 통합 스위치가 공개되고 Broadcom의 CPO 솔루션이 본격적인 양산 단계에 진입함에 따라, CPO는 단순한 기술적 대안을 넘어 AI 인프라 투자의 핵심 키워드로 자리 잡았습니다 [출처: AI 데이터센터의 차세대 광통신].

3. 시장 전망 요약 및 시사점

CPO 시장은 향후 데이터센터 설계의 근간을 바꾸는 패러다임 시프트를 주도할 것입니다. 2025년을 기점으로 기술적 안정성이 확보된 솔루션들이 양산에 투입되면서, 시장 규모는 가속화된 성장을 보일 것으로 예상됩니다.

B USD

Global CPO Market Size Forecast



Cressem · 결정론 렌더 · 본문 검증 수치

그림 2. Global CPO Market Size Forecast

(참고: 위 차트의 2030년 수치는 Yole Group의 전망치를, 2025년과 2034년 수치는 Precedence Research의 전망치를 기반으로 구성되었습니다.)

결론적으로, CPO 시장은 AI 반도체의 성능 극대화와 데이터센터의 운영 효율성 제고라는 두 마리 토끼를 잡기 위한 핵심 기술로서, 향후 10년 내 반도체 패키징 및 광학 인터커넥트 시장의 가장 강력한 성장 동력이 될 것입니다.

글로벌 주요 플레이어 및 기술 로드맵

AI 연산 수요의 폭발적 증가로 인해 데이터센터 내 인터커넥트(Interconnect)의 대역폭 확장이 필수적인 과제가 되면서, 글로벌 반도체 및 네트워크 장비 기업들은 기존의 플러거블(Pluggable) 광모듈 방식을 넘어 CPO(Co-Packaged Optics) 기술을 선점하기 위한 치열한 기술 로드맵 경쟁을 벌이고 있습니다. 현재 시장은 브로드컴(Broadcom), 엔비디아(NVIDIA), 인텔(Intel) 등 거대 테크 기업들이 주도하고 있으며, 각 기업은 서로 다른 기술적 접근 방식과 양산 시점을 제시하며 생태계를 구축하고 있습니다.

1. 주요 기업별 CPO 솔루션 및 기술 현황

현재 CPO 시장의 기술 리더십은 크게 ASIC(주문형 반도체) 설계 역량을 보유한 기업과 시스템 통합 능력을 갖춘 기업으로 나뉩니다.

브로드컴(Broadcom): 시장 선도 및 양산 진입

브로드컴은 현재 CPO 기술 상용화에 가장 근접한 기업 중 하나로 평가받습니다. 브로드컴은 3세대 CPO 기술이 적용된 TH6-Davisson과 같은 51.2 Tbps급 이더넷 스위치 솔루션을 통해 시장을 리딩하고 있습니다. 브로드컴의 솔루션은 기존의 플러그형 솔루션과 비교했을 때 전력 소모를 최대 70%까지 절감하며, 신뢰성을 획기적으로 개선한 것이 특징입니다 [출처: engineering-ladder.tistory.com]. 특히 브로드컴은 실리콘 포토닉스(Silicon Photonics) 기술을 스위치 칩과 직접 통합하여 데이터 전송 효율을 극대화하는 전략을 취하고 있습니다.

엔비디아(NVIDIA): 광학 통합 스위치 및 AI 인프라 혁신

엔비디아는 AI 가속기 시장의 지배력을 바탕으로, GPU 간의 통신 병목을 해결하기 위한 차세대 광학 통합 스위치(Optical Integrated Switch) 기술을 선보이고 있습니다. NVIDIA GTC 2026을 기점으로 광학 통합 솔루션이 공개되었으며, 이는 단순한 통신 부품의 교체를 넘어 AI 인프라 전체의 아키텍처를 광학 기반으로 재설계하려는 움직임으로 해석됩니다 [출처: kai-search.tistory.com]. 엔비디아의 로드맵은 GPU 클러스터 내부의 전기적 신호 경로를 최소화하고, 광학적 연결을 통해 대규모 AI 모델 학습에 필요한 초고속/저지연(Low-latency) 인터커넥트를 구현하는 데 초점이 맞춰져 있습니다.

인텔(Intel): 실리콘 포토닉스 원천 기술 및 통합 패키징

인텔은 실리콘 포토닉스(SiPh) 분야의 강력한 IP를 보유하고 있으며, 이를 CMOS 공정 내에 통합하는 기술력에서 강점을 보입니다. 인텔은 광학 소자(Photonics)와 전기적 구동 칩(EIC, Electronic IC)을 하나의 패키지 기판에 통합하는 기술을 고도화하고 있으며, 이는 차세대 데이터센터의 핵심인 초고속 데이터 전송을 가능하게 합니다 [출처: idtechex.com]. 인텔의 전략은 반도체 제조부터 패키징, 광학 소자 통합까지 이어지는 수직 계열화된 기술력을 바탕으로 안정적인 공급망을 확보하는 것입니다.

2. 글로벌 기업 기술 비교 분석

주요 플레이어들의 기술적 지향점과 현재 단계는 다음과 같이 비교할 수 있습니다.

비교 항목	브로드컴 (Broadcom)	엔비디아 (NVIDIA)	인텔 (Intel)
핵심 타겟	이더넷 스위치 및 네트워크 ASIC	AI 가속기 및 GPU 클러스터	실리콘 포토닉스 기반 통합 칩
주요 솔루션	TH6-Davisson (51.2 Tbps)	광학 통합 스위치 (Optical Switch)	SiPh 기반 통합 패키징
기술적 강점	전력 소모 절감 및 검증된 스위치 IP	AI 인프라 아키텍처 최적화	CMOS 공정 기반 광학 통합 기술
현재 단계	본격적인 양산 및 시장 공급 단계	차세대 AI 인프라 표준 정립 중	기술 고도화 및 솔루션 통합 단계

표 2. 글로벌 기업 기술 비교 분석

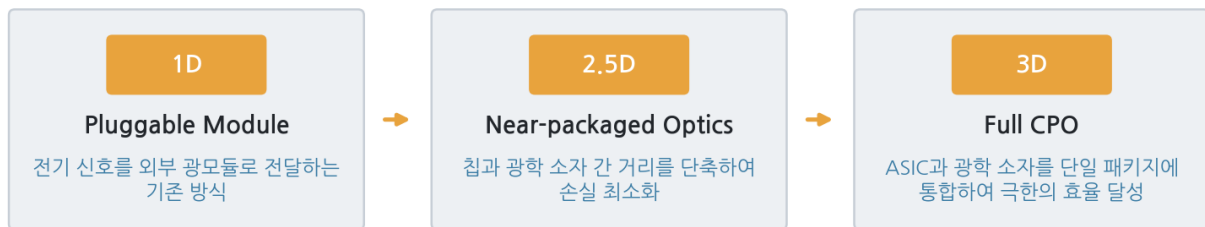
3. 기술 로드맵 및 산업 표준의 흐름

CPO 기술의 발전은 단순한 부품의 소형화를 넘어, 데이터 전송 속도(Data Rate)의 비약적인 상승과 함께 진행되고 있습니다. 현재 업계는 112G SerDes 기술 환경을 지나 차세대 224G SerDes 시대로 진입하고 있으며, 이에 따라 구리 배선의 유효 전송 거리가 수 센티미터(cm) 수준으로 급격히 단축되는 물리적 한계에 직면해 있습니다 [출처: engineering-ladder.tistory.com].

이러한 흐름에 따른 산업계의 로드맵은 다음과 같은 단계로 요약됩니다.

1. **Pluggable 단계 (현재 주력):** 광모듈을 스위치/라우터의 포트에 삽입하는 방식으로, 구현은 용이하나 칩과 모듈 사이의 구리 배선으로 인한 신호 손실(Signal Loss) 및 전력 소모가 큼.
 2. **Near-packaged Optics (NPO) 단계 (과도기):** 광모듈을 ASIC 근처로 배치하여 배선 길이를 줄이는 방식.
 3. **CPO 단계 (차세대 표준):** 광학 소자를 ASIC과 동일한 패키지 내에 통합. 비트당 전력 소모(pJ/bit)를 50% 이상 절감하고, 데이터센터 전체의 전력 밀도 문제를 해결하는 핵심 기술로 자리 잡을 전망 [출처: engineering-ladder.tistory.com].
- 특히, 향후 3.2 Tbps 및 6.4 Tbps급 실리콘 포토닉스 PIC(Photonic Integrated Circuit)와 이를 구동할 EIC(Electronic Integrated Circuit)의 통합 개발이 가속화될 것이며, 이는 CPO 시장의 폭발적인 성장을 견인할 것입니다 [출처: engineering-ladder.tistory.com].

데이터 인터커넥트 패키징 진화 경로



Cressem · 결정론 렌더

그림 3. 데이터 인터커넥트 패키징 진화 경로

CPO 패키징 공정의 기술적 난제

CPO(Co-Packaged Optics, 공동 패키지형 광학) 기술은 기존의 플러그블(Pluggable) 광모듈 방식이 가진 물리적 한계를 극복하기 위해 광학 소자와 전기적 스위치 칩(ASIC/Switch Chip)을 하나의 패키지 기판 내에 통합하는 혁신적인 기술입니다. 그러나 이러한 통합은 기존의 반도체 패키징 공정보다 훨씬 높은 수준의 정밀도와 신뢰성을 요구하며, 특히 2.5D 및 3D 패키징 구조 내에서 광학적, 열적, 전기적 특성을 동시에 만족시켜야 하는 복합적인 기술적 난제를 안고 있습니다.

1. 초정밀 광학 정렬(Alignment Precision) 및 결합(Coupling) 이슈

CPO 구현의 가장 근본적인 난제는 실리콘 포토닉스(Silicon Photonics, SiPh) 기반의 광학 소자와 전기적 칩, 그리고 외부 광섬유(Optical Fiber) 간의 정밀한 정렬입니다. 기존의 플러그블 방식은 모듈 단위로 제작되어 정렬 오차에 다소 유연했으나, CPO는 칩과 매우 근접한 거리에서 빛을 전달해야 하므로 미세한 오차가 신호 손실(Insertion Loss)의 급격한 증가로 이어집니다.

- **Sub-micron 급 정렬 요구사항:** 광학적 커플링(Optical Coupling) 효율을 극대화하기 위해서는 광섬유와 웨이퍼 레벨의 광 도파로(Waveguide) 간의 정렬 정밀도가 수백 nm(나노미터) 수준에서 제어되어야 합니다. 이는 일반적인 반도체 패키징의 범프(Bump) 정렬보다 훨씬 가혹한 조건입니다.
- **2.5D/3D 적층 구조의 복잡성:** HBM과 같은 고단 적층 구조와 유사하게, CPO 역시 인터포저(Interposer)나 실리콘 관통 전극(TSV)을 활용한 2.5D/3D 구조를 채택하는 경우가 많습니다. 이 과정에서 Die-to-Die 정렬 시 발생하는 미세한 위치 오차(Misalignment)는 광학적 경로를 왜곡시켜 데이터 전송 효율을 저하시키는 핵심 원인이 됩니다. [출처: 기술 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf]

- **패키징 공정 변수 제어:** Die Bonding 과정에서의 압력 불균형이나 열팽창 계수(CTE) 차이로 인한 Warpage(휨) 현상은 광학 소자의 물리적 위치를 변화시켜 정렬 불량을 야기합니다.

2. 열 관리(Thermal Management) 및 열 밀도(Heat Density) 문제

CPO는 데이터센터의 전력 효율을 높이기 위해 도입되지만, 역설적으로 패키지 내부의 열 밀도는 극도로 높아지는 특성을 가집니다. 고성능 스위치 칩과 광학 소자가 매우 좁은 면적에 밀집되어 있기 때문입니다.

- **이종 소자 간 열 간섭:** 전기적 신호를 처리하는 ASIC(Application Specific Integrated Circuit)에서 발생하는 막대한 열이 민감한 광학 소자(Laser Source 등)에 전달될 경우, 레이저의 파장 드리프트(Wavelength Drift)나 출력 저하를 유발합니다. 이는 광 통신의 신호 품질을 직접적으로 저해하는 요소입니다.
- **고밀도 열 방출 설계의 한계:** 2.5D/3D 구조 내에서는 열이 내부에서 갇히는 현상이 발생하기 쉽습니다. 기존의 공랭식(Air Cooling) 방식으로는 CPO 패키지 내부의 국소적 핫스팟(Hot-spot)을 제어하기 어려우며, 이는 시스템 전체의 신뢰성을 떨어뜨리는 요인이 됩니다.
- **열 사이클에 의한 구조적 변형:** 운영 중 발생하는 급격한 온도 변화(Thermal Cycling)는 소재 간의 열팽창 차이를 유발하여, 앞서 언급한 정밀 정렬 상태를 지속적으로 위협합니다.

3. 신호 무결성(Signal Integrity, SI) 및 전력 무결성(Power Integrity, PI) 확보

CPO는 구리 배선의 길이를 최소화하여 신호 손실을 줄이는 것이 목적이지만, 칩과 광학 소자가 물리적으로 매우 가깝게 배치됨에 따라 새로운 형태의 전기적 노이즈 이슈가 발생합니다.

- **전기-광학 간 간섭(EMI/Crosstalk):** 고속 데이터 전송을 위해 112G 또는 224G SerDes 기술이 적용됨에 따라, 매우 높은 주파수 대역에서 발생하는 전자기 간섭(EMI)이 인접한 광학 회로 및 제어 신호에 영향을 줄 수 있습니다.
- **전력 공급망의 복잡성:** 고성능 스위치 칩의 급격한 전류 요구량 변화(di/dt)는 전압 강하(IR Drop)를 유발할 수 있으며, 이는 광학 소자를 구동하는 EIC(Electronic Integrated Circuit)의 안정적인 동작을 방해합니다.
- **고속 신호 전송의 물리적 한계:** 구리 배선의 유효 전송 거리가 수 센티미터 수준으로 단축됨에 따라, CPO 내부의 미세한 배선 설계에서도 신호 반사(Reflection)와 감쇠를 최소화하기 위한 극도로 정밀한 임피던스 매칭(Impedance Matching)이 요구됩니다. [출처: 투자연구소 테크센터]

CPO 패키징 핵심 난제 및 대응 기술 매트릭스

	광학 검사 역량	열 시뮬레이션/제어	AI 기반 분석
기술적 난제	● 핵심	●	○
정밀 정렬(Alignment)	○	● 핵심	●
열 관리(Thermal)	●	○	● 핵심
신호 무결성(SI/PI)			

Cressem · 결정론 렌더

그림 4. CPO 패키징 핵심 난제 및 대응 기술 매트릭스

4. 종합 분석: 검사 기술의 중요성

결론적으로 CPO 패키징 공정의 난제들은 개별적인 문제가 아니라 서로 긴밀하게 얽혀 있는 복합적인 문제입니다. 예를 들어, 열 관리를 위해 방열 소재를 강화하면 패키지 두께가 변하여 정렬(Alignment) 난이도가 상승하고, 신호 무결성을 위해 배선을 최적화하면 열 방출 경로가 차단될 수 있습니다.

따라서 이러한 난제를 극복하기 위해서는 단순한 불량 검출을 넘어, Sub-micron 급의 초정밀 3D 광학 검사(AOI), Warpage 및 Tilt를 실시간으로 측정할 수 있는 프로파일링 기술, 그리고 검사 데이터를 통해 공정 결함의 근본 원인을 역추적(Root Cause Analysis)할 수 있는 AI 기반 데이터 플랫폼이 통합된 검사 솔루션이 필수적입니다.

[출처: 분석_크레셈CRESSEM20260509001.pdf]

크레셈(CRESSEM)의 기술적 기회 및 대응 전략

차세대 광 I/O 기술인 CPO(Co-Packaged Optics)의 부상은 반도체 후공정(Advanced Packaging)의 패러다임을 근본적으로 변화시키고 있습니다. 기존의 전기적 신호 전달 방식이 가진 물리적 한계를 극복하기 위해 광학 소자와 반도체 칩을 하나의 패키지로 통합하는 CPO 기술은, 필연적으로 기존의 검사 난이도를 수십 배 이상 높이는 결과를 초래합니다. 크레셈(CRESSEM)은 이미 FC-BGA 및 2.5D/3D 기판 검사 시장에서 검증된 고정밀 광학 기술과 AI 비전 알고리즘을 보유하고 있으며, 이를 CPO 검사 영역으로 확장함으로써 고부가가치 시장의 핵심 플레이어로 도약할 수 있는 결정적인 기술적 교두보를 확보하고 있습니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

1. 기술적 기회 영역: CPO 패키징의 고도화와 검사 수요의 폭증

CPO 기술의 핵심은 실리콘 포토닉스(Silicon Photonics) 기반의 광학 소자(PIC)와 전기적 신호를 처리하는 EIC(Electronic Integrated Circuit)를 하나의 패키지 기판(Substrate) 위에 초정밀하게 통합하는 것입니다 [출처: <https://engineering-ladder.tistory.com/178>]. 이 과정에서 발생하는 검사 수요는 크게 세 가지 영역으로 구분되며, 이는 크레셈의 기존 강점과 완벽히 맞물립니다.

첫째, 초미세 광학 소자 및 인터커넥트 정렬(Alignment) 검사입니다.

CPO는 기존의 Pluggable 방식과 달리 칩과 광 모듈 사이의 거리를 극단적으로 단축해야 하므로, 광학 소자의 배치 및 정렬 오차가 신호 무결성(Signal Integrity)에 치명적인 영향을 미칩니다. 크레셈이 보유한 Sub-micron급 해상도의 3D AOI(Automated Optical Inspection) 기술은 CPO 패키징 내의 미세한 정렬 오차(Misalignment)와 광학 인터페이스의 결함을 잡아내는 데 핵심적인 역할을 수행할 수 있습니다 [출처: 기술보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf].

둘째, 이종 집적(Heterogeneous Integration) 구조의 결함 검사입니다.

CPO는 로직 칩, 광학 칩, 그리고 이를 연결하는 인터포저(Interposer)가 결합된 복합 구조를 가집니다. 크레셈은 이미 FC-BGA 및 2.5D 기판 검사 장비를 통해 축적된 Interposer 및 Substrate 검사 기술을 보유하고 있으며, 이를 CPO의 이종 집적 구조에 적용하여 칩 간 연결 상태 및 패키지 내부의 미세 Void를 검출하는 솔루션으로 확장할 수 있습니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

셋째, 열 관리 및 물리적 변형(Warpage) 모니터링입니다.

CPO는 높은 데이터 전송 밀도로 인해 열 밀도(Heat Density)가 급격히 상승하는 특성을 가집니다. 패키징 과정에서 발생하는 열팽창 계수 차이로 인한 휨(Warpage) 현상은 광학적 정렬을 무너뜨리는 주요 원인입니다. 크레셈의 고정밀 스테이지 제어 기술과 3D 프로파일링 기술은 변형된 상태에서도 정확한 데이터를 추출하고, 공정 중 발생하는 물리적 변형을 실시간으로 측정할 수 있는 경쟁력을 제공합니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

크레셈(CRESSEM)의 CPO 검사 기술 확장 로드맵



Cressem · 결정론 렌더

그림 5. 크레셈(CRESSEM)의 CPO 검사 기술 확장 로드맵

2. 핵심 대응 전략: AI-Driven Inspection 및 맞춤형 솔루션

크레셈은 단순한 불량 검출을 넘어, 고객사의 수율(Yield) 극대화를 견인하는 '지능형 검사 파트너'로 포지셔닝해야 합니다. 이를 위한 구체적인 대응 전략은 다음과 같습니다.

[전략 1] AI-Driven Machine Vision을 통한 과검률(Over-kill) 최소화

CPO 패키징은 구조가 매우 복잡하여 일반적인 Rule-based 검사 방식으로는 정상적인 광학적 노이즈와 실제 결함을 구분하기 어렵습니다. 크레셈은 자체 보유한 Deep Learning 기반 결함 분류 기술을 활용하여, 미세 결함(Defect)과 정상적인 노이즈를 정밀하게 구분함으로써 과검률을 획기적으로 낮추고 생산 라인의 Tact Time(생산 주기)을 극대화해야 합니다 [출처: 기업 분석 보고서_ (주)크레셈 (CRESSEM): 차세대 반도체 패키징 검사 솔루션의 선두주자].

[전략 2] Yield Optimization을 위한 데이터 분석 플랫폼 통합

검사 장비의 가치를 결정짓는 것은 '데이터의 활용성'입니다. 크레셈은 검사 과정에서 수집된 방대한 데이터를 분석하여 공정상의 불량 원인을 역추적(Root Cause Analysis)할 수 있는 데이터 분석 플랫폼을 장비에 통합해야 합니다. 이는 고객사(SK하이닉스, 삼성전자, TSMC 등)가 공정 파라미터를 최적화하고 수율을 즉각적으로 개선할 수 있도록 돕는 강력한 락인(Lock-in) 전략이 될 것입니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

[전략 3] 고객 맞춤형(Customized) 모듈화 장비 공급

CPO 기술은 제조사 및 패키징 업체(OSAT)마다 사용하는 광학 소자의 규격, 본딩 방식(예: Hybrid Bonding), 인터포저 설계가 상이합니다. 크레셈의 강점인 모듈형 장비 설계 역량을 활용하여, 고객사의 특정 공정 프로세스에 최적화된 맞춤형 검사 모듈(Customized Inspection System)을 신속하게 공급함으로써 시장 대응력을 높여야 합니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

3. 결론: 고부가가치 검사 시장의 게임 체인저

CPO 시장은 2024년 4,600만 달러 규모에서 2030년 81억 달러 규모로 연평균 성장률(CAGR) 137%라는 폭발적인 성장이 예상되는 블루오션입니다 [출처: engineering-ladder.tistory.com]. 기술적 난이도가 상승할수록 검사 장비의 정밀도와 신뢰성에 대한 요구는 기하급수적으로 증가할 것입니다.

크레셈은 현재 보유한 AI 비전 알고리즘, 고정밀 광학 엔진, 그리고 이중 집적 패키징 검사 레퍼런스를 결합하여, CPO 패키징 공정에서 발생하는 정렬(Alignment), 결함(Defect), 변형(Warpage) 문제를 해결하는 통합 솔루션을 제공해야 합니다. 이러한 기술적 선점은 크레셈이 기존의 기판 검사 기업을 넘어, AI 반도체 인프라의 핵심인 광학 인터커넥트 검사 시장의 독보적인 핵심 플레이어로 도약하는 발판이 될 것입니다.

결론 및 시사점

차세대 AI 인프라의 핵심 동력으로 부상한 공동 패키징형 광학(CPO, Co-Packaged Optics) 기술은 단순히 통신 속도를 높이는 수단을 넘어, 데이터센터의 전력 효율과 대역폭 한계를 극복하기 위한 필수적인 패러다임 시프트입니다. 구리 기반 전기 신호의 물리적 한계가 임계점에 도달함에 따라, 광학 소자와 반도체 칩을 하나의 패키지로 통합하는 CPO 기술의 상용화 속도는 더욱 가속화될 것으로 전망됩니다.

본 보고서에서 분석한 기술적 난제와 시장 동향을 바탕으로, 크레셈(CRESSEM)이 글로벌 CPO 검사 시장의 리더십을 확보하기 위한 전략적 로드맵(Strategic Roadmap)을 다음과 같이 제안합니다.

1. 초정밀 광학 검사 기술의 고도화 및 선점 (R&D Direction)

CPO는 실리콘 포토닉스(SiPh)와 전기적 칩(EIC)이 초미세 간극 내에서 결합되어야 하므로, 기존의 범프(Bump) 검사보다 훨씬 높은 수준의 정렬(Alignment) 정밀도를 요구합니다. 크레셈은 현재 보유한 FC-BGA 및 2.5D 기판 검사 기술을 기반으로, **Sub-micron 급 해상도를 가진 3D AOI(Automated Optical Inspection) 솔루션**을 CPO 전용으로 고도화해야 합니다. 특히 광학 소자의 미세 정렬 오차와 접합부의 이물질(Particle)을 실시간으로 검출할 수 있는 초고해상도 모듈 개발이 최우선 과제입니다.

2. AI 기반 스마트 검사 솔루션으로의 진화 (Future Outlook)

CPO 패키징은 열 밀도(Heat Density)가 극도로 높고 구조가 복잡하여, 단순한 불량 판정을 넘어선 데이터 기반의 분석이 필수적입니다. 크레셈은 **AI-Driven Machine Vision** 기술을 강화하여, 검사 과정에서 발생하는 방대한 데이터를 분석하고 공정상의 결함 원인을 역추적(Root Cause Analysis)할 수 있는 통합 데이터 플랫폼을 구축해야 합니다. 이를 통해 고객사의 수율(Yield) 개선에 직접적으로 기여함으로써 단순 장비 공급사를 넘어선 '수율 파트너'로서의 지위를 공고히 해야 합니다.

3. 고객 맞춤형 모듈화 전략을 통한 시장 지배력 강화 (Market Leadership)

NVIDIA, Broadcom 등 글로벌 플레이어들의 로드맵에 따라 CPO 구현 방식(2.5D, 3D, Hybrid Bonding 등)은 제조사마다 상이하게 전개될 것입니다. 크레셈은 자사의 강점인 **모듈형 장비 설계(Modular Design)** 역량을 활용하여, 고객사의 특정 공정 프로세스에 즉각 대응할 수 있는 맞춤형(Customized) 검사 시스템을 공급함으로써 강력한 고객 락인(Lock-in) 효과를 창출해야 합니다.

결론적으로, CPO 기술로의 전환은 크레셈에게 기존의 기판 검사 역량을 고부가가치의 광학/AI 패키징 검사 영역으로 확장할 수 있는 결정적인 기회입니다. 선제적인 R&D 투자와 AI 기반의 지능형 검사 솔루션 확보를 통해 차세대 반도체 후공정 생태계의 핵심 플레이어로 도약해야 합니다.

참고 자료

1. [Cpo 기술 동향 및 국내외 기업 분석 :: 투자연구소 테크센터](<https://engineering-ladder.tistory.com/178>)
2. [공동 패키징형 광학 (CPO) 기술동향 및 시장 전망 2025-2035 - IDTechEx](<https://www.idtechex.com/ko/research-report/co-packaged-optics/1019>)
3. [2026.03 Cpo (공동패키지광학) - Ai 데이터센터의 차세대 광통신 ...](<https://kai-search.tistory.com/46>)
4. [구리선의 한계와 반도체의 새로운 돌파구, Cpo 기술 심층 분석](<https://alchonomics.com/cpo-semiconductor-optical-packaging-ai/>)
5. [Co-Packaged Optics Market Size, Share and Growth Analysis](<https://www.marketsandmarkets.com/Market-Reports/co-packaged-optics-market-28874835.html>)
6. [Co-Packaged Optics (CPO) Market Size, Share and Trends 2025 to 2034](<https://www.precedenceresearch.com/co-packaged-optics-market>)

7. [Co Packaged Optics Market Report: Size, Growth, Trends & Forecast (2025-2033)](<https://www.verifiedmarketresearch.com/product/co-packaged-optics-market/>)
8. [Co Packaged Optics Market Size, Share | Growth Report [2034]](<https://www.fortunebusinessinsights.com/co-packaged-optics-market-117954>)
9. [Co Packaged Optics (CPO) - Scaling with Light for the Next Wave of Interconnect](<https://newsletter.semianalysis.com/p/co-packaged-optics-cpo-book-scaling>)
10. [PDF Co-Packaged Optics (CPO) 2025-2035: Technologies, Market, and Forecasts](<http://www.sbdic.co.kr/email/2024/20240826/sample/IDTechExCoPackagedOpticsCPO.pdf>)
11. [Co-Packaged Optics (CPO)Co-Packaged Optics (CPO)](<https://www.idtechex.com/en/research-report/co-packaged-optics-cpo/1138>)
12. [Co-Packaged Optics (CPO) Technology: Market Evolution & 2034 Projections](<https://www.datainsightsmarket.com/reports/co-packaged-optics-cpo-technology-852059>)
13. IDTechExCoPackagedOpticsCPO.pdf (사내 자료)
14. 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf (사내 자료)
15. 매뉴얼HBMAAdvancedInspectionSyst20260509001.pdf (사내 자료)
16. 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf (사내 자료)
17. 분석_크레셈CRESSEM20260509001.pdf (사내 자료)
18. pdf_인하대학교컴퓨터공학과배승환20260509001.pdf (사내 자료)
19. ProfessorSeungHwanBaeReport.pdf (사내 자료)