

차세대 광 I/O(CPO) 기술 동향 분석 및 크레셈(CRESSEM)의 전략적 대응 방안

문서번호 CRSM-AI-2026-AUTO

작성일 2026-07-28

작성 CresseM AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

차세대 광 I/O(CPO) 기술 동향 분석 및 크레셈(CRESSEM)의 전략적 대응 방안	3
개요: AI 인프라의 병목 현상과 CPO의 부상	3
CPO(Co-Packaged Optics) 핵심 기술 메커니즘	4
글로벌 CPO 시장 규모 및 성장 전망	6
주요 플레이어 및 기술 로드맵 분석	8
CPO 패키징 공정의 기술적 난제	9
크레셈(CRESSEM)의 기술적 기회 및 대응 전략	11
결론 및 시사점	13
참고 자료	14

차세대 광 I/O(CPO) 기술 동향 분석 및 크레셈(CRESSEM)의 전략적 대응 방안

AI 데이터센터의 전력 및 대역폭 한계를 극복하기 위한 차세대 인터커넥트 기술인 CPO(Co-Packaged Optics)의 기술적 메커니즘과 시장 전망을 분석합니다. 글로벌 주요 플레이어의 기술 로드맵을 검토하고, 크레셈의 기존 검사 솔루션을 활용한 고부가가치 시장 진입 전략을 제안합니다.

개요: AI 인프라의 병목 현상과 CPO의 부상

1. AI 컴퓨팅 패러다임의 변화와 데이터 전송의 병목 현상

최근 생성형 AI(Generative AI)의 급격한 발전과 대규모 언어 모델(LLM)의 확산으로 인해 데이터센터의 연산 규모는 기하급수적으로 증가하고 있습니다. AI 가속기(Accelerator) 내부의 연산 능력은 비약적으로 상승했으나, 정작 연산된 데이터를 외부로 입출력(I/O, Input/Output)하는 과정에서 심각한 병목 현상(Bottleneck)이 발생하고 있습니다. 이는 단순히 연산 속도의 문제가 아니라, 칩과 칩, 그리고 스위치와 서버 간의 데이터를 전달하는 '인터커넥트(Interconnect)' 기술이 물리적 한계에 직면했음을 의미합니다.

기존의 데이터센터 아키텍처는 수십 년간 구리(Copper) 배선을 기반으로 한 전기 신호 전송 방식에 의존해 왔습니다. 그러나 AI 모델의 파라미터 수가 증가하고 대역폭(Bandwidth) 요구량이 폭증함에 따라, 구리 기반의 전기적 인터커넥트는 다음과 같은 세 가지 핵심적인 물리적 한계에 봉착했습니다.

- **구리 배선의 유효 전송 거리 단축 (Copper Interconnect Limit):** 112G 및 차세대 224G SerDes(Serializer/Deserializer) 기술 환경으로 진입하면서, 신호 손실을 최소화하며 데이터를 전송할 수 있는 구리 배선의 유효 거리가 수 센티미터(cm) 수준으로 급격히 단축되었습니다. 고속 신호일수록 구리 배선의 표피 효과(Skin Effect)와 유전 손실(Dielectric Loss)이 심화되어 신호의 무결성(Signal Integrity)을 유지하기가 매우 어려워졌습니다 [출처: engineering-ladder.tistory.com].
- **전력 소모의 기하급수적 증가 (Power Consumption):** 신호 손실을 극복하기 위해 기존 시스템은 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP, Digital Signal Processor)를 추가로 배치해 왔습니다. 하지만 이러한 보상 장치들은 데이터센터 전체 전력 소비를 급증시키는 주범이 되고 있습니다. 특히 네트워크 장비에서 DSP가 차지하는 전력 비중은 약 50%에 달할 정도로 막대합니다 [출처: engineering-ladder.tistory.com].
- **대역폭 밀도 및 열 관리의 한계 (Bandwidth Density & Thermal Management):** 더 많은 데이터를 더 좁은 공간에 보내야 하는 AI 인프라의 특성상, 구리 배선의 밀도를 높이는 것은 물리적 공간의 제약과 더불어 극심한 열 밀도(Heat Density) 상승을 초래합니다. 이는 시스템의 신뢰성을 저하시키고 냉각 비용을 높이는 악순환을 만듭니다.

2. CPO(Co-Packaged Optics)의 등장과 기술적 필연성

이러한 구리 기반 전기 신호의 한계를 돌파하기 위한 차세대 솔루션으로 **공동 패키징 광학(CPO, Co-Packaged Optics)** 기술이 급부상하고 있습니다. CPO는 광학 소자(Photonics)와 반도체 스위치 칩(ASIC/Switch Chip)을 하나의 패키지 기판(Package Substrate)에 통합하는 첨단 인터커넥트 기술입니다 [출처: kai-search.tistory.com].

전통적인 **플러그블(Pluggable) 광모듈** 방식은 칩과 광모듈 사이에 긴 구리 배선이 존재하여 전력 손실과 신호 지연(Latency)이 불가피했습니다. 반면, CPO는 광학 엔진을 프로세서와 매우 가까운 거리 내에 배치함으로써 전기적 신호 경로를 최소화합니다. 이는 다음과 같은 혁신적인 이점을 제공합니다.

구분	Pluggable 광모듈 방식	CPO (Co-Packaged Optics) 방식	비고
신호 경로	칩 → 긴 구리 배선 → 광모듈	칩 → 초단거리 전기 신호 → 광학 엔진	CPO의 경로 최소화
전력 효율	DSP 및 리타이머 사용으로 전력 소모 높음	DSP 기능 간소화 또는 제거 가능	CPO가 비트당 전력 약 50% 절감 [출처: engineering-ladder.tistory.com]
대역폭 밀도	포트당 전력 및 공간 제약 큼	800Gbps 포트당 전력 15W → 5.5W 절감	CPO의 고밀도 구현 가능 [출처: kai-search.tistory.com]
신호 손실	고속 SerDes 환경에서 손실 극심	광 신호 직접 변환을 통한 손실 최소화	신호 손실 80% 이상 감소 효과 [출처: engineering-ladder.tistory.com]

표 1. CPO(Co-Packaged Optics)의 등장과 기술적 필연성

결론적으로 CPO는 AI 인프라가 직면한 '전력 소모-대역폭 확장-열 관리'라는 삼중고를 해결할 수 있는 유일한 기술적 대안으로 평가받고 있습니다. NVIDIA GTC 2026에서 광학 통합 스위치가 공개되고 Broadcom의 CPO 솔루션이 본격적인 양산 단계에 진입함에 따라, CPO는 단순한 기술적 옵션을 넘어 AI 데이터센터 설계의 핵심 표준(Standard)으로 자리 잡고 있습니다 [출처: kai-search.tistory.com].

CPO(Co-Packaged Optics) 핵심 기술 메커니즘

AI 연산 규모가 폭발적으로 증가함에 따라, 기존의 구리 배선(Copper Interconnect)을 통한 전기 신호 전송 방식은 대역폭 확장과 전력 효율성 측면에서 임계점에 도달했습니다. CPO(Co-Packaged Optics, 공동 패키징 광학)는 이러한 물리적 한계를 극복하기 위해 광학 소자와 반도체 스위치 칩을 하나의 패키지 기판 위에 통합하는 첨단 인터커넥트 기술입니다 [출처: alchonomics.com]. 본 섹션에서는 기존 Pluggable(플러거블) 방식과 CPO의 구조적 차이, 그리고 실리콘 포토닉스(Silicon Photonics)를 기반으로 한 핵심 통합 원리를 심층 분석합니다.

1. Pluggable 방식 대비 CPO의 구조적 우위 분석

전통적인 데이터센터 네트워크에서는 광모듈이 스위치 ASIC(Application-Specific Integrated Circuit)과 별도의 슬롯을 통해 연결되는 Pluggable 방식을 사용해 왔습니다. 그러나 데이터 전송 속도가 112G SerDes를 넘어 차세대 224G SerDes 환경으로 진입함에 따라, 칩과 광모듈 사이의 구리 배선 길이가 수 센티미터(cm) 단위로 짧아지더라도 신호 손실(Signal Loss)이 급격히 증가하는 문제가 발생하고 있습니다 [출처: engineering-ladder.tistory.com].

CPO는 이러한 '전기적 경로'를 최소화하여 다음과 같은 구조적 이점을 제공합니다.

가. 전력 효율성(Power Efficiency) 극대화

Pluggable 방식은 신호 감쇄를 보상하기 위해 고성능 디지털 신호 처리기(DSP)와 리타이머(Retimer)를 배치해야 하며, 이는 네트워크 전체 전력 소비의 상당 부분을 차지합니다. 특히 DSP는 네트워크 전력 비중의 약 50%를 차지할 정도로 막대한 에너지를 소모합니다. 반면, CPO는 광학 인터페이스를 칩 바로 옆에 배치함으로써 DSP의 기능을 간소화하거나 제거할 수 있으며, 이를 통해 비트당 전력 소모(pJ/bit)를 50% 이상 절감할 수 있습니다 [출처: engineering-ladder.tistory.com]. 실제로 800Gbps 포트당 전력 소모를 기존 15W에서 5.5W 수준으로 낮추는 것이 가능해집니다 [출처: kai-search.tistory.com].

나. 신호 무결성(Signal Integrity) 및 대역폭 밀도 향상

구리 배선의 유효 전송 거리가 단축됨에 따라 발생하는 신호 왜곡과 지연(Latency) 문제를 광 신호(Optical Signal)로 직접 변환함으로써 해결합니다. CPO는 전기 신호가 구리선을 타고 이동하는 거리를 극단적으로 줄여 신호 손실을 80% 이상 개선할 수 있으며, 이는 곧 단위 면적당 더 높은 데이터 전송 대역폭을 확보할 수 있음을 의미합니다.

2. 핵심 통합 원리: Silicon Photonics와 PIC/EIC 통합

CPO의 기술적 근간은 실리콘 포토닉스(Silicon Photonics) 기술을 활용하여 광학 소자를 반도체 공정 내에 구현하는 데 있습니다. 이는 단순히 광섬유를 연결하는 수준을 넘어, 광학적 기능과 전기적 기능을 하나의 패키지 내에서 유기적으로 결합하는 과정입니다.

가. PIC(Photonic Integrated Circuit)와 EIC(Electronic Integrated Circuit)의 결합

CPO의 핵심은 광학 기능을 담당하는 PIC와 전기적 제어를 담당하는 EIC를 하나의 패키지(Co-packaged) 내에 통합하는 것입니다.

- **PIC (광집적회로):** 레이저 광원을 생성하거나, 도파로(Waveguide)를 통해 빛을 유도하고, 변조기(Modulator)를 통해 전기 신호를 광 신호로 변환하는 역할을 수행합니다.
- **EIC (전자집적회로):** SerDes(Serializer/Deserializer)를 포함하여 광 신호를 처리하기 위한 전기적 신호를 생성하고 제어합니다.

이 두 회로가 동일한 기판(Substrate) 혹은 인터포저(Interposer) 상에서 초근접 배치됨으로써, 전기적 신호가 광 신호로 변환되는 지점에서의 손실을 최소화합니다.

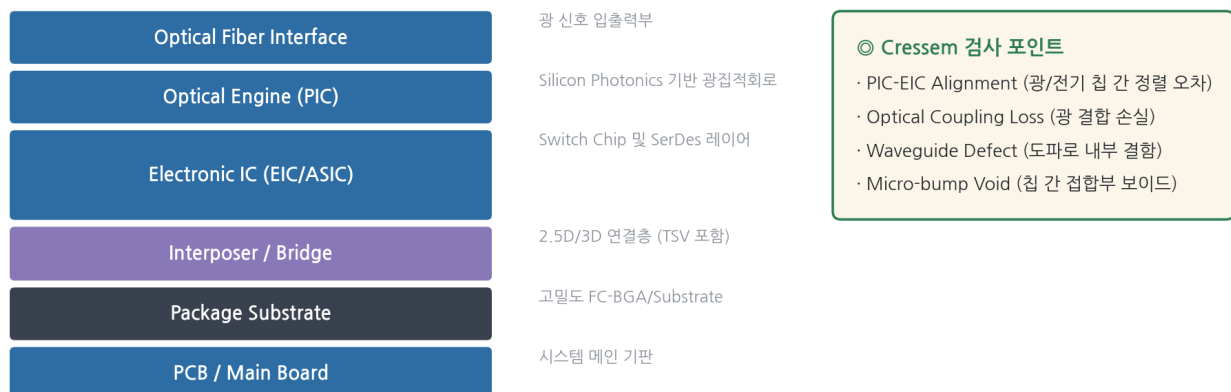
나. 차세대 SerDes 기술과의 연계

CPO 시스템이 정상적으로 작동하기 위해서는 고속 데이터 전송을 지원하는 SerDes 기술이 필수적입니다. 현재 업계는 112G SerDes를 넘어 224G SerDes로의 전환을 추진 중이며, CPO는 이러한 초고속 전기 신호를 광학 인터페이스로 매끄럽게 전환(Conversion)하여 데이터센터의 병목 현상을 해소하는 핵심 가교 역할을 수행합니다.

3. CPO 패키징 구조 및 물리적 계층 비교

CPO의 구현 방식은 기술 성숙도와 요구 성능에 따라 다양한 적층 구조를 가집니다. 아래의 단면도는 CPO 패키징 내에서 광학 소자와 반도체 칩이 어떻게 수직/수평적으로 통합되는지를 보여주는 개념적 구조입니다.

CPO(Co-Packaged Optics) 통합 패키지 단면 구조



Cressem · 결정론 렌더

그림 1. CPO(Co-Packaged Optics) 통합 패키지 단면 구조

CPO의 도입은 단순한 부품 교체가 아닌, 패키징 공정의 패러다임 변화를 의미합니다. 특히 2.5D 및 3D 패키징 기술이 적용된 인터포저(Interposer) 상에 PIC와 EIC를 정밀하게 배치해야 하므로, 기존의 반도체 패키징 검사 기술보다 훨씬 높은 수준의 정밀도가 요구됩니다. 이는 향후 CPO 양산 단계에서 광학적 결합 정렬(Optical Alignment) 및 미세 회로의 전기적 연결성을 검증하는 고도의 검사 솔루션이 필수적으로 수반되어야 함을 시사합니다.

글로벌 CPO 시장 규모 및 성장 전망

AI(Artificial Intelligence) 연산 규모가 기하급수적으로 폭발함에 따라, 데이터센터 내부의 트래픽을 처리하기 위한 인터커넥트(Interconnect) 기술의 중요성이 그 어느 때보다 강조되고 있습니다. 기존의 구리 기반 전기 신호 전송 방식은 대역폭 확장과 전력 효율성 측면에서 임계점에 도달하였으며, 이를 극복하기 위한 대안으로 공동 패키징 광학(CPO, Co-Packaged Optics) 기술이 급부상하고 있습니다. 이에 따라 글로벌 CPO 시장은 단순한 기술적 변화를 넘어, 차세대 AI 인프라 구축을 위한 필수적인 시장으로 정의되며 가파른 성장 곡선을 그리고 있습니다.

1. 시장 성장 동력: AI 데이터센터의 폭발적 수요

CPO 시장의 성장을 견인하는 가장 핵심적인 동력은 AI 가속기 및 고성능 컴퓨팅(HPC)을 위한 데이터센터의 설계 패러다임 변화입니다. 생성형 AI 모델의 학습 및 추론을 위해 수만 개의 GPU/NPU가 연결되는 초거대 클러스터 환경에서는 칩 간(Chip-to-Chip) 및 칩-대-스위치(Chip-to-Switch) 통신에서 발생하는 전력 손실과 지연 시간(Latency)을 최소화하는 것이 생존 직결 문제입니다.

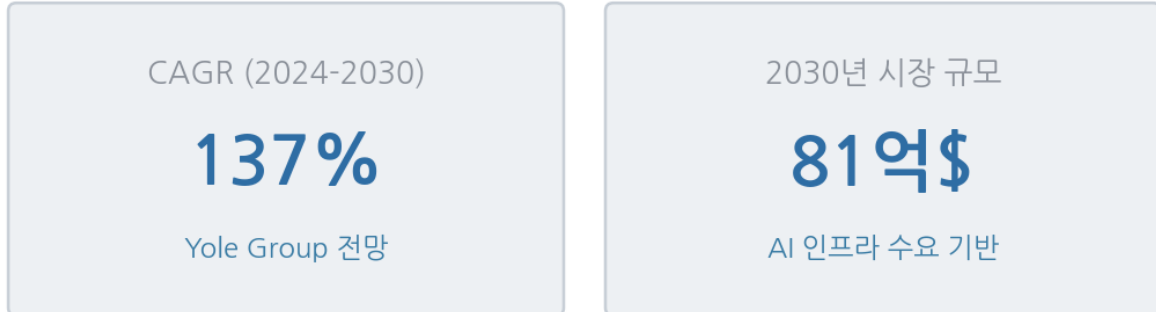
기존의 플러그블(Pluggable) 광모듈 방식은 칩과 광모듈 사이의 물리적 거리로 인해 신호 감쇠가 발생하며, 이를 보상하기 위해 고성능 DSP(Digital Signal Processor)를 사용해야 하므로 막대한 전력을 소모합니다. 반면, CPO는 광학 소자를 반도체 스위치 칩과 동일한 패키지 기판 위에 통합함으로써 신호 경로를 극단적으로 단축합니다. 이러한 기술적 이점은 데이터센터 운영 비용(OPEX)의 핵심인 전력 소비를 획기적으로 낮출 수 있음을 의미하며, 이는 곧 대규모 데이터센터 운영사들의 강력한 CPO 채택 수요로 이어지고 있습니다.

2. 연도별 시장 규모 및 성장률(CAGR) 전망

글로벌 시장 조사 기관들의 분석에 따르면, CPO 시장은 2024년을 기점으로 본격적인 양산 및 도입 단계에 진입할 것으로 예측됩니다. 특히 2025년과 2026년은 기술적 검증을 넘어 실제 대규모 데이터센터 인프라에 적용되는 전환점이 될 전망입니다.

시장 규모 측면에서 Yole Group은 CPO 시장이 2024년 약 4,600만 달러 수준에서 2030년에는 81억 달러 규모로 급성장할 것으로 전망하였으며, 이는 연평균 성장률(CAGR)이 무려 137%에 달하는 경이로운 수치입니다 [출처: 투자연구소 테크센터]. 다른 조사 기관인 Precedence Research의 데이터에 따르면, 2025년 약 9,504만 달러 규모로 평가되는 글로벌 CPO 시장은 2034년까지 약 10억 5,511만 달러 규모에 도달할 것으로 보이며, 이 역시 연평균 약 30.66%의 꾸준한 성장세를 유지할 것으로 분석됩니다 [출처: Precedence Research].

CPO 시장 성장 핵심 지표



Cressem · 결정론 렌더

그림 2. CPO 시장 성장 핵심 지표

3. 기술 성숙도에 따른 시장 세분화 및 예측

CPO 시장의 성장은 데이터 전송 속도(Data Rate)와 적용 분야에 따라 단계적으로 진행될 것으로 보입니다. 현재는 800Gbps급 인터페이스를 중심으로 시장이 형성되고 있으나, 차세대 AI 가속기 대응을 위해 1.6Tbps 및 3.2Tbps 이상의 초고속 광 인터페이스 수요가 빠르게 증가하고 있습니다.

구분	현재 (2024-2025)	차세대 (2026 이후)	비고
주요 인터페이스	400G / 800G	1.6T / 3.2T / 6.4T	전송 대역폭의 기하급수적 증가
주요 적용처	클라우드 데이터센터, 연구용 HPC	AI 전용 가속기 클러스터, 초거대 AI 인프라	AI 모델 규모 확대에 따른 동행
핵심 기술 과제	광학-전기 신호 통합 안정성	실리콘 포토닉스(SiPh) 고집적화	패키징 난이도 상승

표 2. 기술 성숙도에 따른 시장 세분화 및 예측

특히 2026년은 CPO 기술이 본격적인 대량 양산(Full-scale Mass Production) 단계에 진입하는 원년이 될 것으로 업계는 내다보고 있습니다 [출처: Mitsui]. 이는 Broadcom과 NVIDIA와 같은 선도 기업들이 CPO 솔루션을 실제 제품 라인업에 통합하고, 이를 기반으로 한 차세대 이더넷 스위치 및 AI 가속기 플랫폼을 출시함에 따라 시장의 불확실성이 해소되기 때문입니다.

4. 결론 및 시사점

결론적으로 CPO 시장은 AI 반도체의 성능 한계를 돌파하기 위한 '필연적 선택'으로서 성장하고 있습니다. 단순한 통신 모듈의 교체가 아니라, 반도체 패키징 기술과 광학 기술이 완전히 융합되는 새로운 생태계의 탄생을 의미합니다. 시장 규모의 급격한 팽창은 관련 부품(PIC, EIC), 고성능 기판, 그리고 무엇보다 이 복잡한 구조를 검증할 수 있는 **초정밀 검사 솔루션**에 대한 수요를 동반할 것입니다. 따라서 CPO 시장의 성장은 차세대 패키징 검사 장비 기업들에게 전례 없는 규모의 신규 시장 창출 기회를 제공할 것으로 판단됩니다.

주요 플레이어 및 기술 로드맵 분석

차세대 데이터센터와 AI 가속기 시장의 패러다임이 구리 기반 전기 신호에서 광학 기반 인터커넥트로 전환됨에 따라, CPO(Co-Packaged Optics) 기술을 선점하기 위한 글로벌 반도체 거인들의 경쟁이 가속화되고 있습니다. 현재 시장은 광학 소자와 전기적 스위치 칩을 하나의 패키지 내에 통합하는 기술력을 보유한 기업들을 중심으로 재편되고 있으며, 특히 Broadcom과 NVIDIA가 기술 표준과 양산 로드맵을 주도하고 있습니다.

1. 선도 기업별 기술 현황 및 제품군 분석

1.1. Broadcom (브로드컴): CPO 양산의 퍼스트 무버(First Mover)

Broadcom은 CPO 기술을 실제 데이터센터 스위치 환경에 적용하여 상용화 단계로 끌어올린 가장 앞선 기업 중 하나입니다. 브로드컴의 전략은 기존의 플러그블(Pluggable) 광모듈 방식을 대체하는 것을 넘어, 스위치 ASIC(Application-Specific Integrated Circuit)과 광학 엔진을 물리적으로 밀착시키는 데 집중되어 있습니다.

- **TH6-Davisson 및 51.2 Tbps 솔루션:** 브로드컴의 3세대 CPO 기술이 적용된 대표적인 제품군으로, 51.2 Tbps급 이더넷 스위치 구현을 목표로 합니다. 이 기술은 기존의 플러그블 솔루션과 비교했을 때 전력 소모를 최대 70%까지 절감할 수 있는 혁신적인 효율성을 보여줍니다 [출처: engineering-ladder.tistory.com].
- **기술적 강점:** 브로드컴은 SerDes(Serializer/Deserializer) 기술과 실리콘 포토닉스(Silicon Photonics)를 결합하여, 칩과 광학 소자 사이의 물리적 거리를 극단적으로 단축함으로써 신호 손실을 최소화하고 데이터 전송 신뢰성을 확보했습니다.

1.2. NVIDIA (엔비디아): AI 인프라 통합 및 광학 스위칭 생태계 구축

NVIDIA는 GPU 중심의 AI 컴퓨팅 아키텍처를 기반으로, 연산 유닛과 통신 유닛 간의 데이터 병목을 해결하기 위한 광학 통합 솔루션을 제시하고 있습니다.

- **NVIDIA GTC 2026 로드맵:** 2026년 GTC 컨퍼런스에서 공개된 광학 통합 스위치(Optical Integrated Switch) 기술은 AI 인프라 투자의 핵심 키워드로 부상했습니다 [출처: kai-search.tistory.com]. 이는 단순한 인터커넥트 기술을 넘어, GPU 클러스터 전체를 하나의 거대한 연산 유닛처럼 작동하게 만드는 광학 네트워킹의 핵심입니다.
- **기술적 방향성:** NVIDIA는 Blackwell 아키텍처 이후의 차세대 플랫폼에서 CPO를 통해 포트당 전력 소모를 획기적으로 낮추는 전략을 취하고 있습니다. 특히 800Gbps 포트 기준, 기존 방식 대비 전력을 15W에서 5.5W 수준으로 낮추는 고효율 설계를 목표로 하고 있습니다 [출처: kai-search.tistory.com].

2. 기술 로드맵 및 비교 분석

글로벌 플레이어들의 기술 로드맵은 크게 **전력 효율성(Power Efficiency)**, **대역폭 밀도(Bandwidth Density)**, 그리고 **통합 수준(Integration Level)**이라는 세 가지 축을 중심으로 전개됩니다.

구분	기존 Pluggable 방식	차세대 CPO (Broadcom/NVIDIA 주도)	비고
주요 인터페이스	구리 기반 전기 신호 (Copper Trace)	실리콘 포토닉스 기반 광 신호 (Optical Signal)	전송 거리 및 손실 차이
전력 소모 (800G 기준)	약 15W 이상 (포트당)	약 5.5W 수준 (포트당)	약 63% 절감 가능 [출처: kai-search.tistory.com]
신호 손실(Loss)	112G/224G SerDes 환경에서 급격히 증가	광학 직접 결합으로 신호 손실 80% 이상 감소 [출처: engineering-ladder.tistory.com]	유효 전송 거리의 한계 극복

주요 타겟 시장	일반 엔터프라이즈 데이터센터	초거대 AI 모델 학습용 GPU 클러스터	고밀도/고성능 요구
----------	-----------------	------------------------	------------

표 3. 기술 로드맵 및 비교 분석

2.1. 기술적 진화 단계 (Evolutionary Path)

1. **1단계: Pluggable Optics (현재 주류):** 광모듈을 스위치 전면에 장착하는 방식으로, 교체가 용이하나 칩과 모듈 사이의 구리 배선에서 발생하는 전력 손실과 지연(Latency)이 한계점입니다.

2. **2단계: Near-packaged Optics (NPO):** 광학 엔진을 스위치 패키지 근처에 배치하여 물리적 거리를 줄이는 과도기적 단계입니다.

3. **3단계: Full Co-Packaged Optics (CPO, 본격 양산 단계):** 광학 I/O와 전기적 스위치 칩을 하나의 기판(Substrate) 위에 통합하는 단계로, 2026년을 기점으로 본격적인 대량 양산(Mass Production) 및 실전 배치(Practical Roll-out)가 시작될 것으로 전망됩니다 [출처: mitsui.com].

3. 시장 지배력 및 기술 표준화 경쟁

현재 CPO 시장은 기술적 우위를 점한 Broadcom이 하드웨어 표준을 선점하려는 움직임을 보이는 가운데, NVIDIA는 자사의 AI 가속기 생태계 내에 광학 기술을 내재화하여 소프트웨어와 하드웨어가 결합된 '풀 스택(Full-stack) 광학 컴퓨팅'을 구축하려 하고 있습니다.

이 과정에서 핵심적인 기술적 관전 포인트는 EIC(Electronic Integrated Circuit)와 PIC(Photonic Integrated Circuit)의 결합 정밀도입니다. 3.2 Tbps 및 6.4 Tbps급의 초고속 실리콘 포토닉스 PIC를 개발하고 이를 구동할 EIC를 얼마나 안정적으로 패키징하느냐가 양산 수율을 결정짓는 핵심 요소가 될 것입니다 [출처: engineering-ladder.tistory.com].

결론적으로, 주요 플레이어들은 단순한 부품 공급을 넘어 '전력 소모량(pJ/bit)의 최소화'와 '데이터 처리 밀도의 극대화'를 달성하기 위해 반도체 공정(Foundry)과 패키징 공정(Advanced Packaging)의 경계를 허무는 통합 솔루션 경쟁에 돌입한 상태입니다.

CPO 패키징 공정의 기술적 난제

CPO(Co-Packaged Optics, 공동 패키지 광학) 기술은 전기 신호를 광 신호로 변환하는 과정을 칩(ASIC/Switch)과 매우 인접한 위치에서 수행함으로써 데이터 전송 효율을 극대화하는 혁신적인 기술입니다. 그러나 기존의 Pluggable(플러거블) 방식에서 벗어나 광학 소자(Photonics)와 반도체 스위치 칩을 하나의 패키지 기판(Package Substrate) 내에 통합하는 과정에서, 공정 난이도는 기하급수적으로 상승하고 있습니다. 특히 2.5D 및 3D 패키징 구조 내에서 발생하는 초정밀 정렬(Alignment Precision), 열 관리(Thermal Management), 그리고 차세대 접합 기술인 하이브리드 본딩(Hybrid Bonding)의 적용 문제는 CPO 상용화를 결정짓는 핵심 기술적 장벽입니다.

1. 초정밀 정렬(Alignment Precision) 및 광학적 정합성 문제

CPO 패키징의 가장 근본적인 난제는 광학 소자와 전기적 소자 간의 '나노미터(nm) 단위 정렬'입니다. 기존의 플러거블 모듈은 광섬유(Optical Fiber)와 광학 엔진이 물리적으로 분리되어 있어 어느 정도의 공차(Tolerance)가 허용되었으나, CPO는 실리콘 포토닉스(Silicon Photonics) 기반의 PIC(Photonic Integrated Circuit)와 EIC(Electronic Integrated Circuit)가 동일한 패키지 내에 배치됩니다.

이 과정에서 광학적 정합성을 유지하기 위해 요구되는 기술적 요구사항은 다음과 같습니다.

- **Sub-micron급 정렬 오차 제어:** 광섬유와 웨이퍼 레벨의 광학 소자가 만나는 지점에서 발생하는 미세한 위치 오차는 광 손실(Optical Loss)을 급격히 증가시킵니다. 1 μ m 미만의 오차만으로도 신호 감쇠가 심화되어 데이터 전송 품질(Signal Integrity)을 저하시킬 수 있습니다.
- **2.5D/3D 인터포저(Interposer) 내 정렬 이슈:** CPO는 주로 TSV(Through Silicon Via)가 형성된 실리콘 인터포저나 고밀도 기판 위에 구현됩니다. 적층 구조가 복잡해질수록 Die-to-Die 정렬 시 발생하는 Warpage(휨) 현상이 정렬 정밀도를 저해하며, 이는 곧 수율(Yield) 저하로 직결됩니다.
- **광학 패키징의 기계적 안정성:** 패키징 공정 중 발생하는 압력(Bonding Pressure)이나 열팽창 계수(CTE) 차이로 인해 광학 경로(Optical Path)가 미세하게 틀어지는 현상이 발생합니다. 이는 양산 단계에서 매우 엄격한 검사 프로세스를 요구하는 원인이 됩니다.

CPO 패키징 공정의 핵심 기술적 병목 구간



Cressem - 결정론 렌더

그림 3. CPO 패키징 공정의 핵심 기술적 병목 구간

2. 극한의 열 관리(Thermal Management) 및 열 간섭 이슈

CPO 구조는 고성능 AI 가속기나 네트워크 스위치 칩 바로 옆에 광학 소자가 위치한다는 점에서 열 설계(Thermal Design)가 극도로 까다롭습니다. 기존 방식은 열이 발생하는 전기 칩과 열에 민감한 광학 소자가 물리적으로 분리되어 있었으나, CPO는 이 둘을 하나의 패키지 안에 가두는 형태입니다.

- **열 밀도(Heat Density)의 급증:** AI 데이터센터의 트렌드에 따라 스위치 칩의 전력 소모량이 증가하면서, 패키지 내부의 국부적 열 밀도가 급격히 상승하고 있습니다. 이는 패키지 내부의 온도 구배(Temperature Gradient)를 형성하여 열적 불균형을 초래합니다.
- **광학 소자의 온도 민감성:** 실리콘 포토닉스 소자는 온도 변화에 따라 굴절률(Refractive Index)이 변하는 특성이 있습니다. 전기 칩에서 발생하는 열이 광학 소자로 전달될 경우, 파장(Wavelength)의 드리프트(Drift)가 발생하여 통신 채널의 불일치나 신호 손실을 유발합니다.
- **열팽창 계수(CTE) 불일치에 의한 물리적 변형:** 서로 다른 재질(Silicon, Glass, Organic Substrate, Optical Fiber)이 혼재된 CPO 패키지는 온도 변화에 따라 각기 다른 속도로 팽창/수축합니다. 이로 인해 발생하는 응력(Stress)은 미세 정렬을 무너뜨리거나, 심할 경우 접합부(Bonding Interface)에 균열(Crack)을 발생시킬 수 있습니다.

3. 하이브리드 본딩(Hybrid Bonding) 도입에 따른 공정 난이도 상승

HBM4 등 차세대 메모리 기술에서 논의되는 것과 마찬가지로, CPO에서도 데이터 전송 대역폭을 극대화하기 위해 기존의 Bump 기반 방식 대신 하이브리드 본딩(Hybrid Bonding, Cu-to-Cu) 기술 도입이 가속화되고 있습니다.

구분	기존 Bump 방식 (Micro Bump)	하이브리드 본딩 (Hybrid Bonding)	CPO 적용 시 시사점
----	-------------------------	---------------------------	--------------

접합 구조	Solder Ball 또는 Copper Pillar 사용	Cu(구리) 패드와 Dielectric(유전체) 직접 접합	Bump가 없어 피치(Pitch)를 극단적으로 축소 가능
정렬 정밀도	수 μm 단위의 오차 허용	수백 nm(sub-micron) 단위의 정밀도 요구	초고해상도 광학 검사 및 정밀 정렬 장비 필수
전기적 특성	Bump 저항 및 인덕턴스 존재	접합부 저항 최소화, SI/PI 우수	고속 SerDes 신호 전송에 유리하나 공정 난이도 높음
주요 결함	Solder Bridging, Void, Missing Bump	Cu-to-Cu Misalignment, Surface Particle	미세 이물질(Particle)에 의한 접합 불량 치명적

표 4. 하이브리드 본딩(Hybrid Bonding) 도입에 따른 공정 난이

하이브리드 본딩은 범프(Bump)를 제거함으로써 패키지 두께를 줄이고 전기적 경로를 단축시켜 신호 무결성(Signal Integrity)을 높일 수 있는 강력한 솔루션입니다. 그러나 접합면에 단 하나의 미세한 파티클(Particle)만 존재해도 접합 불량(Void)이나 단락(Short)이 발생할 수 있습니다. 따라서 CPO 공정에서는 Sub-micron 급 해상도를 가진 3D 광학 검사(AOI)와 비파괴 검사(X-ray/CT) 기술이 필수적으로 결합되어야 합니다.

4. 종합적 기술적 시사점

결론적으로 CPO 패키징은 '초정밀 정렬-열 제어-차세대 접합'이라는 세 가지 기술적 난제가 복합적으로 얹혀 있는 고난도 영역입니다. 2.5D/3D 구조 내에서 광학적 성능을 유지하면서도 고전력 전기 칩의 열을 효과적으로 배출해야 하며, 이를 위해 하이브리드 본딩과 같은 초미세 공정 기술이 수반되어야 합니다.

이러한 기술적 난제는 역설적으로 검사 장비 기업에게는 거대한 기회입니다. 기존의 단순한 불량 검사를 넘어, 열 변형을 고려한 Warpage 측정, 하이브리드 본딩용 초고해상도 3D 광학 검사, 그리고 AI 기반의 실시간 결함 분류(Defect Classification) 역량을 갖춘 기업만이 CPO라는 차세대 패키징 시장의 핵심 플레이어로 자리매김할 수 있을 것입니다.

크레셈(CRESSEM)의 기술적 기회 및 대응 전략

차세대 광 I/O 기술인 CPO(Co-Packaged Optics)의 등장은 반도체 패키징 패러다임을 전기적 신호 중심에서 광학적 신호 중심으로 전환시키고 있습니다. 이는 단순한 인터커넥트 방식의 변화를 넘어, 광학 소자(Photonics)와 반도체 스위치 칩이 하나의 패키지 기판 내에 통합되는 고난도 공정을 의미합니다. 크레셈(CRESSEM)은 이미 FC-BGA 및 2.5D/3D 기판 검사 분야에서 축적한 고정밀 광학 검사 기술과 AI 비전 알고리즘을 보유하고 있어, CPO 시장의 기술적 진입 장벽을 극복하고 새로운 성장 동력을 확보할 수 있는 최적의 위치에 있습니다.

1. 기술적 교두보: 기존 검사 역량의 확장성(Scalability)

크레셈의 핵심 경쟁력은 고밀도 기판 및 HBM(High Bandwidth Memory) 검사에서 검증된 첨단 검사(Advanced Inspection) 기술에 기반합니다. CPO는 광학 소자와 전기적 칩(EIC, Electronic IC)을 초정밀하게 결합해야 하므로, 기존의 검사 기술을 다음과 같이 확장 적용할 수 있습니다.

- **이종 집적(Heterogeneous Integration) 대응 능력:** HBM4가 로직 다이와 DRAM 다이를 결합하는 구조를 갖는 것처럼, CPO 역시 광학 소자와 반도체 칩이 결합되는 이종 집적 구조를 가집니다. 크레셈은 이미 FC-BGA 및 2.5D 기판 검사를 통해 Interposer 및 Substrate 검사 기술을 확보하고 있으며, 이를 CPO의 광학-전기 통합 패키징 영역으로 확장할 수 있는 기술적 기반을 갖추고 있습니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

- **초정밀 정렬(Alignment) 및 결함 검출:** CPO 공정에서는 광학적 경로(Optical Path)의 미세한 어긋남이 신호 손실로 직결됩니다. 크레셈의 초고해상도 2D/3D AOI(Automated Optical Inspection) 기술은 CPO 패키징 내 광학 소자의 미세 정렬 오차와 접합부의 이물질(Particle)을 Sub-micron 급 해상도로 검출하는 데 핵심적인 역할을 할 것입니다.
- **Warpage(휨) 및 변형 제어:** 고단 적층 및 이종 재료 결합 시 발생하는 기판의 휨 현상은 검사 정밀도를 저하시키는 주요 요인입니다. 크레셈은 고정밀 스테이지 제어와 3D 프로파일링 기술을 결합하여, 변형된 상태에서도 정확한 데이터를 추출하는 솔루션을 보유하고 있어 CPO의 물리적 변형 이슈에 효과적으로 대응 가능합니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

2. AI 기반 스마트 검사 솔루션(AI-Driven Vision)

CPO 패키징은 기존 플러그블(Pluggable) 방식보다 데이터 밀도가 압도적으로 높으며, 검사해야 할 포인트와 결함의 종류가 기하급수적으로 증가합니다. 이에 따라 크레셈은 단순한 하드웨어 공급을 넘어 **AI 기반 지능형 검사 시스템**으로의 진화를 꾀해야 합니다.

- **딥러닝 기반 결함 분류(Deep Learning-based Defect Classification):** CPO 공정에서 발생하는 미세 결함과 정상적인 광학적 노이즈를 구분하는 것은 매우 어렵습니다. 크레셈의 AI 비전 알고리즘은 딥러닝을 통해 과검(Over-kill)률을 획기적으로 낮추고, 실제 불량(Void, Bridge, Misalignment 등)만을 정밀하게 판별하여 수율(Yield) 향상에 직접적으로 기여할 수 있습니다 [출처: 기업 분석 보고서 (주)크레셈 (CRESSEM): 차세대 반도체 패키징 검사 솔루션의 선두주자].
- **실시간 결함 검출 및 데이터 통합(Real-time Defect Detection & Data Integration):** 검사 데이터를 단순히 리포트하는 수준을 넘어, AI가 결함의 패턴을 분석하여 전공정(Fab)의 결함 원인을 역추적(Root Cause Analysis)할 수 있는 데이터 분석 플랫폼을 장비에 통합해야 합니다. 이는 고객사의 수율 개선을 가속화하여 장비의 가치를 극대화하는 전략입니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

3. 전략적 로드맵: 맞춤형 모듈화 및 시장 선점

CPO 기술은 제조사(NVIDIA, Broadcom 등)와 패키징 업체(TSMC 등)의 공정 방식에 따라 매우 상이한 특성을 보입니다. 따라서 크레셈은 표준화된 장비보다는 **고객 맞춤형 모듈화(Customized Module)** 전략을 채택해야 합니다.

CPO 시장 대응 역량 및 전략 매트릭스

	결합 검출력	공정 대응력	수율 기여도
CPO 핵심 과제	● 핵심	● 핵심	●
AI 비전 솔루션	● 핵심	○	● 핵심
광학/기구 통합 기술	●	● 핵심	● 핵심
맞춤형 모듈 전략	○	● 핵심	● 핵심

Cressem · 결정론 렌더

그림 4. CPO 시장 대응 역량 및 전략 매트릭스

- **[Step 1] Hybrid Bonding 및 광학 통합 검사 기술 선점:** CPO의 핵심인 광학-전기 통합 패키징(Co-packaged) 공정에서 발생할 수 있는 초미세 간극 및 접합부 결함을 측정하기 위한 차세대 검사 모듈 개발에 집중해야 합니다.
- **[Step 2] 고객 맞춤형(Customized) 검사 시스템 공급:** 고객사마다 상이한 광학 인터페이스 및 패키징 규격에 대응하기 위해, 모듈형 장비 설계를 활용하여 특정 공정(예: CoWoS 기반 CPO 적층)에 최적화된 검사 솔루션을 신속하게 공급함으로써 고객 락인(Lock-in) 효과를 강화해야 합니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].
- **[Step 3] 고부가가치 검사 영역으로의 포트폴리오 전환:** 기존의 기판(Substrate) 및 메모리(HBM) 중심의 검사 포트폴리오를 광학 통신(Optical I/O) 영역으로 확장함으로써, AI 가속기 시장 성장에 따른 고부가가치 검사 장비 시장의 핵심 플레이어로 도약해야 합니다 [출처: 기업 분석 보고서 (주)크레셈 (CRESSEM): 차세대 반도체 패키징 검사 솔루션의 선두주자].

결론적으로, 크레셈은 CPO가 가져올 기술적 난제(정렬, 열 관리, 미세 결함)를 자사의 강점인 **AI 비전, 고정밀 광학 엔진, 모듈형 설계 역량**으로 정면 돌파함으로써, AI 데이터센터 인프라의 핵심인 차세대 광학 인터커넥트 시장을 선점할 수 있는 충분한 잠재력을 보유하고 있습니다.

결론 및 시사점

본 보고서에서 살펴본 바와 같이, AI 데이터센터의 폭발적인 성장과 데이터 전송량의 급증은 기존 구리 배선 기반의 전기 신호 전송 방식이 가진 물리적 한계를 명확히 드러냈습니다. 이를 극복하기 위한 차세대 인터커넥트 기술인 공동 패키지 광학(CPO, Co-Packaged Optics)은 단순한 기술적 대안을 넘어, AI 인프라의 지속 가능성을 결정짓는 핵심 요소로 부상하고 있습니다. CPO 기술의 본격적인 양산 단계 진입은 반도체 후공정(Advanced Packaging)의 패러다임을 광학 통합형 구조로 전환시킬 것이며, 이는 검사 및 계측(Metrology & Inspection) 분야에 전례 없는 기술적 도전과 기회를 동시에 제공할 것입니다.

CPO 시장의 주도권을 확보하고 글로벌 리더십(Market Leadership)을 구축하기 위해 크레셈(CRESSEM)이 집중해야 할 전략적 로드맵(Strategic Roadmap)은 다음과 같습니다.

첫째, **초정밀 광학 정렬 및 결함 검사 기술의 고도화**입니다. CPO는 광학 소자(Photonics)와 전기적 신호 처리 칩(EIC/DSP)이 하나의 패키지 내에 고밀도로 통합되는 구조를 가집니다. 따라서 기존의 범프(Bump) 검사를 넘어, 광학 인터페이스의 미세 정렬(Alignment) 오차와 광학 경로 상의 이물질을 Sub-micron 단위로 검출할 수 있는 초고해상도 3D AOI(Automated Optical Inspection) 솔루션 확보가 최우선 과제입니다.

둘째, **AI 기반의 수율 개선(Yield Improvement) 솔루션 통합**입니다. CPO 패키징은 공정 난이도가 매우 높고 결함 발생 시 전체 모듈을 폐기해야 하는 리스크가 큼니다. 크레셈은 단순한 결함 검출(Defect Detection)을 넘어, AI 비전 알고리즘을 통해 결함의 근본 원인을 역추적(Root Cause Analysis)하고 공정 파라미터를 피드백할 수 있는 지능형 데이터 분석 플랫폼을 장비에 내재화해야 합니다. 이는 고객사의 수율 향상에 직접적으로 기여함으로써 강력한 고객 락인(Lock-in) 효과를 창출할 것입니다.

셋째, **이종 집적(Heterogeneous Integration) 대응 역량의 확장**입니다. 크레셈이 보유한 FC-BGA 및 2.5D/3D 기판 검사 기술은 CPO의 기반이 되는 Interposer 및 Substrate 검사 영역과 기술적 접점이 매우 높습니다. 기존의 고정밀 스테이지 제어 기술과 Warpage(휨) 측정 기술을 CPO의 열 관리(Thermal Management) 및 광학 정렬 이슈와 결합하여, CPO 전용 맞춤형 검사 모듈(Customized Inspection Module)로 빠르게 전환하는 전략이 필요합니다.

결론적으로, CPO로의 기술 전환은 크레셈에게 기존의 기판 검사 역량을 고부가가치의 광학·메모리 패키징 검사 영역으로 확장할 수 있는 결정적 기회입니다. 차세대 광 I/O 시장의 기술적 난제를 해결하는 '검사 솔루션 파트너'로서 R&D 역량을 집중한다면, 글로벌 반도체 공급망 내에서 대체 불가능한 핵심 플레이어로 도약할 수 있을 것으로 전망됩니다.

참고 자료

1. [Cpo 기술 동향 및 국내외 기업 분석 :: 투자연구소 테크센터](<https://engineering-ladder.tistory.com/178>)
2. [2026.03 Cpo (공동패키지광학) - Ai 데이터센터의 차세대 광통신 ...](<https://kai-search.tistory.com/46>)
3. [공동 패키지형 광학 (CPO) 기술동향 및 시장 전망 2025-2035 - IDTechEx](<https://www.idtechex.com/ko/research-report/co-packaged-optics/1019>)
4. [구리선의 한계와 반도체의 새로운 돌파구, Cpo 기술 심층 분석](<https://alchonomics.com/cpo-semiconductor-optical-packaging-ai/>)
5. [Co Packaged Optics Market Size, Share | Growth Report [2034]](<https://www.fortunebusinessinsights.com/co-packaged-optics-market-117954>)
6. [Co-Packaged Optics Market Size, Share and Growth Analysis](<https://www.marketsandmarkets.com/Market-Reports/co-packaged-optics-market-28874835.html>)
7. [Co-Packaged Optics (CPO) Market Size to Hit USD 1,055.11 Million by 2034](<https://www.precedenceresearch.com/co-packaged-optics-market>)
8. [Co Packaged Optics Market Report: Size, Growth, Trends & Forecast (2025-2033)](<https://www.verifiedmarketresearch.com/product/co-packaged-optics-market/>)
9. [PDF Co-Packaged Optics (CPO) 2025-2035: Technologies, Market, and Forecasts](<http://www.sbdic.co.kr/email/2024/20240826/sample/IDTechExCoPackagedOpticsCPO.pdf>)
10. [PDF Co-Packaged Optics (CPO) 2026-2036: Technologies, Market, and Forecasts](<http://www.sbdic.co.kr/email/2026/20260526/sample/IDTechExCoPackagedOpticsCPO2.pdf>)

11. [PDF Global Co-Packaged Optics (CPO) Technology Market Research Report 2025(Status and Outlook)](<https://pdf.marketpublishers.com/bossonresearch/co-packaged-optics-cpo-technology-market-bosson.pdf>)
12. [PDF Co-Packaged Optics Gain Traction in Data Centers](https://www.mitsui.com/mgssi/en/report/detail/_icsFiles/afieldfile/2026/04/01/2601bttsujie.pdf)
13. IDTechExCoPackagedOpticsCPO.pdf (사내 자료)
14. IDTechExCoPackagedOpticsCPO2.pdf (사내 자료)
15. co-packaged-optics-cpo-technology-market-bosson.pdf (사내 자료)
16. 2601bttsujie.pdf (사내 자료)
17. 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf (사내 자료)
18. 매뉴얼HBMAAdvancedInspectionSyst20260509001.pdf (사내 자료)
19. 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf (사내 자료)
20. 분석_크레셈CRESSEM20260509001.pdf (사내 자료)
21. pdf_인하대학교컴퓨터공학과배승환20260509001.pdf (사내 자료)
22. ProfessorSeungHwanBaeReport.pdf (사내 자료)