

차세대 광 I/O(CPO) 기술 트렌드 분석 및 크레셈(CRESSEM)의 전략적 대응 방안

문서번호 CRSM-AI-2026-AUTO

작성일 2026-07-28

작성 Cressem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

차세대 광 I/O(CPO) 기술 트렌드 분석 및 크레셈(CRESSEM)의 전략적 대응 방안	3
개요: AI 인프라의 병목 현상과 CPO의 부상	3
CPO 기술 메커니즘 및 기존 Pluggable 방식 비교	4
CPO 시장 규모 및 성장 전망 (2024-2034)	6
글로벌 주요 플레이어 및 기술 로드맵	7
CPO 패키징 공정의 기술적 난제: 2.5D/3D 및 Hybrid Bonding	9
크레셈(CRESSEM)의 기술적 교두보 및 SWOT 분석	11
전략적 대응 로드맵: 차세대 검사 솔루션 개발 방향	13
결론 및 시사점	15
참고 자료	15

차세대 광 I/O(CPO) 기술 트렌드 분석 및 크레셈(CRESSEM)의 전략적 대응 방안

AI 데이터센터의 전력 및 대역폭 한계를 극복하기 위한 핵심 기술인 CPO(Co-Packaged Optics)의 기술적 메커니즘과 시장 전망을 분석합니다. 글로벌 주요 플레이어의 동향을 파악하고, 크레셈의 고정밀 검사 기술을 활용한 차세대 패키징 검사 시장 선점 전략을 제안합니다.

개요: AI 인프라의 병목 현상과 CPO의 부상

1. AI 데이터센터의 폭발적 성장과 인터커넥트(Interconnect)의 위기

최근 생성형 AI(Generative AI) 기술의 급격한 발전과 대규모 언어 모델(LLM)의 확산으로 인해, 전 세계 데이터센터의 연산 능력 요구사항은 과거와 비교할 수 없는 수준으로 폭증하고 있습니다. AI 가속기(GPU, NPU 등)의 연산 성능이 기하급수적으로 향상됨에 따라, 이들 칩 사이를 연결하고 데이터를 주고받는 통신 경로인 인터커넥트(Interconnect) 기술이 전체 시스템의 성능을 결정짓는 핵심 요소로 부상했습니다.

현재 AI 인프라의 가장 큰 기술적 병목 현상(Bottleneck)은 칩 내부의 연산 속도보다, 칩과 칩 사이, 혹은 칩과 외부 네트워크를 연결하는 데이터 입출력(I/O) 과정에서 발생하는 물리적 한계에 있습니다. 수십 년간 반도체 패키징 및 시스템 설계의 근간이 되어온 구리(Copper) 기반의 전기 신호 전송 방식은 대역폭(Bandwidth) 확장과 전력 효율성 측면에서 임계점에 도달했습니다.

2. 구리 기반 전기 신호 전송의 물리적 한계

기존의 플러그블(Pluggable) 광모듈 방식이나 구리 배선을 이용한 전기적 연결은 다음과 같은 치명적인 문제점에 직면해 있습니다.

- **전력 소모의 급증(Power Consumption):** 데이터 전송 속도가 112G SerDes를 넘어 차세대 224G SerDes 기술 환경으로 진입함에 따라, 신호 손실을 보상하기 위한 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP)의 필요성이 커지고 있습니다. 이러한 부품들은 네트워크 전체 전력 소비의 상당 부분을 차지하며, 이는 곧 데이터센터의 운영 비용(OPEX) 상승과 막대한 열 밀도(Thermal Density) 상승으로 이어집니다. 특히 네트워크 장비 내에서 DSP가 차지하는 전력 비중은 약 50%에 달하는 것으로 알려져 있습니다 [출처: 투자연구소 테크센터].
- **신호 무결성(Signal Integrity) 저하:** 고속 데이터 전송 시 구리 배선의 유효 전송 거리는 수 센티미터(cm) 수준으로 급격히 단축됩니다. 신호 감쇠(Attenuation)와 왜곡이 심화됨에 따라 데이터 전송의 신뢰성을 확보하기가 매우 어려워지고 있으며, 이는 AI 연산의 실시간성을 저해하는 요소가 됩니다 [출처: alchonomics].
- **대역폭 밀도의 한계:** 물리적인 공간 제약으로 인해 기존의 플러그블 방식으로는 AI 가속기가 요구하는 초고대역폭을 수용하기 위한 포트 밀도를 구현하는 데 한계가 있습니다.

3. CPO(Co-Packaged Optics, 공동 패키징형 광학)의 등장과 필연성

이러한 전기적 신호 전송의 물리적 한계를 돌파하기 위한 차세대 기술로 공동 패키징형 광학(CPO, Co-Packaged Optics) 기술이 급부상하고 있습니다. CPO는 광학 소자(Photonics)와 반도체 스위치 칩(ASIC)을 하나의 패키징 기판(Package Substrate)에 직접 통합하는 첨단 인터커넥트 기술입니다.

CPO 기술은 기존의 플러그블 방식과 비교하여 다음과 같은 혁신적인 이점을 제공합니다.

비교 항목	기존 Pluggable 방식	차세대 CPO 방식	기대 효과
-------	-----------------	------------	-------

신호 경로	칩 → 긴 구리 배선 → 광모듈	칩 → 통합된 광학 소자	신호 손실 80% 이상 감소 [출처: 투자연구소 테크센터]
전력 효율	DSP 및 리타이머 의존도 높음	DSP 기능 간소화 및 제거 가능	비트당 전력 소모(pJ/bit) 50% 이상 절감 [출처: 투자연구소 테크센터]
전력 밀도	800Gbps 포트당 약 15W 소모	800Gbps 포트당 약 5.5W 소모	전력 효율 극대화 [출처: kai-search.tistory.com]
인터커넥트	전기적(Electrical) 중심	광학적(Optical) 중심	대역폭 확장 및 지연 시간(Latency) 단축

표 1. 개요: AI 인프라의 병목 현상과 CPO의 부상

CPO는 칩과 광학 엔진 사이의 거리를 극단적으로 단축함으로써, 전력 소모가 큰 DSP 기능을 간소화하거나 완전히 제거할 수 있게 합니다. 이는 데이터센터의 전력 효율을 개선할 뿐만 아니라, AI 가속기 간의 초고속·저지연 통신을 가능하게 하여 AI 인프라의 성능을 한 단계 격상시키는 핵심 구원투수 역할을 할 것으로 전망됩니다 [출처: alchonomics].

결론적으로, AI 연산 규모의 폭발적 증가에 따라 발생하는 '전력-대역폭-열 관리'의 삼중고를 해결하기 위해, CPO는 선택이 아닌 필수적인 기술적 패러다임의 전환(Paradigm Shift)으로 자리 잡고 있습니다.

CPO 기술 메커니즘 및 기존 Pluggable 방식 비교

AI 연산량의 폭발적 증가와 데이터센터의 고대역폭 요구사항이 맞물리면서, 기존의 전기적 신호 전송 방식은 물리적 임계점에 도달했습니다. 이를 해결하기 위한 핵심 기술인 공동 패키징형 광학(Co-Packaged Optics, CPO)은 단순히 통신 방식을 바꾸는 것을 넘어, 반도체 패키징 구조 자체를 근본적으로 재정의하는 기술입니다. 본 섹션에서는 CPO의 구조적 메커니즘을 심층 분석하고, 기존의 플러거블(Pluggable) 방식과 비교하여 기술적 우위성을 검토합니다.

1. 기존 Pluggable 방식의 한계: 구리 배선의 물리적 병목

전통적인 데이터센터 아키텍처에서는 광모듈(Optical Module)이 스위치 칩(Switch ASIC)으로부터 일정 거리 떨어진 전면 패널(Faceplate)의 포트에 장착되는 '플러거블(Pluggable)' 방식을 사용해 왔습니다. 이 방식은 유지보수가 용이하고 모듈 교체가 쉽다는 장점이 있지만, 차세대 초고속 인터페이스 환경에서는 다음과 같은 치명적인 결함을 노출하고 있습니다.

첫째, **신호 손실(Signal Loss)**과 **전력 소모의 급증**입니다. 현재 업계가 도입하고 있는 112G 및 차세대 224G SerDes(Serializer/Deserializer) 기술 환경에서, 구리 배선을 통한 전기 신호의 유효 전송 거리는 수 센티미터(cm) 수준으로 급격히 단축되었습니다 [출처: engineering-ladder.tistory.com]. 신호가 구리선을 통과하며 발생하는 감쇄(Attenuation)를 극복하기 위해, 시스템은 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP)를 추가로 배치해야 합니다. 그러나 이러한 보상 장치들은 데이터센터 전체 전력 소비를 급증시키고 열 밀도(Thermal Density)를 상승시키는 주요 원인이 됩니다 [출처: engineering-ladder.tistory.com].

둘째, **대역폭 밀도(Bandwidth Density)의 한계**입니다. 플러거블 방식은 물리적인 포트 공간의 제약으로 인해 단위 면적당 전송할 수 있는 데이터 양이 제한적입니다. AI 가속기 및 초대용 언어 모델(LLM)을 위한 스위치 칩의 I/O 요구사항이 기하급수적으로 늘어남에 따라, 기존의 전기적 인터커넥트로는 데이터 병목 현상을 해소할 수 없는 상황에 직면해 있습니다 [출처: alchonomics.com].

2. CPO의 기술적 메커니즘: Silicon Photonics 기반의 통합

CPO는 이러한 한계를 극복하기 위해 광학 소자(Photonics)와 반도체 스위치 칩(ASIC)을 하나의 패키지 기판(Package Substrate) 상에 통합하는 첨단 인터커넥트 기술입니다 [출처: kai-search.tistory.com]. CPO의 핵심은 실리콘 포토닉스(Silicon Photonics) 기술을 활용하여 광학 기능을 반도체 공정 내로 끌어들이는 데 있습니다.

CPO의 주요 구성 요소 및 작동 원리:

- **실리콘 포토닉스(Silicon Photonics) PIC:** 실리콘 웨이퍼 위에 광도파로(Optical Waveguide), 변조기(Modulator), 검출기(Photodetector) 등을 집적한 광학 집적 회로(PIC)를 구현합니다. 이를 통해 전기 신호를 광 신호로 변환하는 과정을 칩과 매우 가까운 거리에서 수행합니다.
- **고속 SerDes 및 EIC(Electronic IC) 통합:** 칩 내부에서 생성된 고속 전기 신호는 매우 짧은 거리의 구리 배선을 통해 바로 옆에 위치한 PIC로 전달됩니다. 이 과정에서 신호의 감쇄가 최소화되며, DSP의 역할을 간소화하거나 완전히 제거할 수 있어 비트당 전력 소모(pJ/bit)를 획기적으로 낮출 수 있습니다 [출처: engineering-ladder.tistory.com].
- **2.5D/3D 패키징 기술:** CPO는 고밀도 인터커넥트를 위해 CoWoS(Chip on Wafer on Substrate)와 같은 2.5D 패키징이나, 칩을 수직으로 적층하는 3D 패키징 기술을 기반으로 합니다. 이는 광학 엔진과 전기적 로직 칩 사이의 물리적 거리를 극단적으로 단축시켜 신호 무결성(Signal Integrity)을 극대화합니다.

결과적으로 CPO는 전기 신호가 구리선을 타고 멀리 이동해야 하는 '전기적 병목' 구간을 최소화하고, 데이터의 대부분을 '광학적 경로'로 전송함으로써 에너지 효율과 대역폭을 동시에 달성합니다.

3. Pluggable vs CPO: 정량적 성능 비교

CPO 기술 도입의 가장 강력한 동인은 전력 효율성과 신호 성능의 비약적인 향상입니다. 아래는 기존 플러거블 방식과 CPO 방식의 주요 성능 지표를 비교한 데이터입니다.

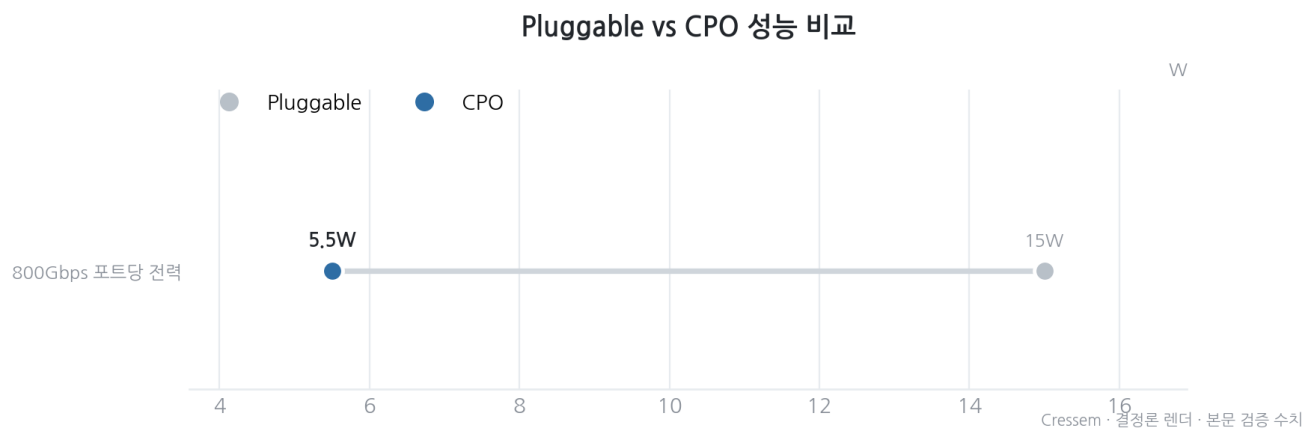


그림 1. Pluggable vs CPO 성능 비교

(참고: 위 수치는 800Gbps 포트 기준이며, 기술 성숙도에 따라 변동될 수 있음 [출처: kai-search.tistory.com])

비교 항목	Pluggable 방식 (기존)	CPO 방식 (차세대)	기술적 이점 (CPO)
신호 전송 매체	긴 구리 배선 (Long Copper Trace)	초단거리 구리 + 광학 (Short Trace + Optics)	신호 감쇄(Loss) 및 지연(Latency) 최소화

전력 소모 (800G 기준)	약 15W / 포트	약 5.5W / 포트	포트당 전력 소모 약 63% 절감 [출처: kai-search.tistory.com]
DSP 의존도	매우 높음 (신호 보정용)	매우 낮음 또는 제거 가능	비트당 전력 소모(pJ/bit) 50% 이상 절감 [출처: engineering-ladder.tistory.com]
대역폭 밀도	낮음 (포트 공간 제약)	매우 높음 (패키지 통합)	동일 면적 대비 데이터 전송량 극대화
열 관리 (Thermal)	분산형 (모듈 위치)	집중형 (칩 근처)	열 밀도는 상승하나, 시스템 전체 효율은 개선

표 2. Pluggable vs CPO: 정량적 성능 비교

4. 기술적 시사점: 검사 난이도의 상승

CPO 기술의 도입은 데이터센터의 효율성을 극대화하지만, 반도체 제조 및 패키징 관점에서는 극도로 높은 정밀도를 요구하는 새로운 과제를 던져줍니다.

첫째, **이종 집적(Heterogeneous Integration)의 복잡성**입니다. 전기적 특성을 가진 ASIC과 광학적 특성을 가진 PIC를 하나의 기판 위에 정렬(Alignment)하여 결합해야 하므로, 기존의 Bump 접합보다 훨씬 정밀한 수준의 정렬 기술이 요구됩니다.

둘째, **신규 결합 유형의 등장**입니다. 기존의 전기적 단락(Short)이나 단선(Open) 외에도, 광학 도파로 내의 미세한 이물질(Particle), 광학적 정렬 오차(Misalignment), 그리고 실리콘 포토닉스 소자 자체의 결함 등이 수율을 결정짓는 핵심 요소로 부상하고 있습니다. 이는 향후 크레셈(CRESSEM)이 대응해야 할 초정밀 3D AOI(Automated Optical Inspection) 및 비파괴 검사 기술의 핵심 타겟 영역이 될 것입니다.

CPO 시장 규모 및 성장 전망 (2024-2034)

AI(Artificial Intelligence) 연산 규모의 폭발적인 증가와 거대 언어 모델(LLM)의 확산은 데이터센터의 인프라 구조를 근본적으로 변화시키고 있습니다. 기존의 구리 기반 전기 신호 전송 방식이 대역폭 확장과 전력 효율 측면에서 물리적 임계점에 도달함에 따라, 차세대 광학 인터커넥트 기술인 CPO(Co-Packaged Optics, 공동 패키징형 광학) 시장은 단순한 기술적 대안을 넘어 AI 인프라 투자의 핵심 동력으로 부상하고 있습니다.

1. 시장 성장 동인: AI 데이터센터의 전력 및 대역폭 요구사항

현재 데이터센터 시장의 가장 큰 화두는 '전력 밀도(Power Density)'와 '에너지 효율(Energy Efficiency)'입니다. 기존의 플러거블(Pluggable) 광모듈 방식은 칩과 광모듈 사이의 긴 구리 배선으로 인해 발생하는 신호 손실을 보상하기 위해 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP)를 추가로 배치해야 하며, 이는 데이터센터 전체 전력 소비 급증과 열 밀도 상승이라는 부작용을 초래하고 있습니다 [출처: engineering-ladder.tistory.com].

CPO 기술은 광학 소자와 반도체 스위치 칩을 하나의 패키지 기판에 통합함으로써 이러한 문제를 해결합니다. CPO 도입 시 800Gbps 포트당 전력을 기존 15W에서 5.5W 수준으로 약 63% 이상 절감할 수 있으며, 비트당 전력 소모(pJ/bit)를 50% 이상 낮출 수 있는 것으로 분석됩니다 [출처: kai-search.tistory.com]. 이러한 압도적인 전력 효율성과 대역폭 이점은 초거대 AI 클러스터를 구축하려는 빅테크 기업들에게 CPO 채택을 강제하는 강력한 유인책이 되고 있습니다.

2. 정량적 시장 규모 및 성장 추세 분석

글로벌 시장 조사 기관들의 데이터를 종합하면, CPO 시장은 향후 10년간 유례없는 고성장을 기록할 것으로 전망됩니다. 특히 AI 가속기 시장의 성숙도와 궤를 같이하며 시장 규모가 급격히 팽창하는 양상을 보입니다.

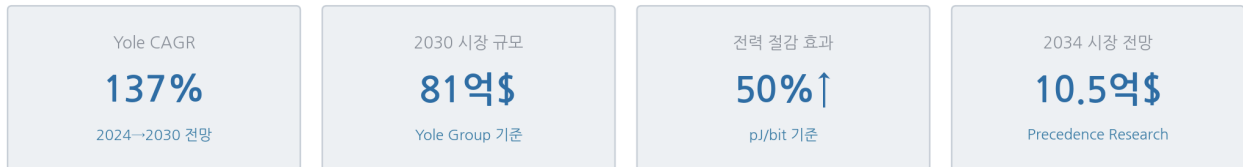
구분	2024년/2025년 (추정)	2030년/2034년 (전망)	연평균 성장률 (CAGR)
Yole Group 전망	4,600만 달러 (2024년)	81억 달러 (2030년)	약 137%
Precedence Research	9,504만 달러 (2025년)	10억 5,511만 달러 (2034년)	약 30.66%

표 3. 정량적 시장 규모 및 성장 추세 분석

Yole Group의 분석에 따르면, 2024년 약 4,600만 달러 수준에 불과했던 CPO 시장은 2030년 81억 달러 규모로 성장하며 연평균 137%라는 경이로운 성장률을 기록할 것으로 보입니다 [출처: engineering-ladder.tistory.com]. 이는 초기 시장 형성 단계에서 기술 표준이 확립되고, Broadcom이나 NVIDIA와 같은 선도 기업들의 솔루션이 본격적으로 양산 단계에 진입함에 따른 결과로 풀이됩니다.

한편, Precedence Research는 보다 보수적인 관점에서 2025년 약 9,504만 달러 규모인 시장이 2034년에는 약 10억 5,511만 달러에 도달할 것으로 예측하며, 연평균 30.66%의 견고한 성장을 전망하고 있습니다 [출처: precedenceresearch.com]. 두 전망치 사이의 격차는 CPO 기술의 상용화 속도와 AI 데이터센터의 인프라 교체 주기(Refresh Cycle)에 따라 결정될 것으로 보입니다.

CPO 시장 성장 핵심 지표



Cressem - 결정론 렌더

그림 2. CPO 시장 성장 핵심 지표

3. 기술적 성숙도에 따른 시장 분화

CPO 시장은 기술적 난이도와 적용되는 데이터 전송 속도에 따라 단계적으로 성장할 것으로 보입니다. 초기에는 112G SerDes 환경을 중심으로 시장이 형성되었으나, 현재는 차세대 224G SerDes 기술로의 전환이 가속화되고 있습니다.

또한, 단순한 광학 모듈의 통합을 넘어 3.2 Tbps 및 6.4 Tbps급 실리콘 포토닉스 PIC(Photonic Integrated Circuit)와 이를 구동하는 EIC(Electronic Integrated Circuit)의 통합 기술이 핵심 경쟁력으로 작용할 것입니다. 이러한 고성능 PIC 개발을 위해 글로벌 주요 플레이어들은 향후 5년간 수백억 원 규모의 R&D 예산을 투입하여 2.5D 및 3D 패키징 기반의 CPO 솔루션을 완성하려는 전략을 취하고 있습니다.

결론적으로, CPO 시장은 AI 반도체의 성능 한계를 극복하기 위한 필수적인 인프라 기술로서, 향후 10년 내에 데이터센터 통신 아키텍처의 주류(Mainstream)로 자리 잡을 것이며, 이에 따른 패키징 및 검사 솔루션의 수요 또한 기하급수적으로 증가할 것으로 확신할 수 있습니다.

글로벌 주요 플레이어 및 기술 로드맵

차세대 광 I/O 기술인 CPO(Co-Packaged Optics) 시장은 단순한 부품의 교체를 넘어, 데이터센터 아키텍처의 근본적인 변화를 주도하는 빅테크 기업과 반도체 설계 기업(Fabless)을 중심으로 재편되고 있습니다. 현재 CPO 기술 로드맵은 기존의 플러그형(Pluggable) 광모듈이 가진 물리적 한계를 극복하기 위해, 스위치 ASIC(Application-Specific Integrated Circuit)과 광학 엔진(Optical Engine)을 하나의 패키지 내에 통합하는 방향으로 급격히 진전되고 있습니다.

1. 주요 선도 기업별 CPO 솔루션 및 기술 현황

CPO 생태계는 크게 고성능 스위치 칩을 설계하는 ASIC 기업과 이를 기반으로 시스템 아키텍처를 설계하는 클라우드 서비스 제공자(CSP) 및 AI 가속기 설계 기업으로 양분되어 기술 주도권을 다투고 있습니다.

1.1. Broadcom (브로드컴): CPO 양산의 퍼스트 무버(First Mover)

브로드컴은 CPO 기술을 실제 상용 제품군에 가장 먼저 적용하며 시장을 선도하고 있는 핵심 플레이어입니다. 브로드컴의 전략은 고대역폭 이더넷 스위치 칩에 실리콘 포토닉스(Silicon Photonics) 기술을 결합하여 전력 효율과 대역폭 밀도를 극대화하는 데 집중되어 있습니다.

- **TH6-Davisson 시리즈:** 브로드컴의 3세대 CPO 기술이 적용된 대표적인 모델로, 51.2 Tbps급 이더넷 스위치 솔루션을 제공합니다. 이 솔루션은 기존의 플러그형(Pluggable) 방식 대비 전력 소모를 최대 70%까지 절감하며, 신호 무결성(Signal Integrity) 측면에서 탁월한 신뢰성을 확보한 것으로 알려져 있습니다 [출처: engineering-ladder.tistory.com].

- **기술적 특징:** 브로드컴은 ASIC과 광학 소자 간의 거리를 최소화하여 전기적 손실을 줄이는 동시에, 고밀도 패키징 기술을 통해 데이터센터의 랙(Rack)당 전력 밀도 문제를 해결하는 데 주력하고 있습니다.

1.2. NVIDIA (엔비디아): AI 인프라 중심의 광학 통합 가속화

엔비디아는 GPU 중심의 AI 가속기 생태계를 확장하기 위해 CPO를 핵심 인터커넥트(Interconnect) 기술로 채택하고 있습니다. 엔비디아의 전략은 단순한 네트워크 스위치를 넘어, GPU와 GPU 사이, 혹은 GPU와 스위치 사이의 데이터 이동 경로를 광학적으로 통합하여 'AI 슈퍼컴퓨터'의 병목 현상을 제거하는 것입니다.

- **NVIDIA GTC 2026 및 광학 통합 스위치:** 최근 NVIDIA GTC 2026을 통해 공개된 광학 통합 스위치 기술은 CPO 솔루션이 본격적인 양산 단계에 진입했음을 시사합니다 [출처: kai-search.tistory.com]. 이는 AI 모델의 파라미터 규모가 커짐에 따라 발생하는 데이터 입출력(I/O) 병목을 해결하기 위한 필수적인 조치로 평가받습니다.

- **기술적 지향점:** 엔비디아는 NVLink와 같은 독자적인 인터커넥트 기술에 CPO를 접목하여, 클러스터 규모의 컴퓨팅 환경에서 전력 소모를 낮추면서도 초고속 데이터 전송을 구현하는 것을 목표로 합니다.

1.3. 기타 주요 플레이어 및 생태계 동향

- **Intel (인텔):** 실리콘 포토닉스 기술을 조기에 확보하여 CPO 및 광학 인터커넥트 분야에서 강력한 IP를 보유하고 있으며, 자체 패키징 기술과 결합한 솔루션을 지속적으로 제시하고 있습니다.

- **Marvell (마벨):** 데이터센터용 광학 연결 솔루션과 고속 SerDes 기술을 바탕으로 브로드컴과 함께 CPO 시장의 주요 경쟁 구도를 형성하고 있습니다.

2. 기술 로드맵 및 인터페이스 진화 전망

CPO 기술의 발전은 데이터 전송 속도(Data Rate)의 증가와 패키징의 미세화라는 두 가지 축을 중심으로 진행되고 있습니다.

구분	기존 Pluggable 방식	차세대 CPO (Intermediate)	초고성능 CPO (Future)
주요 인터페이스	100G / 400G SerDes	112G SerDes	224G SerDes 및 그 이상

전력 효율성	상대적으로 낮음 (DSP 의존도 높음)	중간 (DSP 간소화 단계)	매우 높음 (DSP 제거/최소화)
전송 거리/손실	구리 배선에 의한 신호 손실 심화	배선 단축을 통한 손실 완화	광학 직접 연결로 손실 극소화
패키징 구조	모듈 분리형 (Pluggable Module)	Near-packaged Optics (NPO)	Co-packaged Optics (CPO)

표 4. 기술 로드맵 및 인터페이스 진화 전망

2.1. SerDes 기술의 진화: 112G에서 224G로

현재 업계는 112G SerDes 환경에서 구리 배선의 유효 전송 거리가 수 센티미터(cm) 수준으로 급격히 단축되는 문제에 직면해 있습니다. 이를 극복하기 위해 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP)를 추가해 왔으나, 이는 데이터센터의 전력 소비 급증과 열 밀도 상승이라는 부작용을 초래했습니다 [출처: engineering-ladder.tistory.com]. 따라서 차세대 로드맵은 224G SerDes를 지원하며, DSP 기능을 간소화하거나 완전히 제거하여 비트당 전력 소모(pJ/bit)를 50% 이상 절감하는 방향으로 나아가고 있습니다.

2.2. 패키징 통합 기술의 심화

CPO의 핵심은 광학 소자(Photonics)와 반도체 스위치 칩(ASIC)을 하나의 패키지 기판(Substrate)에 통합하는 것입니다. 기술 로드맵에 따르면, 초기에는 광학 엔진을 ASIC 근처에 배치하는 NPO(Near-packaged Optics) 방식이 활용되지만, 궁극적으로는 2.5D 및 3D 패키징 기술을 활용하여 칩과 광학 소자를 물리적으로 밀착시키는 완전한 CPO 형태로 진화할 전망입니다. 이 과정에서 실리콘 포토닉스 PIC(Photonic Integrated Circuit)와 이를 구동할 EIC(Electronic Integrated Circuit)의 고밀도 통합이 핵심 과제가 될 것입니다.

3. 기술적 도전 과제와 시장의 요구사항

글로벌 플레이어들의 로드맵 이면에는 해결해야 할 고난도의 기술적 난제들이 산재해 있으며, 이는 향후 검사 및 제조 공정의 새로운 시장을 형성할 것입니다.

1. **열 관리(Thermal Management):** ASIC의 고발열과 광학 소자의 온도 민감도가 충돌하는 지점에서, 고밀도 적층 구조를 유지하면서도 안정적인 동작 온도를 확보하는 것이 필수적입니다.

2. **정렬 정밀도(Alignment Precision):** 광학적 정렬은 전기적 연결보다 훨씬 높은 수준의 정밀도를 요구합니다. 특히 Hybrid Bonding 기술이 도입될 경우, sub-micron 급의 초정밀 정렬 및 결함 검출 기술이 요구됩니다 [출처: [기술 보고서] 삼성전자 HBM4 전환에 따른 검사 기술 동향 및 대응 전략20260509001.pdf].

3. **수율(Yield) 확보:** CPO는 고가의 ASIC과 정밀한 광학 소자가 결합된 형태이므로, 단 하나의 결함만으로도 전체 패키지를 폐기해야 하는 리스크가 큼니다. 따라서 전공정에서의 Known Good Die(KGD) 확보와 패키징 단계에서의 실시간 비파괴 검사 기술이 로드맵의 성패를 가를 핵심 요소입니다.

CPO 패키징 공정의 기술적 난제: 2.5D/3D 및 Hybrid Bonding

CPO(Co-Packaged Optics, 공동 패키지 광학) 기술은 광학 소자(Photonics)와 전기적 신호를 처리하는 반도체 스위치 칩(ASIC/Switch Chip)을 하나의 패키지 기판 위에 통합하는 첨단 인터커넥트 기술입니다 [출처: kai-search.tistory.com]. 기존의 Pluggable(플러거블) 방식이 칩과 광모듈 사이의 긴 구리 배선을 통해 신호를 전달했다면, CPO는 이 거리를 획기적으로 단축하여 데이터센터의 전력 효율을 극대화합니다. 그러나 이러한 구조적 혁신은 패키징 공정 측면에서 극도로 높은 난이도의 기술적 과제들을 수반하며, 특히 2.5D/3D 적층 구조와 차세대 접합 기술인 Hybrid Bonding(하이브리드 본딩)의 도입은 검사 및 제조 공정의 패러다임을 근본적으로 변화시키고

있습니다.

1. Hybrid Bonding 도입에 따른 초정밀 정렬(Alignment) 이슈

CPO의 핵심은 전기적 신호를 광신호로 변환하는 실리콘 포토닉스 PIC(Photonic Integrated Circuit)와 이를 구동하는 EIC(Electronic Integrated Circuit)를 얼마나 밀접하게 결합하느냐에 달려 있습니다. 최근 업계는 기존의 Bump(범프)를 이용한 솔더링 방식을 넘어, 구리와 구리를 직접 맞닿게 하는 **Hybrid Bonding(Cu-to-Cu)** 기술로의 전환을 꾀하고 있습니다 [출처: engineering-ladder.tistory.com].

Hybrid Bonding은 범프가 없는(Bump-less) 구조를 지향하므로, 접합부의 간극(Gap)이 거의 존재하지 않습니다. 이는 신호 무결성(Signal Integrity) 측면에서는 압도적인 이점을 제공하지만, 제조 공정에서는 다음과 같은 치명적인 난제를 발생시킵니다.

- **Sub-micron 급 정렬 정밀도 요구:** 범프 방식에서는 솔더의 유동성을 통해 미세한 위치 오차를 어느 정도 보정할 수 있었으나, Hybrid Bonding은 원자 단위에 가까운 평탄도와 나노미터(nm) 수준의 정렬 정밀도를 요구합니다. 아주 미세한 **Misalignment(정렬 오차)**만 발생해도 구리 패드 간의 접촉 불량이나 Void(공극)가 형성되어 전체 패키지의 전기적/광학적 특성을 상실하게 됩니다 [출처: 매뉴얼HBMAdvancedInspectionSyst20260509001.pdf].
- **표면 이물질(Particle) 민감도:** 접합면의 미세한 이물질은 Hybrid Bonding 시 국부적인 높이 차이를 유발하여 접합 압력의 불균형을 초래합니다. 이는 곧 접합부의 **Void** 형성이나 **Bridge(단락)** 현상으로 이어지며, CPO와 같이 고속 데이터 전송이 필수적인 환경에서는 치명적인 신호 손실의 원인이 됩니다 [출처: 매뉴얼HBMAdvancedInspectionSyst20260509001.pdf].

2. 2.5D/3D 적층 구조에서의 열 관리(Thermal Management) 및 응력 제어

CPO는 고성능 AI 가속기와 광학 엔진이 고밀도로 집적된 구조이므로, 단위 면적당 발생하는 열 밀도(Heat Density)가 매우 높습니다. 특히 2.5D/3D 적층 구조를 채택할 경우, 내부 칩에서 발생하는 열이 상부 층으로 전달되거나 외부로 방출되는 경로가 차단되는 문제가 발생합니다.

- **열팽창 계수(CTE) 불일치와 Warpage(휨):** 광학 소자, 실리콘 칩, 그리고 이를 지지하는 인터포저(Interposer) 및 기판(Substrate)은 각기 다른 열팽창 계수를 가집니다. 동작 중 발생하는 열에 의해 각 층의 팽창 정도가 달라지면, 패키지 전체에 심한 **Warpage(휨)** 현상이 나타납니다 [출처: 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf]. 휨 현상은 단순히 구조적 변형에 그치지 않고, 광학적 정렬(Optical Alignment)을 틀어지게 만들어 광 결합 손실(Coupling Loss)을 급증시키는 주범이 됩니다.
- **열적 응력에 의한 결함:** 적층 구조 내부의 온도 구배(Temperature Gradient)는 소재 간의 열적 응력을 유발하며, 이는 Hybrid Bonding 접합 계면의 균열(Crack)이나 미세한 박리(Delamination)를 초래할 수 있습니다. 따라서 CPO 패키징은 고도화된 Thermal Profile 제어와 함께, 열 변형 상태에서도 정확한 데이터를 추출할 수 있는 고정밀 스테이지 및 3D 프로파일링 기술을 요구합니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

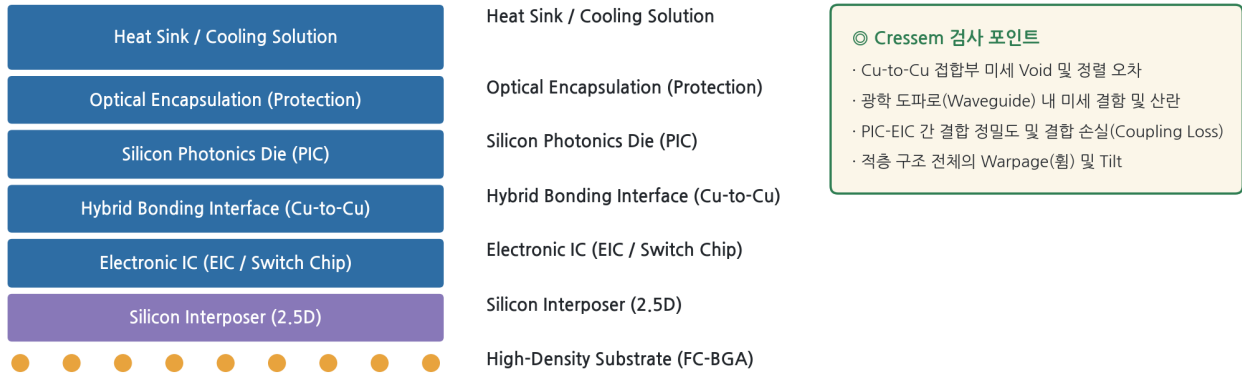
3. 광학적 인터커넥트의 결합 손실(Coupling Loss) 및 도파로(Waveguide) 무결성

전기적 신호의 통합 못지않게 중요한 것이 광학적 신호의 전달 경로인 **도파로(Waveguide)**와 외부 광섬유(Fiber) 간의 결합입니다. CPO 패키지 내부에서 빛이 이동하는 경로인 실리콘 도파로는 제조 공정 중 발생하는 미세한 결함에 극도로 민감합니다.

- **도파로 결함 및 산란:** 도파로 내부의 표면 거칠기(Surface Roughness)나 제조 공정 중 유입된 미세 입자는 빛의 산란을 유발합니다. 이는 신호 감쇄를 일으켜 데이터 전송 효율을 저하시킵니다.

- **광 결합 정렬(Optical Coupling Alignment):** 광학 엔진과 외부 광섬유, 혹은 칩 내부의 광학 소자 간의 정렬은 전기적 정렬보다 훨씬 엄격한 기준이 적용됩니다. 수 μm 의 오차만으로도 광 결합 손실이 기하급수적으로 증가하여, CPO가 목표로 하는 비트당 전력 소모(pJ/bit) 절감 효과를 무력화할 수 있습니다.

CPO Hybrid Bonding 및 광학 통합 패키지 단면 구조



Cressem · 결론 렌더

그림 3. CPO Hybrid Bonding 및 광학 통합 패키지 단면 구조

결론적으로, CPO 패키징은 **Hybrid Bonding의 초정밀 정렬, 열 관리를 통한 Warpage 제어, 그리고 광학적 신호 경로의 무결성 확보**라는 세 가지 핵심 과제가 복합적으로 얹혀 있는 초고난도 공정입니다. 이를 해결하기 위해서는 단순한 불량 검출을 넘어, 나노미터 단위의 해상도를 가진 3D AOI(Automated Optical Inspection) 기술과 공정 변수를 역추적할 수 있는 AI 기반의 데이터 분석 솔루션이 필수적으로 요구됩니다.

크레셈(CRESSEM)의 기술적 교두보 및 SWOT 분석

차세대 광 I/O 기술인 CPO(Co-Packaged Optics)의 부상은 단순히 통신 방식의 변화를 넘어, 반도체 패키징의 패러다임이 '전기적 연결'에서 '광학적 통합'으로 전환됨을 의미합니다. 이러한 기술적 변곡점에서 크레셈(CRESSEM)은 기존에 축적해 온 고밀도 기판 및 첨단 패키징 검사 역량을 바탕으로 CPO 시장 진입을 위한 강력한 기술적 교두보를 확보하고 있습니다.

1. 기술적 연계성: FC-BGA/2.5D 검사 역량의 확장

CPO는 광학 소자(Photonics)와 반도체 스위치 칩을 하나의 패키지 기판(Substrate)에 통합하는 고난도 기술입니다. 이는 크레셈이 기존에 주력해 온 FC-BGA(Flip Chip Ball Grid Array) 및 2.5D/3D 패키징 검사 기술과 기술적 궤를 같이합니다.

첫째, **이종 집적(Heterogeneous Integration) 대응 능력**입니다. CPO는 서로 다른 기능을 가진 칩들을 하나의 인터포저(Interposer) 위에 배치해야 하므로, 크레셈이 이미 보유하고 있는 Interposer 및 Substrate 검사 기술은 CPO의 핵심 구성 요소인 패키지 기판의 신뢰성을 확보하는 데 직접적으로 활용될 수 있습니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

둘째, **초정밀 정렬(Alignment) 및 결합 검출 기술**입니다. CPO 공정에서는 광학 소자와 전기 칩 간의 미세한 정렬 오차가 광 신호 손실로 직결됩니다. 크레셈은 FC-BGA의 Micro Bump/Ball 검사 및 Die-to-Die 정렬 검사에서 축적한 Sub-micron 급 해상도의 광학 엔진과 정밀 스테이지 제어 기술을 통해 CPO의 핵심 과제인 광-전기 인터페이스의 정렬 정밀도를 검증할 수 있는 역량을 갖추고 있습니다 [출처: 기업 분석 보고서] (주)크레셈(CRESSEM): 차세대 반.

셋째, **Warpage(휨) 및 Tilt 제어 솔루션**입니다. CPO 패키지는 다양한 소재의 결합으로 인해 열팽창 계수 차이에 따른 물리적 변형이 발생하기 쉽습니다. 크레셈의 3D 프로파일링 기술과 고정밀 스테이지 제어 기술은 변형된 상태에서도 정확한 데이터를 추출할 수 있어, CPO 패키징의 구조적 안정성을 평가하는 데 필수적인 역할을 수행할 수 있습니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

2. SWOT 분석

크레셈의 현재 위치와 CPO 시장 진입 시 직면할 내부적·외부적 요인을 분석한 결과는 다음과 같습니다.

구분	내용
Strengths (강점)	- 고난도 패키징 검사 기술: HBM, FC-BGA 등 첨단 패키징 분야의 검증된 레퍼런스 보유 - AI 통합 역량: 하드웨어(광학계/기구부)와 AI 소프트웨어를 결합한 통합 솔루션 설계 능력 - 독자적 알고리즘: 과검(Over-kill)률을 낮추는 Deep Learning 기반 결합 분류 기술 내재화
Weaknesses (약점)	- 신규 시장 데이터 부족: CPO 공정 특화 데이터 및 장기간의 양산 레퍼런스 축적 단계 - R&D 비용 부담: Hybrid Bonding 및 CPO 대응을 위한 차세대 검사 모듈 개발에 따른 지속적 투자 필요
Opportunities (기회)	- AI 반도체 시장 폭발: AI 가속기 수요 증가에 따른 HBM 및 CPO 기반 고속 I/O 검사 수요 급증 - 패키징 기술의 고부가가치화: 2.5D/3D 및 Hybrid Bonding 도입으로 인한 검사 난이도 상승 및 장비 단가 상승
Threats (위협)	- 글로벌 경쟁 심화: KLA 등 글로벌 선도 기업과의 기술 격차 유지 및 경쟁사들의 시장 진입 가속화 - 전방 산업 변동성: 글로벌 경기 및 반도체 사이클에 따른 고객사의 설비 투자(CAPEX) 변동성

표 5. SWOT 분석

CPO 시장 대응 역량 매트릭스

	준비도	핵심 역량
기술적 과제	정렬(Alignment)	● 핵심
광학/비전 솔루션	결함 분류(Defect)	●
AI/데이터 분석	휨(Warping)	○
기구/제어 기술	공정 자동화	○

Cressem · 결정론 렌더

그림 4. CPO 시장 대응 역량 매트릭스

3. 종합 평가

크레셈은 단순한 광학 검사 장비 제조사를 넘어, 'AI-Driven Machine Vision' 역량을 기반으로 CPO 공정의 수율(Yield)을 결정짓는 핵심 파트너로 진화할 수 있는 잠재력을 보유하고 있습니다 [출처: 기업 분석 보고서] (주)크레셈 (CRESSEM): 차세대 반. 특히, 단순 불량 검출을 넘어 검사 데이터를 분석하여 전공정의 결함 원인을 역추적(Root Cause Analysis)할 수 있는 데이터 분석 플랫폼을 장비에 통합함으로써, 고객사의 수율 개선에 직접 기여하는 전략적 위치를 선점할 수 있을 것으로 판단됩니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

전략적 대응 로드맵: 차세대 검사 솔루션 개발 방향

차세대 광 I/O 기술인 CPO(Co-Packaged Optics)의 본격적인 도입은 반도체 후공정(OSAT) 및 패키징 단계에서 전례 없는 수준의 검사 정밀도를 요구합니다. CPO는 광학 소자(Photonics)와 전기적 스위치 칩(EIC/ASIC)을 하나의 패키지 기판 위에 통합하는 고난도 기술로, 기존의 플러그블(Pluggable) 방식과는 차원이 다른 검사 환경을 조성합니다. 이에 따라 크레셈(CRESSEM)은 단순한 결함 발견을 넘어, 수율(Yield) 극대화를 위한 '지능형 초정밀 검사 솔루션'을 중심으로 다음과 같은 3단계 전략적 로드맵을 추진해야 합니다.

1. 초정밀 3D AOI(Automated Optical Inspection) 기술의 고도화

CPO 패키징의 핵심은 광학 소자와 실리콘 칩 간의 극도로 미세한 정렬(Alignment)과 접합 품질입니다. 특히 Hybrid Bonding(구리 직접 접합) 기술이 적용될 경우, 기존의 Bump 방식보다 훨씬 미세한 정렬 오차를 관리해야 합니다.

- **Sub-micron급 해상도 확보:** CPO의 광학 인터페이스는 미세한 이물질(Particle)이나 아주 작은 정렬 오차(Misalignment)만으로도 광 신호 손실(Insertion Loss)이 급격히 증가합니다. 따라서 크레셈은 Sub-micron 단위의 해상도를 가진 초고해상도 3D AOI 모듈을 개발하여, 접합면의 미세 간극 및 이물질을 실시간으로 검출할 수 있는 능력을 갖추어야 합니다 [출처: 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf].
- **3D 프로파일링 및 Warpage 제어:** 고단 적층 및 이종 집적(Heterogeneous Integration) 구조에서 발생하는 기판 및 Die의 휨(Warpage) 현상은 검사 정밀도를 저하시키는 치명적인 요소입니다. 크레셈의 장비는 고정밀 스테이지 제어 기술과 3D 프로파일링 기술을 결합하여, 변형된 상태에서도 정확한 데이터 추출이 가능한 구조를 지향해야 합니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].
- **비파괴 검사(Non-Destructive Inspection) 확장:** 광학 소자 내부의 미세한 Void나 내부 결함을 확인하기 위해 고해상도 3D X-ray(Computed Tomography) 기술을 AOI 시스템과 통합하여, 패키징 공정 중간 단계에서 비파괴적인 방식으로 결함을 진단하는 기술력을 확보해야 합니다 [출처: 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf].

2. AI 기반 실시간 결함 검출(Real-time Defect Detection) 및 데이터 통합

검사 데이터의 양이 기하급수적으로 증가하는 CPO 공정에서는 사람이 육안으로 판독하거나 단순한 Rule-based 알고리즘으로 대응하는 것이 불가능합니다.

- **Deep Learning 기반 결함 분류:** 단순한 Rule-based 검사를 넘어, AI 알고리즘을 통해 미세 결함(Defect)과 정상적인 노이즈를 정밀하게 구분해야 합니다. 이를 통해 양품을 불량으로 판정하는 과검(Over-kill)률을 획기적으로 낮추고, 검사 신뢰성을 확보하는 것이 핵심입니다 [출처: 기업 분석 보고서 (주)크레셈 (CRESSEM): 차세대 반도체 패키징 검사 솔루션의 선두주자].
- **Root Cause Analysis(원인 역추적) 플랫폼:** 단순히 불량을 찾는 수준을 넘어, 검사 데이터를 분석하여 전공정(Fab) 또는 패키징 공정의 결함 원인을 역추적(Feedback)할 수 있는 데이터 분석 플랫폼을 장비에 통합해야 합니다. 이는 고객사의 수율(Yield) 개선에 직접적으로 기여하여 장비의 가치를 높이고, 고객사와의 락인(Lock-in) 효과를 강화하는 핵심 경쟁력이 될 것입니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].
- **Tact Time 최적화:** 고속 광학 엔진과 정밀 조명 제어 기술을 결합하여, AI 연산 중에도 생산 라인의 Tact Time(생산 주기)을 저해하지 않는 고속 검사 솔루션을 구현해야 합니다 [출처: 기업 분석 보고서 (주)크레셈 (CRESSEM): 차세대 반도체 패키징 검사 솔루션의 선두주자].

3. 고객 맞춤형 모듈화(Customized Module) 전략

CPO 기술은 제조사(NVIDIA, Broadcom 등) 및 패키징 업체(TSMC 등)마다 적용하는 공정 방식과 인터커넥트 구조가 상이합니다.

- **모듈형 장비 설계:** 크레셈의 강점인 모듈형 장비 설계를 활용하여, 고객사의 특정 공정(예: CoWoS 기반 CPO 적층)에 최적화된 맞춤형 검사 모듈을 신속하게 공급하는 전략이 필요합니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].
- **이종 집적 대응 역량 확장:** 기존에 확보한 FC-BGA 및 2.5D 기판 검사 기술을 CPO의 핵심인 Interposer 및 Substrate 검사 영역으로 확장하여, 광학 소자와 전기 칩이 결합되는 복합 구조에 최적화된 검사 시나리오를 제공해야 합니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

CPO 차세대 검사 솔루션 개발 로드맵



Cressem · 결론론 엔더

그림 5. CPO 차세대 검사 솔루션 개발 로드맵

결론 및 시사점

본 보고서에서 분석한 바와 같이, AI 연산량의 폭발적 증가에 따른 데이터 전송 병목 현상을 해결할 유일한 돌파구는 기존의 구리 기반 전기 신호 전송을 넘어선 **공동 패키징형 광학(CPO, Co-Packaged Optics)** 기술의 도입입니다. CPO는 단순한 통신 방식의 변화를 넘어, 반도체 패키징 구조 자체를 재정의하는 패러다임의 전환을 의미합니다.

CPO 시장의 주도권을 확보하고 글로벌 리더십을 구축하기 위한 핵심 성공 요인(KSF, Key Success Factors)은 다음과 같이 요약됩니다.

첫째, **수율 향상(Yield Improvement)**을 위한 **초정밀 검사 기술력**입니다. CPO는 광학 소자(Photonics)와 전기적 스위치 칩(EIC)을 하나의 패키지 기판에 통합하는 고난도 공정을 수반합니다. 특히 Hybrid Bonding(하이브리드 본딩)과 같은 차세대 접합 기술이 도입됨에 따라, 기존의 범프(Bump) 기반 방식보다 훨씬 미세한 정렬(Alignment) 및 이물질(Particle) 검출 능력이 요구됩니다. 따라서 Sub-micron(서브 마이크로미터) 급 해상도를 구현하는 3D AOI(Automated Optical Inspection) 기술 확보가 필수적입니다.

둘째, **AI 기반의 지능형 검사 솔루션 통합**입니다. CPO 패키징 과정에서 발생하는 방대한 검사 데이터를 실시간으로 처리하고, 단순 불량 판정을 넘어 결함의 근본 원인(Root Cause)을 역추적할 수 있는 AI 비전 알고리즘이 뒷받침되어야 합니다. 이는 고객사의 생산 수율을 극대화하여 장비의 시장 경쟁력을 결정짓는 핵심 요소가 될 것입니다.

셋째, **고객 맞춤형(Customized) 모듈화 대응 역량**입니다. 제조사 및 패키징 업체별로 상이한 2.5D/3D 적층 구조와 공정 프로세스에 신속하게 대응할 수 있는 모듈형 장비 설계 능력이 시장 선점의 관건입니다.

결론적으로, 크레셈(CRESSEM)은 이미 확보하고 있는 **FC-BGA 및 2.5D 기판 검사 분야의 기술적 교두보**를 바탕으로, CPO가 요구하는 초정밀 광학 및 AI 비전 솔루션을 결합함으로써 차세대 AI 인프라 시장의 핵심 플레이어로 도약할 수 있는 충분한 잠재력을 보유하고 있습니다. 기술적 난이도가 상승할수록 검사 장비의 가치는 더욱 높아질 것이며, 크레셈의 선제적인 R&D 투자는 향후 시장 주도권(Market Leadership) 확보를 위한 결정적인 동력이 될 것입니다.

참고 자료

1. [Cpo 기술 동향 및 국내외 기업 분석 :: 투자연구소 테크센터](<https://engineering-ladder.tistory.com/178>)
2. [공동 패키징형 광학 (CPO) 기술동향 및 시장 전망 2025-2035 - IDTechEx](<https://www.idtechex.com/ko/research-report/co-packaged-optics/1019>)
3. [2026.03 Cpo (공동패키지광학) - Ai 데이터센터의 차세대 광통신 ...](<https://kai-search.tistory.com/46>)

4. [구리선의 한계와 반도체의 새로운 돌파구, Cpo 기술 심층 분석](<https://alchonomics.com/cpo-semiconductor-optical-packaging-ai/>)
5. [Co-Packaged Optics Market Size, Share and Growth Analysis](<https://www.marketsandmarkets.com/Market-Reports/co-packaged-optics-market-28874835.html>)
6. [Co Packaged Optics Market Report: Size, Growth, Trends & Forecast (2025-2033)](<https://www.verifiedmarketresearch.com/product/co-packaged-optics-market/>)
7. [Co-Packaged Optics (CPO) Market Size to Hit USD 1,055.11 Million by 2034](<https://www.precedenceresearch.com/co-packaged-optics-market>)
8. [Co Packaged Optics Market Size, Share | Growth Report [2034]](<https://www.fortunebusinessinsights.com/co-packaged-optics-market-117954>)
9. [CPO Compass Report 2026: Procurement Trends & Strategy | Ivalua](<https://info.ivalua.com/whitepaper/cpo-compass-2026>)
10. [2026 CPO Report - Proxima](<https://proximagroup.com/reports-and-research/2026-cpo-report/>)
11. [Procurement Trends 2026 | Inverto, a BCG Company](<https://inverto.com/en/procurement-trends-2026/>)
12. [Co-Packaged Optics (CPO) 2026-2036: Technologies, Market, and Forecasts](<https://www.idtechex.com/en/research-report/co-packaged-optics-cpo/1138>)
13. 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf (사내 자료)
14. 매뉴얼HBMAAdvancedInspectionSyst20260509001.pdf (사내 자료)
15. 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf (사내 자료)
16. 분석_크레셈CRESSEM20260509001.pdf (사내 자료)
17. pdf_인하대학교컴퓨터공학과배승환20260509001.pdf (사내 자료)
18. ProfessorSeungHwanBaeReport.pdf (사내 자료)