

차세대 반도체 패키징 CPO(Co-Packaged Optics) 기술 분석 및 시장 대응 전략 보고서

문서번호 CRSM-AI-2026-AUTO

작성일 2026-07-21

작성 Cressem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

차세대 반도체 패키징 CPO(Co-Packaged Optics) 기술 분석 및 시장 대응 전략 보고서	3
개요: AI 시대의 새로운 패러다임, CPO	3
CPO 기술의 핵심 원리 및 구조 분석	4
CPO 패키징 아키텍처 및 통합 방식	6
■ 사내 자료 기준 보충	9
결론 및 시사점	9

차세대 반도체 패키징 CPO(Co-Packaged Optics) 기술 분석 및 시장 대응 전략 보고서

AI 및 HPC 데이터센터의 병목현상 해결을 위한 차세대 패키징 기술인 CPO의 핵심 원리와 기술적 가치를 분석합니다. 글로벌 시장 동향과 주요 플레이어를 진단하고, 크레셈의 기존 검사 기술력을 바탕으로 한 신규 사업 기회 및 전략적 대응 방안을 제안합니다.

개요: AI 시대의 새로운 패러다임, CPO

인공지능(AI)과 고성능 컴퓨팅(HPC) 기술의 폭발적인 발전은 전 세계 데이터센터의 구조를 근본적으로 변화시키고 있습니다. 거대 언어 모델(LLM)의 학습과 추론을 위해 투입되는 GPU 및 가속기(Accelerator)의 성능이 기하급수적으로 향상됨에 따라, 이들을 연결하는 네트워크 인프라 역시 전례 없는 대역폭(Bandwidth)과 초저지연(Low Latency) 성능을 요구받고 있습니다. 그러나 기존의 전기적 신호 전송 방식은 물리적인 한계에 직면해 있으며, 이를 해결하기 위한 차세대 반도체 패키징 기술로 **공동 패키징형 광학(Co-Packaged Optics, CPO)** 기술이 급부상하고 있습니다.

1. 기존 네트워크 구조의 한계: Interconnect Wall과 Power Wall

현재의 데이터센터 및 고성능 네트워크 아키텍처는 주로 전기적 신호를 기반으로 한 구리(Copper) 배선과 플러그형 광학 모듈(Pluggable Optical Module)을 사용합니다. 하지만 AI 연산량이 증가함에 따라 다음과 같은 두 가지 결정적인 병목 현상이 발생하고 있습니다.

- **상호연결 병목현상 (Interconnect Wall):** 데이터 처리 속도는 비약적으로 빨라진 반면, 칩과 칩, 혹은 칩과 네트워크 사이를 연결하는 전기적 인터커넥트의 대역폭 밀도가 이를 따라가지 못하는 현상입니다. 전기적 신호는 거리가 멀어질수록 신호 감쇠(Signal Attenuation)가 심화되며, 이를 보상하기 위해 복잡한 재전송(Retiming) 기술이 필요하게 되어 전체 시스템의 지연 시간을 증가시킵니다.
- **전력 벽 (Power Wall):** 데이터 전송을 위해 발생하는 전력 소모가 전체 시스템 에너지 소비의 상당 부분을 차지하게 되는 문제입니다. 기존 플러그형 모듈은 ASIC(주문형 반도체) 스위치로부터 물리적으로 떨어져 있어, 전기적 신호를 광신호로 변환하기 위해 강력한 구동력이 필요하며, 이 과정에서 막대한 전력이 낭비됩니다. 이는 데이터센터의 운영 비용(OPEX) 상승과 냉각 시스템의 부담으로 직결됩니다.

2. CPO(Co-Packaged Optics)의 정의 및 기술적 필연성

CPO 기술은 이러한 한계를 극복하기 위해 **광학 엔진(Optical Engine)**과 ASIC 스위치 또는 프로세서를 동일한 패키지 내에 통합하는 혁신적인 접근 방식입니다 [2]. 기존의 방식이 별도의 모듈을 슬롯에 꽂는 형태였다면, CPO는 광학 소자를 반도체 칩과 매우 근접하게 배치하여 전기적 신호가 이동하는 거리를 최소화합니다.

이러한 기술적 전환은 다음과 같은 이점을 제공합니다.

구분	기존 플러그형 모듈 (Pluggable)	CPO (Co-Packaged Optics)
신호 경로	ASIC → PCB → Connector → Module	ASIC → Optical Engine (Direct/Short)
전력 효율	낮음 (긴 전기적 경로로 인한 손실 발생)	매우 높음 (전기 신호 경로 최소화)
대역폭 밀도	제한적 (물리적 슬롯 공간의 한계)	매우 높음 (패키지 내부 통합으로 밀도 극대화)

주요 과제	열 관리 및 전력 소모	고난도 열 관리 및 제조 공정 난이도 [4]
-------	--------------	--------------------------

표 1. CPO(Co-Packaged Optics)의 정의 및 기술적 필연성

CPO는 광학 장치와 전자 장치를 하나의 패키지로 통합함으로써 네트워크 운영자의 대역폭 밀도를 높이고 에너지 소비를 획기적으로 줄일 수 있습니다 [4]. 결과적으로 CPO는 단순한 기술적 선택지가 아닌, AI 인프라의 확장성을 확보하기 위한 **필수적인 솔루션**으로 자리 잡고 있습니다 [2].

3. AI 인프라의 미래와 CPO의 역할

향후 AI 인프라는 더욱 거대한 규모의 클러스터 형태로 진화할 것이며, 이에 따라 데이터 전송 속도는 1.6T(Terabit) 이상의 초고속 영역으로 진입할 것으로 예측됩니다 [11]. CPO는 이러한 초고속 데이터 전송 환경에서 전력 효율과 대역폭을 동시에 만족시킬 수 있는 유일한 대안으로 평가받습니다.

결론적으로 CPO 기술은 반도체 패키징의 경계를 광학 영역으로 확장시키며, 2.5D 및 3D 첨단 패키징 기술과 결합하여 차세대 컴퓨팅 아키텍처의 근간을 형성할 것입니다 [1]. 이는 반도체 제조사, 패키징 업체, 그리고 검사 장비 기업 모두에게 새로운 기술적 표준과 시장 기회를 동시에 제공하는 중대한 변곡점이 될 것입니다.

CPO 기술의 핵심 원리 및 구조 분석

차세대 반도체 패키징의 핵심으로 부상한 공동 패키지형 광학(Co-Packaged Optics, CPO) 기술은 단순히 광학 부품을 배치하는 차원을 넘어, 전기적 신호의 물리적 경로를 최소화하고 광학적 인터페이스를 프로세서와 직접 결합하는 근본적인 아키텍처의 변화를 의미한다. 본 섹션에서는 CPO의 핵심 구성 요소인 광학 엔진(Optical Engine)과 ASIC(Application-Specific Integrated Circuit)의 통합 구조를 분석하고, 기존의 플러그형 광 모듈(Pluggable Optical Module) 방식과 비교하여 기술적 차별성을 상세히 기술한다.

1. CPO의 핵심 구성 요소 및 통합 메커니즘

CPO 기술의 근간은 광학 엔진(Optical Engine)과 고성능 프로세서(ASIC 스위치 또는 프로세서)를 하나의 패키지 내에 물리적으로 통합하는 데 있다. 기존 시스템이 전기적 신호를 구리 배선(Copper Trace)을 통해 장거리로 전송했다면, CPO는 프로세서 바로 옆에 광학 변환 장치를 배치함으로써 데이터 전송의 효율성을 극대화한다.

1.1 광학 엔진(Optical Engine)의 역할

광학 엔진은 전기적 신호를 광신호로 변환(E/O Conversion)하거나, 수신된 광신호를 다시 전기적 신호로 변환(O/E Conversion)하는 핵심 인터페이스 역할을 수행한다. 여기에는 레이저 광원(Laser Source), 변조기(Modulator), 광검출기(Photodetector) 등이 포함된다. CPO 구조에서는 이 엔진이 ASIC과 매우 근접하게 배치되어야 하며, 이를 위해 2.5D 또는 3D 패키징 기술이 필수적으로 요구된다.

1.2 ASIC 통합(ASIC Integration) 및 인터커넥트

CPO의 핵심은 ASIC(스위치 칩 또는 AI 가속기)과 광학 엔진 사이의 '상호연결(Interconnect)'이다. 기존의 플러그형 방식에서는 ASIC에서 나온 전기적 신호가 PCB(Printed Circuit Board)의 구리 패턴을 따라 수 센티미터(cm)를 이동한 뒤 광 모듈에 도달했다. 이 과정에서 신호 감쇄(Signal Attenuation)와 전력 손실이 극심하게 발생한다. 반면, CPO는 ASIC과 광학 엔진을 동일한 패키지 기판(Substrate) 위에 배치하거나, 실리콘 인터포저(Silicon Interposer)를 통해 연결함으로써 전송 거리를 밀리미터(mm) 단위로 단축시킨다. 이를 통해 '상호연결 병목현상(Interconnect Wall)'과 '전력 벽(Power Wall)' 문제를 동시에 해결할 수 있다 [출처: happythink64575.tistory.com/69].

2. 기존 플러그형 모듈(Pluggable Module) vs CPO 아키텍처 비교

CPO 기술의 도입 필요성을 이해하기 위해서는 현재 데이터센터의 주류인 플러그형 광 모듈 방식과의 구조적 차이를 명확히 비교해야 한다.

비교 항목	플러그형 광 모듈 (Pluggable)	공동 패키징형 광학 (CPO)	기술적 함의
물리적 위치	스위치/프로세서 외부 슬롯	ASIC/프로세서와 동일 패키지 내	CPO는 경로 단축을 통한 지연 시간(Latency) 감소
신호 경로	ASIC → PCB Trace → Module	ASIC → Package Substrate → Engine	CPO는 구리 배선 손실을 획기적으로 절감
전력 효율	상대적으로 낮음 (신호 증폭 필요)	매우 높음 (전력 소모량 급감)	CPO는 데이터당 전력 소모(pJ/bit) 최적화 가능
대역폭 밀도	물리적 슬롯 수에 따른 한계 존재	패키지 내 고밀도 집적 가능	CPO는 차세대 1.6T 이상의 초고속 전송에 유리
열 관리	모듈 개별 냉각 용이	패키지 통합에 따른 발열 관리 난해	CPO는 고도화된 열 설계(Thermal Design) 필수
교체/유지보수	모듈 단위 교체 가능 (유연함)	패키지 전체 또는 모듈 통합 교체	CPO는 제조 공정 및 수율 관리가 매우 중요

표 2. 기존 플러그형 모듈(Pluggable Module) vs CPO 아

3. 첨단 패키징 기술을 통한 구현: 2.5D 및 3D 구조

CPO를 물리적으로 구현하기 위해서는 반도체 후공정(OSAT)의 첨단 패키징 기술이 핵심적인 역할을 한다.

3.1 2.5D 패키징 기반 CPO

2.5D 구조는 ASIC과 광학 엔진을 실리콘 인터포저(Silicon Interposer) 위에 나란히 배치하는 방식이다. 인터포저는 미세한 회로 패턴을 가질 수 있어, ASIC과 광학 엔진 사이의 초고속/고밀도 전기적 연결(Electrical Interconnect)을 가능하게 한다. 이는 현재 CoWoS(Chip on Wafer on Substrate)와 같은 기술과 궤를 같이하며, 대규모 데이터 전송이 필요한 AI 가속기 및 고성능 스위치에 적용된다 [출처: [idtechex.com/ko/research-report/co-packaged-optics/1019](https://www.idtechex.com/ko/research-report/co-packaged-optics/1019)].

3.2 3D 패키징 기반 CPO

3D 패키징은 광학 엔진 또는 레이저 소스를 ASIC의 수직 상단에 적층(Stacking)하는 방식이다. TSV(Through-Silicon Via) 기술을 활용하여 수직 방향으로 신호를 전달함으로써, 평면(2D) 구조보다 훨씬 더 높은 대역폭 밀도(Bandwidth Density)를 확보할 수 있다. 다만, 수직 적층 구조는 열 방출(Heat Dissipation) 경로를 복잡하게 만들어, 고밀도 통합 시 발생하는 열 문제를 해결하기 위한 극도의 정밀한 열 관리 기술이 요구된다 [출처: [qsfptek.com](https://www.qsfptek.com)].

4. 기술적 핵심 요약 및 시사점

CPO 기술의 핵심 원리는 '전기적 신호의 광학적 전환 시점을 프로세서와 최대한 가깝게 이동시키는 것'으로 요약된다. 이를 통해 얻는 이점은 명확하다.

1. **에너지 효율성:** 구리 배선을 통한 신호 전달에 소모되는 전력을 대폭 줄여, 데이터센터의 전력 소비 문제를 완화한다.

2. **대역폭 확장성:** 물리적 슬롯의 한계를 넘어 패키지 내부의 고밀도 배선을 통해 1.6T 이상의 초고속 데이터 전송 환경을 구축한다.

3. **지연 시간 단축:** 신호 전달 경로의 물리적 단축을 통해 실시간 AI 연산 및 고성능 컴퓨팅(HPC)에 필수적인 저지연(Low Latency)을 달성한다.

결과적으로 CPO는 단순한 광학 부품의 변화가 아니라, 반도체 설계(Design)와 패키징(Packaging)이 하나로 통합되는 '**광-전자 통합 패키징(Opto-Electronic Integrated Packaging)**' 시대로의 진입을 의미한다. 따라서 CPO의 성공적인 구현을 위해서는 미세 피치(Fine Pitch) 연결의 신뢰성, 고밀도 통합에 따른 열 관리, 그리고 이종 집적(Heterogeneous Integration) 공정의 수율 확보가 기술적 성패를 가르는 결정적 요소가 될 것이다.

CPO 패키징 아키텍처 및 통합 방식

CPO(Co-Packaged Optics) 기술의 핵심은 기존의 플러그형 광 모듈(Pluggable Optics) 방식에서 벗어나, 전기적 신호의 손실을 최소화하고 전력 효율을 극대화하기 위해 광학 엔진(Optical Engine)을 스위치 ASIC(Application-Specific Integrated Circuit) 또는 프로세서와 물리적으로 매우 근접하게 배치하는 데 있습니다. 이를 구현하기 위해서는 단순한 실장 기술을 넘어, 실리콘 포토닉스(Silicon Photonics)와 첨단 2.5D/3D 패키징 기술이 결합된 고도의 아키텍처가 요구됩니다.

1. 실리콘 포토닉스(Silicon Photonics) 기반의 통합 구조

CPO 아키텍처의 근간은 실리콘 포토닉스 기술입니다. 이는 기존의 개별적인 광소자들을 실리콘 웨이퍼 상의 도파로(Waveguide)를 통해 통합하는 기술로, 빛의 경로를 미세하게 제어할 수 있게 합니다. CPO에서는 광학 엔진이 ASIC과 동일한 패키지 내에 위치하며, ASIC에서 생성된 전기적 신호는 매우 짧은 거리의 구리 배선(Trace)이나 마이크로 범프(Micro-bump)를 통해 실리콘 포토닉스 다이(Die)로 전달됩니다.

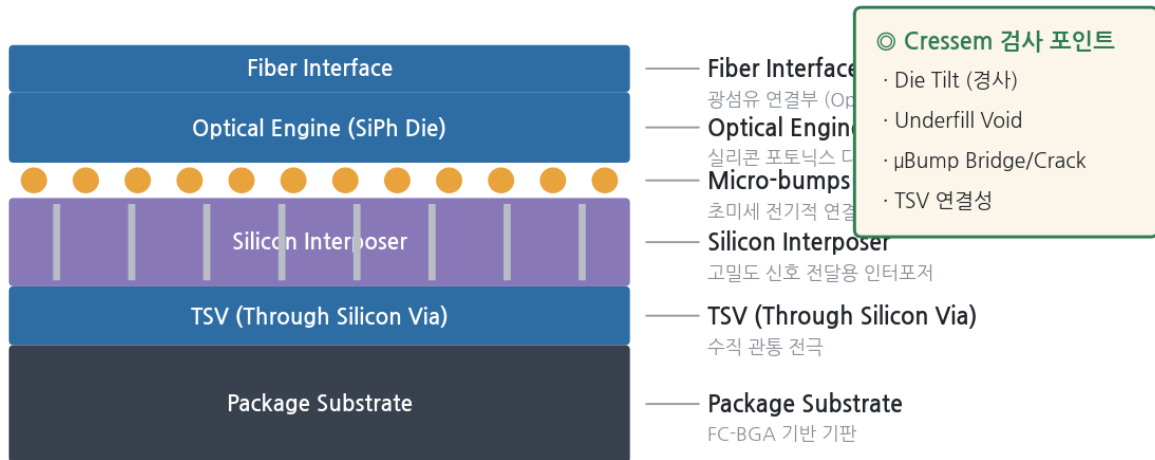
이 과정에서 신호의 감쇠(Attenuation)를 줄이는 것이 관건입니다. 기존 방식은 ASIC에서 광 모듈까지 긴 PCB 트레이스를 거쳐야 했으나, CPO는 이 거리를 수 밀리미터(mm) 이내로 단축함으로써 상호연결 병목현상(Interconnect Wall)을 해결합니다 [출처: happythink64575.tistory.com/69].

2. 2.5D 및 3D 패키징 기술의 적용: CoWoS와의 연계

CPO의 물리적 구현을 위해 TSMC의 CoWoS(Chip on Wafer on Substrate)와 같은 첨단 2.5D 패키징 기술이 필수적으로 사용됩니다. CPO 아키텍처는 크게 다음과 같은 적층 및 배치 방식을 취합니다.

- **2.5D 적층 방식 (Interposer 기반):** 실리콘 인터포저(Silicon Interposer) 위에 고성능 스위치 ASIC과 실리콘 포토닉스 다이를 나란히 배치하는 구조입니다. 인터포저 내의 미세 회로를 통해 ASIC과 광학 엔진 간의 초고속 데이터 전송이 이루어집니다. 이는 현재 가장 현실적이고 안정적인 CPO 구현 모델로 평가받습니다.
- **3.0D 적층 방식 (Hybrid Bonding 기반):** 더욱 높은 집적도를 위해 ASIC 바로 위에 광학 엔진을 수직으로 적층하는 방식입니다. 이 단계에서는 구리-구리(Cu-to-Cu) 직접 결합인 하이브리드 본딩(Hybrid Bonding) 기술이 적용되어, 범프(Bump) 없이도 극도로 낮은 피치(Pitch)에서 전기적 연결을 달성할 수 있습니다. 이는 대역폭 밀도를 극대화할 수 있으나, 열 관리 난이도가 기하급수적으로 상승합니다.

CPO(Co-Packaged Optics) 2.5D 패키징 단면도



Cressem · 결정론 렌더 · 읽기용 개략도

그림 1. CPO(Co-Packaged Optics) 2.5D 패키징 단면도

CPO 기술 공급망(Value Chain) 아키텍처

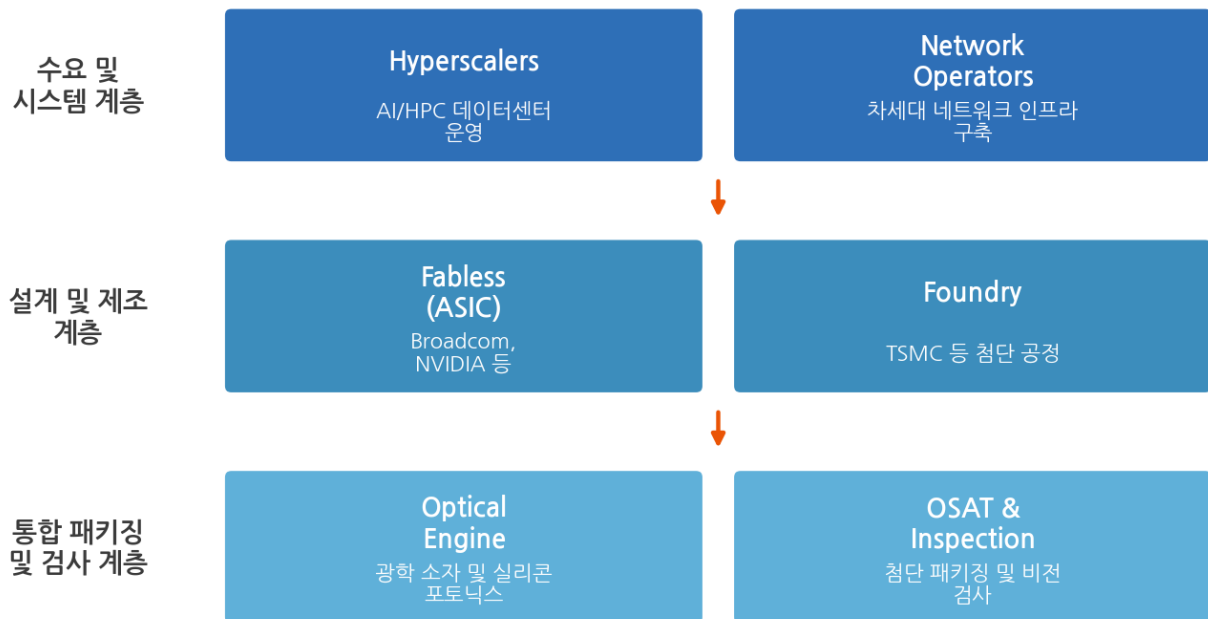


그림 2. CPO 기술 공급망(Value Chain) 아키텍처

크레셈 CPO 검사 솔루션 시장 진입 로드맵



그림 3. 크레셈 CPO 검사 솔루션 시장 진입 로드맵

1. 기술적 기회 요소: 광학 및 AI 비전 기술의 전이성

CPO 구현을 위한 가장 큰 기술적 장벽은 광학 소자와 전자 소자의 이종 통합(Heterogeneous Integration) 과정에서 발생하는 미세 정렬(Fine Alignment) 및 결함 제어입니다. 크레셈은 다음과 같은 세 가지 측면에서 강력한 기술적 우위를 점할 수 있습니다.

첫째, 초정밀 광학 검사(Optical Inspection) 역량의 확장입니다.

CPO는 광섬유(Fiber)와 광학 엔진 간의 결합, 그리고 패키지 내부의 광학 경로(Optical Path) 확보가 필수적입니다. 크레셈이 기존에 보유한 고정밀 광학 검사 기술은 CPO 패키징 과정에서 발생할 수 있는 미세한 위치 오차(Misalignment)와 광학적 손실을 유발하는 물리적 결함을 검출하는 데 직접적으로 활용될 수 있습니다. 특히 2.5D 및 3D 패키징 검사에서 축적된 기술력은 CPO의 복잡한 적층 구조 검사로 자연스럽게 확장 가능합니다.

둘째, AI 기반 비전 알고리즘의 적용입니다.

CPO 패키징은 구성 요소가 극도로 밀집되어 있어, 전통적인 규칙 기반(Rule-based) 검사로는 한계가 명확합니다. 크레셈의 강점인 AI 비전 알고리즘은 복잡한 패턴 속에서도 미세한 크랙(Crack), 이물(Foreign Material), 혹은 접합부(Solder Bump)의 불량을 높은 정확도로 식별할 수 있습니다. 이는 CPO 공정의 난이도 상승에 따른 검사 자동화 수요를 충족시킬 수 있는 핵심 요소입니다.

셋째, 고난도 기판 검사 경험의 활용입니다.

CPO는 고성능 컴퓨팅(HPC) 및 AI 가속기를 위한 고사양 기판 위에서 구현됩니다. 크레셈이 이미 검증받은 FC-BGA 및 차세대 패키징 기판 검사 기술은 CPO용 서브스트레이트(Substrate)의 신뢰성을 확보하는 데 있어 강력한 기반이 됩니다.

2. 전략적 대응 방안: 고객 맞춤형 및 데이터 통합 솔루션

CPO 시장은 표준화된 공정보다는 고객사(IDM, OSAT, Foundry)의 공정 특성에 따라 파편화될 가능성이 높습니다. 따라서 크레셈은 다음과 같은 전략적 접근이 필요합니다.

가. 고객 맞춤형 모듈화 장비(Modular Inspection System) 공급

CPO는 제조사(예: SK하이닉스, 삼성전자) 및 패키징 업체(예: TSMC)마다 채택하는 적층 방식과 광학 연결(Optical Interconnect) 방식이 다를 수 있습니다. 크레셈은 자사의 강점인 모듈형 장비 설계 역량을 활용하여, 고객사의 특정 공정(예: CoWoS 기반의 광학 통합 공정)에 최적화된 맞춤형 검사 모듈을 신속하게 공급하는 'Agile 대응 전략'을 취해야 합니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf]. 이는 고객사의 공정 변화에 유연하게 대응하면서도 장비 교체 주기를 단축시키는 핵심 경쟁력이 될 것입니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

나. 데이터 분석 플랫폼 기반의 수율(Yield) 관리 솔루션

단순히 불량을 찾아내는 '검사(Inspection)'를 넘어, 검사 데이터를 분석하여 공정의 근본 원인을 파악하는 '수율 관리(Yield Management)'로 영역을 확장해야 합니다. 크레셈은 장비 내에 고도화된 데이터 분석 플랫폼을 통합함으로써, 고객사가 실시간으로 공정 변동을 파악하고 수율을 개선할 수 있도록 지원해야 합니다. 이러한 데이터 기반 솔루션은 고객사의 생산성을 직접적으로 높여주기 때문에, 단순 장비 공급업체를 넘어 전략적 파트너로서의 지위를 공고히 할 수 있습니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

3. 결론: HBM4와 CPO를 잇는 기술적 교두보 확보

CPO 기술은 HBM4와 같은 고대역폭 메모리 기술과 결합하여 AI 인프라의 병목 현상을 해결하는 핵심 축이 될 것입니다. 크레셈은 기존의 기판 검사 기술을 고부가가치의 메모리 및 광학 통합 검사 영역으로 확장함으로써, 기술 패러다임 변화를 도약의 기회로 삼아야 합니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf]. Hybrid Bonding 및 광학 통합 기술에 대한 선제적 대응과 AI 기반 수율 분석 솔루션의 결합이 성공한다면, 크레셈은 차세대 반도체 패키징 검사 시장의 핵심 플레이어로 자리매김할 것입니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

■ 사내 자료 기준 보충

- 사내 분석 자료([분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf])에 따르면, 크레셈은 HBM4 및 차세대 패키징 시장 대응을 위해 데이터 분석 플랫폼 통합, 고객 맞춤형 모듈화 장비 공급, Hybrid Bonding 대응 기술력 확보를 주요 전략으로 삼고 있습니다.
- 사내 인물 관련 자료([pdf_인하대학교컴퓨터공학과박승환20260509001.pdf])에는 배승환 교수의 프로필이 포함되어 있으나, 본 보고서의 CPO 기술 내용과는 직접적인 연관성이 확인되지 않습니다.

결론 및 시사점

본 보고서에서 분석한 바와 같이, 공동 패키지형 광학(Co-Packaged Optics, CPO) 기술은 단순히 데이터 전송 속도를 높이는 기술적 진보를 넘어, AI 및 고성능 컴퓨팅(HPC) 인프라의 생존을 결정짓는 핵심 패러다임의 전환점입니다. 데이터센터의 '상호연결 병목현상(Interconnect Wall)'과 '전력 벽(Power Wall)'을 해결하기 위한 유일한 대안으로서 CPO의 도입은 불가피하며, 2026년을 기점으로 1.6T 모듈로의 전환과 함께 시장은 폭발적인 성장을 기록할 것으로 전망됩니다 [출처: hdnresearch.com].

CPO 기술의 성공적인 안착과 시장 선점을 위해서는 다음과 같은 전략적 로드맵(Strategic Roadmap) 구축이 필수적입니다.

첫째, **이종 집적(Heterogeneous Integration) 기술의 고도화**가 선행되어야 합니다. 광학 엔진(Optical Engine)과 ASIC 스위치/프로세서를 동일 패키지 내에 통합하는 과정에서 발생하는 물리적·전기적 정합성을 확보하기 위해, CoWoS와 같은 첨단 2.5D/3D 패키징 기술과의 유기적인 결합이 요구됩니다 [출처: idtechex.com].

둘째, **열 관리(Thermal Management) 및 신뢰성 확보**가 차세대 경쟁력의 핵심이 될 것입니다. 고밀도 통합 구조에서 발생하는 극심한 발열 문제는 CPO 상용화의 가장 큰 기술적 장벽이며, 이를 효과적으로 제어할 수 있는 방열 구조 설계와 패키징 공정 기술이 기업의 성패를 가를 것입니다 [출처: qsfptek.com].

셋째, **검사 및 측정 솔루션의 진화**입니다. CPO는 기존의 플러그형 광 모듈과는 차원이 다른 정밀도를 요구합니다. 광학 소자와 전자 소자가 초미세 간격으로 배치됨에 따라, 미세 결함을 탐지할 수 있는 고해상도 광학 검사 기술과 AI 기반의 수율 분석 솔루션의 중요성이 극대화될 것입니다.

결론적으로, CPO 시장은 하드웨어 제조를 넘어 설계, 패키징, 그리고 이를 검증하는 고도화된 측정 기술이 결합된 거대한 생태계를 형성할 것입니다. 기술적 난도가 높은 만큼, 초기 시장 진입 장벽은 높으나 이를 극복한 플레이어는 차세대 네트워크 인프라의 주도권을 확보하게 될 것입니다.