

차세대 반도체 패키징 CPO(Co-Packaged Optics) 기술 분석 및 대응 전략 보고서

문서번호 CRSM-AI-2026-AUTO

작성일 2026-07-22

작성 Cressem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

차세대 반도체 패키징 CPO(Co-Packaged Optics) 기술 분석 및 대응 전략 보고서	3
개요: AI 인프라의 한계와 CPO의 등장 배경	3
CPO(Co-Packaged Optics) 기술 정의 및 핵심 원리	4
CPO의 단계별 패키징 구조 및 진화 로드맵	6
결론 및 시사점	8
참고 자료	9

차세대 반도체 패키징 CPO(Co-Packaged Optics) 기술 분석 및 대응 전략 보고서

AI 데이터센터의 전력 및 상호연결 병목 현상을 해결할 핵심 솔루션인 CPO 기술의 구조와 원리를 분석합니다. 글로벌 기술 로드맵과 시장 동향을 바탕으로, 검사 장비 전문 기업으로서 크레셈이 확보해야 할 차세대 검사 기술 및 사업 추진 과제를 제안합니다.

개요: AI 인프라의 한계와 CPO의 등장 배경

2026년 현재, 글로벌 반도체 산업은 AI(Artificial Intelligence) 혁명으로 인한 'AI 슈퍼 사이클(AI Super Cycle)'의 정점에 서 있습니다. AI 모델의 파라미터 수가 기하급수적으로 증가하고 대규모 언어 모델(LLM)의 학습 및 추론 수요가 폭증함에 따라, 이를 뒷받침하기 위한 AI 데이터센터의 규모는 과거와 비교할 수 없는 수준으로 확장되었습니다 [출처: moneyrecipe.blog]. 그러나 이러한 폭발적인 인프라 확장 이면에는 기존 전기적 신호 전달 방식이 직면한 물리적 한계, 즉 '전력 벽(Power Wall)'과 '상호연결 병목(Interconnect Wall)'이라는 치명적인 기술적 난제가 존재합니다.

1. AI 인프라의 기술적 임계점: Power Wall과 Interconnect Wall

현재의 AI 가속기 및 데이터센터 아키텍처는 칩과 칩, 혹은 서버와 서버 사이의 데이터를 전송하기 위해 구리(Cu) 기반의 전기적 배선(Electrical Interconnect)에 전적으로 의존하고 있습니다. 하지만 데이터 처리 속도가 높아질수록 다음과 같은 두 가지 핵심적인 병목 현상이 심화되고 있습니다.

첫째, 전력 벽(Power Wall) 문제입니다.

데이터 전송 속도(Data Rate)가 증가함에 따라 전기적 신호를 유지하고 증폭하기 위해 소모되는 에너지가 선형적 증가를 넘어 기하급수적으로 상승하고 있습니다. 기존의 플러그블(Pluggable) 광학 모듈 방식은 신호의 전기적-광학적 변환을 위해 긴 경로를 거쳐야 하며, 이 과정에서 발생하는 신호 감쇄(Signal Attenuation)를 극복하기 위해 막대한 전력이 소모됩니다. 이는 결국 데이터센터 전체의 전력 효율(PUE, Power Usage Effectiveness)을 저하시키고, 칩의 발열 문제를 심화시켜 연산 성능을 제한하는 결과로 이어집니다.

둘째, 상호연결 병목(Interconnect Wall) 문제입니다.

AI 연산에 필요한 대역폭(Bandwidth) 요구량은 매년 수십 배씩 증가하고 있으나, 전기적 신호를 전달하는 물리적 배선의 밀도와 속도 향상은 물리적 한계에 봉착해 있습니다. 칩의 가장자리(Shoreline)를 통해 신호를 내보내는 기존 방식으로는 고성능 컴퓨팅(HPC) 환경에서 요구하는 초고대역폭을 충족하기 어렵습니다. 즉, 연산 장치(ASIC/GPU)의 성능 향상 속도를 데이터 전송 속도가 따라가지 못하는 '대역폭 불일치' 현상이 발생하며, 이것이 전체 시스템의 성능을 제약하는 상호연결 병목 현상으로 나타나고 있습니다.

2. 차세대 솔루션으로서의 CPO(Co-Packaged Optics) 등장

이러한 물리적 한계를 돌파하기 위해 등장한 혁신적인 패키징 기술이 바로 CPO(Co-Packaged Optics, 공동 패키징 광학)입니다. CPO는 기존의 Pluggable 광학 모듈 방식과 달리, 광학 엔진(Optical Engine)을 ASIC 스위치나 프로세서와 동일한 패키지 내에 물리적으로 근접시켜 통합하는 기술을 의미합니다 [출처: happythink64575.tistory.com].

CPO 기술의 핵심 메커니즘은 전기적 신호가 이동해야 하는 거리를 수 센티미터(cm) 단위에서 수 밀리미터(mm) 또는 마이크로미터(μm) 단위로 획기적으로 단축하는 데 있습니다. 이를 통해 다음과 같은 기술적 이점을 제공합니다.

구분	기존 Pluggable 방식	CPO (Co-Packaged Optics) 방식
신호 경로	긴 전기적 경로 (Long Electrical Trace)	초단거리 전기/광학 경로 (Shortened Path)
전력 소모	높음 (신호 증폭 및 손실 보상 필요)	매우 낮음 (전력 효율 극대화)
대역폭 밀도	낮음 (칩 가장자리(Shoreline) 제한)	매우 높음 (패키지 내부 통합)
주요 병목 해결	-	Power Wall 및 Interconnect Wall 해결

표 1. 차세대 솔루션으로서의 CPO(Co-Packaged Optics) 등

CPO는 전기적 신호가 이동하는 구간을 최소화함으로써 신호 손실을 줄이고, 전력 효율을 극대화하며, 데이터센터의 에너지 소비 문제를 근본적으로 해결할 수 있는 유일한 대안으로 평가받고 있습니다 [출처: moneyrecipe.blog]. 결과적으로 CPO는 단순한 패키징 기술의 변화를 넘어, AI 시대의 컴퓨팅 아키텍처를 재정의하는 '패키징 혁명'의 중심에 서 있습니다.

CPO(Co-Packaged Optics) 기술 정의 및 핵심 원리

1. CPO의 기술적 정의 및 개념적 패러다임 시프트

CPO(Co-Packaged Optics, 공동 패키징 광학) 기술은 데이터센터, AI 슈퍼컴퓨터, 고성능 컴퓨팅(HPC) 환경에서 발생하는 데이터 전송 효율의 한계를 극복하기 위해 등장한 차세대 반도체 패키징 솔루션입니다. 기존의 방식이 전기적 신호를 구리(Cu) 배선을 통해 전달하고, 광학적 변환은 별도의 플러그형(Pluggable) 광 모듈을 통해 수행했다면, CPO는 광학 엔진(Optical Engine)과 ASIC(Application-Specific Integrated Circuit) 스위치 또는 프로세서를 하나의 패키지 내에 물리적으로 통합하는 것을 핵심으로 합니다 [출처: happythink64575.tistory.com].

전통적인 네트워크 아키텍처에서는 전기 신호가 프로세서에서 기판(PCB)을 거쳐 외부 광 모듈까지 이동하는 과정에서 상당한 에너지 손실과 신호 감쇄(Signal Integrity degradation)가 발생합니다. CPO는 이러한 '전기적 구간'을 최소화하기 위해 실리콘 포토닉스(Silicon Photonics) 기술을 활용하여, 전기적 신호를 광신호로 변환하는 지점을 프로세서와 매우 가까운 위치로 전진 배치합니다. 이를 통해 데이터 전송의 경로를 단축함으로써 전력 소모를 획기적으로 줄이고 대역폭(Bandwidth)을 극대화하는 것이 기술의 본질적 목적입니다 [출처: moneyrecipe.blog].

2. CPO의 핵심 작동 메커니즘: 실리콘 포토닉스와의 결합

CPO의 실질적인 구현은 실리콘 포토닉스(Silicon Photonics) 기술을 기반으로 이루어집니다. 실리콘 포토닉스는 기존의 CMOS 공정을 활용하여 실리콘 웨이퍼 위에 광학적 소자(도파로, 변조기, 검출기 등)를 집적하는 기술로, 이를 통해 전자 회로와 광학 회로의 고밀도 통합을 가능하게 합니다.

CPO의 작동 메커니즘은 크게 다음과 같은 단계적 흐름을 갖습니다:

- 1. 전기-광 신호 변환(E/O Conversion):** ASIC 프로세서 내부에서 처리된 고속 전기 신호가 패키지 내부의 전자집적회로(EIC, Electronic Integrated Circuit)를 통해 전달됩니다.
- 2. 광학적 변조(Optical Modulation):** EIC와 인접한 광집적회로(PIC, Photonic Integrated Circuit) 내의 변조기가 전기적 신호의 패턴에 따라 빛의 세기나 위상을 변화시켜 광신호를 생성합니다.
- 3. 광학적 전달(Optical Transmission):** 생성된 광신호는 실리콘 도파로(Waveguide)를 통해 광학 엔진을 거쳐 외부 광섬유(Optical Fiber)로 전달됩니다.

이 과정에서 가장 중요한 것은 SERDES(Serializer/Deserializer)와 광 인터페이스 전자 회로 간의 통합입니다. 과거에는 이들 사이의 거리가 멀어 고출력 구리 배선이 필요했으나, CPO 구조에서는 패키지 레벨에서 통합됨으로써 신호 손실을 최소화할 수 있습니다 [출처: sbdi.co.kr].

3. CPO의 구조적 특징 및 기존 기술과의 비교 분석

CPO는 기존의 **Pluggable Optical Module** 방식과 비교했을 때 전력 효율, 밀도, 신뢰성 측면에서 압도적인 우위를 점합니다. 아래 표는 두 기술의 주요 차이점을 비교한 것입니다.

비교 항목	Pluggable Optical Module (기존 방식)	Co-Packaged Optics (CPO)	기술적 이점 (CPO)
연결 방식	PCB 상의 전기적 배선 (Long Reach)	패키지 내 근접 연결 (Short Reach)	신호 감쇄 최소화 및 신호 무결성 확보
전력 소모	높음 (전기 구간이 길어 재구동 필요)	매우 낮음 (전력 효율 극대화)	AI 데이터센터의 'Power Wall' 해결
데이터 밀도	낮음 (물리적 공간 및 핀 수 제한)	매우 높음 (Compute Shoreline 확장)	단위 면적당 대역폭(Bandwidth) 극대화
열 관리	모듈 단위 냉각 (비교적 용이)	패키지 통합형 냉각 (고난도 기술)	고밀도 집적에 따른 열 설계 최적화 필수
주요 병목	Interconnect Wall (상호연결 한계)	패키징/테스트 복잡도 증가	데이터 전송 속도의 물리적 한계 돌파

표 2. CPO의 구조적 특징 및 기존 기술과의 비교 분석

CPO의 구조적 핵심은 **Compute Shoreline(계산 해안선)**의 확장입니다. 이는 프로세서의 가장자리(Shoreline)를 따라 얼마나 많은 광학 인터페이스를 배치할 수 있는지를 의미하며, CPO는 이 해안선의 밀도를 극도로 높여 데이터 전송 용량을 기하급수적으로 늘릴 수 있는 구조적 기반을 제공합니다 [출처: charstring.tistory.com/1971].

4. CPO 구현을 위한 핵심 기술 요소: EIC와 PIC의 통합

CPO의 성공적인 구현을 위해서는 서로 다른 성격의 두 회로를 하나의 패키지로 묶는 **이종 통합(Heterogeneous Integration)** 기술이 필수적입니다.

- **EIC (Electronic Integrated Circuit):** 고속 데이터 처리를 담당하는 ASIC 프로세서와 SERDES를 포함합니다. 전기적 신호를 제어하고 광학 소자로 전달하기 위한 드라이버 역할을 수행합니다.
- **PIC (Photonic Integrated Circuit):** 실리콘 포토닉스 기술이 적용된 회로로, 빛을 생성, 변조, 검출하는 광학 기능을 수행합니다.

이 두 회로를 통합하는 방식은 기술 발전에 따라 진화하고 있습니다. 초기에는 기판(Substrate) 위에서 두 칩을 배치하는 형태였으나, 최근에는 **Cu-Cu Hybrid Bonding**과 같은 초정밀 접합 기술을 통해 EIC와 PIC를 수 μm 단위의 간격으로 직접 적층하는 단계로 나아가고 있습니다. 이러한 직접 적층 방식은 두 칩 사이의 전기적 경로(Electrical Path)를 사실상 제거하여, 전기적 저항과 인덕턴스를 최소화함으로써 초고속 데이터 전송을 가능하게 합니다 [출처: blog.naver.com/bettybluenote/224227837410].

결론적으로 CPO는 단순한 패키징의 변화를 넘어, 반도체의 연산 기능과 데이터 전송 기능을 물리적으로 일체화함으로써 AI 시대의 데이터 병목 현상을 근본적으로 해결하려는 **광학-전자 융합 패키징 혁명**이라 정의할 수 있습니다.

CPO의 단계별 패키징 구조 및 진화 로드맵

AI 데이터센터의 폭발적인 성장과 함께 데이터 전송 속도는 기하급수적으로 증가하고 있으나, 기존의 전기적 신호 전달 방식은 물리적 한계에 직면해 있습니다. 이에 따라 반도체 패키징 기술은 단순히 칩을 보호하고 연결하는 수준을 넘어, 광학(Optical) 신호를 프로세서와 얼마나 가까운 곳까지 끌어올 수 있는냐를 두고 진화하고 있습니다. CPO(Co-Packaged Optics) 기술은 기존의 분리형 구조에서 시작하여, 점차 광학 엔진을 프로세서와 물리적으로 통합하고, 최종적으로는 시스템 전체의 백플레인을 광학화하는 방향으로 진화하고 있습니다.

1. Pluggable Optical Module: 전통적인 분리형 구조

현재 대규모 데이터센터에서 가장 널리 사용되는 방식은 Pluggable(플러그블) 모듈 방식입니다. 이 구조에서는 스위치 ASIC(Application Specific Integrated Circuit)이나 프로세서가 장착된 메인보드와 광학 트랜시버(Optical Transceiver)가 물리적으로 분리되어 있습니다. 광학 신호를 처리하는 모듈이 전면 패널(Faceplate)의 슬롯에 삽입되는 형태를 취합니다.

이 방식의 가장 큰 특징은 유지보수의 용이성입니다. 모듈이 고장 나면 해당 모듈만 교체하면 되므로 운영 측면에서 매우 유리합니다. 하지만 AI 연산량이 급증함에 따라 심각한 기술적 병목 현상이 발생하고 있습니다. 프로세서에서 생성된 전기적 신호가 기판(PCB)의 구리 회로를 타고 수 센티미터(cm) 떨어진 플러그블 모듈까지 이동해야 하는데, 이 과정에서 신호 감쇠(Signal Attenuation)가 발생하고 전력 소모가 극심해집니다. 이는 곧 '전력 벽(Power Wall)'과 '상호연결 병목(Interconnect Wall)'을 심화시키는 주된 원인이 됩니다.

2. CPO (Co-Packaged Optics): 근접 통합 단계

CPO는 이러한 한계를 극복하기 위해 광학 엔진(Optical Engine)을 ASIC 또는 프로세서와 동일한 패키지 내로 이동시키는 기술입니다. 즉, 기존에 PCB 상에서 멀리 떨어져 있던 광학 인터페이스를 프로세서 바로 옆, 혹은 동일한 기판(Substrate) 위로 가져오는 것입니다.

CPO로 진화하면 전기적 신호가 이동해야 하는 경로(Trace length)가 수 cm에서 수 mm 단위로 획기적으로 단축됩니다. 경로가 짧아지면 신호 무결성(Signal Integrity)이 향상되어 더 높은 대역폭을 확보할 수 있으며, 신호를 증폭하기 위해 소모되던 전력이 대폭 절감됩니다. CPO 구현을 위한 핵심 기술 중 하나는 EIC(전자집적회로)와 PIC(광집적회로)를 어떻게 효율적으로 결합하느냐에 달려 있습니다. 특히, 최근에는 두 칩을 수 μm 간격으로 밀착시켜 전기적 경로를 사실상 제거하는 COUPE(Co-packaged Optics Using Photonic Engine) 기술과 같은 초정밀 패키징 기법이 논의되고 있습니다 [출처: blog.naver.com].

3. Hybrid Optical Backplane: 궁극의 광학적 확장

CPO 이후의 최종적인 지향점은 'Hybrid Optical Backplane' 구조입니다. 이는 개별 칩 단위의 패키징을 넘어, 서버 랙(Rack)이나 데이터센터 시스템 전체의 통신 인프라를 광학적으로 연결하는 개념입니다.

이 단계에서는 'Compute Shoreline(계산 해안선)'의 확장이 핵심입니다. 칩의 가장자리(Shoreline)를 통해 나가는 데이터의 밀도를 극대화하기 위해, 칩과 칩 사이, 혹은 보드와 보드 사이의 연결을 구리 배선이 아닌 광학적 백플레인을 통해 수행합니다. 이는 데이터센터 내부의 네트워크 토폴로지를 근본적으로 변화시키며, 컴퓨팅 자원과 스토리지, 네트워크 스위치가 하나의 거대한 광학적 유기체처럼 동작하게 만듭니다. 이 로드맵은 향후 대규모 AI 데이터센터 구축을 위한 기술적 청사진으로 제시되고 있습니다 [출처: charstring.tistory.com].

4. 기술 진화 단계 요약 및 비교

기술의 진화는 '전기 신호 경로의 단축'과 '광학 엔진의 근접도 증가'라는 두 가지 축을 중심으로 진행됩니다. 아래 표는 각 단계별 특징을 비교한 것입니다.

구분	Pluggable Module	Co-Packaged Optics (CPO)	Hybrid Optical Backplane
광학 엔진 위치	시스템 전면 패널 (Faceplate)	프로세서/ASIC 인접 패키지 내부	시스템/랙 단위 백플레인 통합
신호 전달 매체	PCB 구리 회로 (Long Trace)	근거리 전기 회로 + 광학 인터페이스	전 구간 광학 인터페이스 중심
주요 장점	교체 용이성, 검증된 안정성	전력 효율 극대화, 대역폭 확장	시스템 단위의 초고속 연결
주요 한계	높은 전력 소모, 신호 감쇠	패키징 난이도 상승, 열 관리 문제	인프라 교체 비용, 표준화 필요
핵심 기술	Optical Transceiver	EIC-PIC 통합, Cu-Cu Hybrid Bonding	광학적 스위칭, 고밀도 광 커넥터

표 3. 기술 진화 단계 요약 및 비교

데이터 전송 경로 단축에 따른 패키징 진화 로드맵

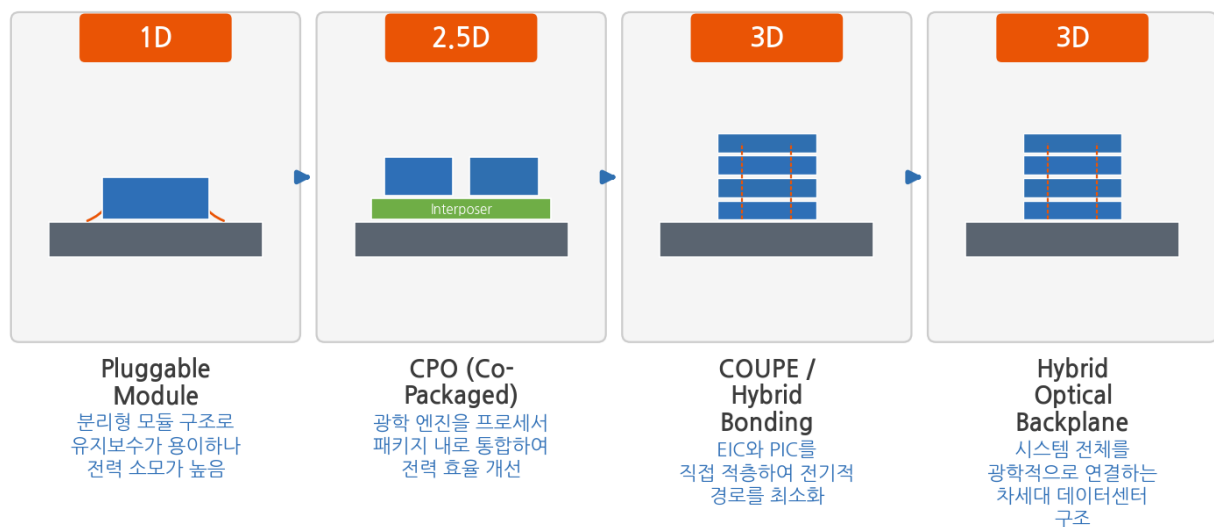
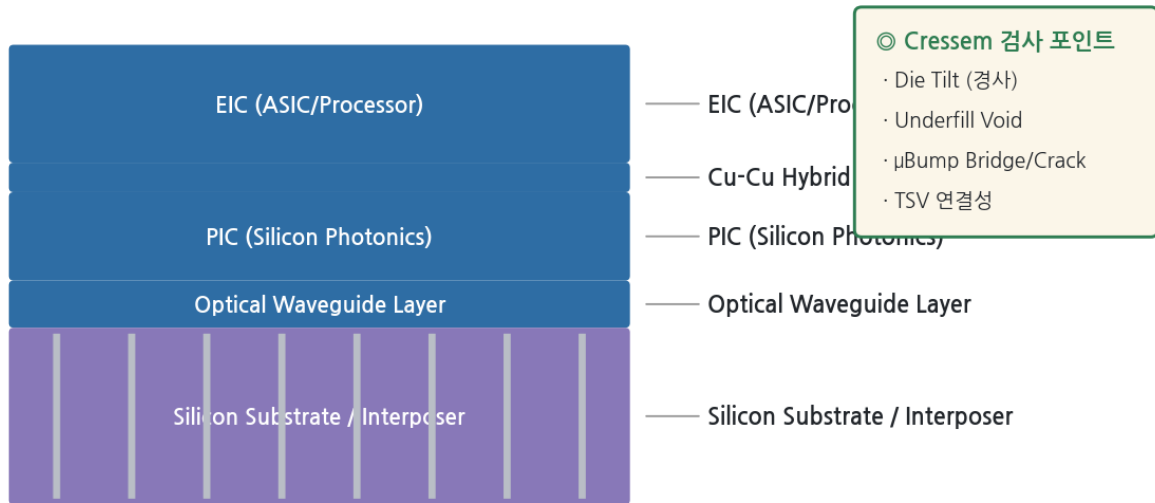


그림 1. 데이터 전송 경로 단축에 따른 패키징 진화 로드맵

CPO Cu-Cu Hybrid Bonding 적층 단면도



Cressem · 결정론 렌더 · 읽기용 개략도

그림 2. CPO Cu-Cu Hybrid Bonding 적층 단면도

크레셈 CPO 검사 솔루션 아키텍처



그림 3. 크레셈 CPO 검사 솔루션 아키텍처

결론 및 시사점

차세대 반도체 패키징 시장은 단순한 미세 공정의 한계를 넘어, 데이터 전송 효율과 전력 소모를 극단적으로 최적화해야 하는 '시스템 레벨의 패키징(System-level Packaging)' 시대로 진입하고 있습니다. 본 보고서에서

분석한 CPO(Co-Packaged Optics) 기술은 AI 슈퍼 사이클이 가져온 전력 벽(Power Wall)과 상호연결 병목(Interconnect Wall) 문제를 해결할 수 있는 가장 강력한 기술적 돌파구(Breakthrough)로 판단됩니다.

CPO의 도입은 단순히 광학 엔진을 프로세서 근처로 옮기는 것을 넘어, 전기적 신호를 광신호로 전환하는 물리적 거리를 수 μm 단위로 단축함으로써 에너지 효율을 극대화하는 **전략적 필수 과제(Strategic Imperative)**입니다. 특히 EIC(전자집적회로)와 PIC(광집적회로)를 Cu-Cu Hybrid Bonding 기술 등으로 통합하는 과정은 기존의 패키징 공정과는 차원이 다른 초정밀 공정 제어와 이종 집적(Heterogeneous Integration) 기술을 요구합니다.

향후 시장의 주도권은 다음과 같은 세 가지 핵심 역량을 보유한 기업이 선점할 것으로 전망됩니다.

1. **기술적 리더십(Technology Leadership)**: Pluggable 모듈에서 CPO를 거쳐 Hybrid Optical Backplane로 이어지는 기술 진화 로드맵에 선제적으로 대응할 수 있는 설계 및 제조 역량 확보가 필수적입니다.

2. **검사 및 수율 관리(Inspection & Yield Management)**: CPO 구조는 광학 인터페이스와 미세 전극이 결합된 복잡한 형태를 띠므로, 기존의 방식으로는 검출하기 어려운 미세 결함을 잡아낼 수 있는 고해상도 3D 광학 검사 및 AI 기반의 실시간 결함 분류 기술이 수율 확보의 핵심이 될 것입니다.

3. **생태계 협력(Ecosystem Collaboration)**: 설계(Design), 파운드리(Foundry), 패키징(OSAT) 및 검사 장비 업체 간의 긴밀한 협업을 통해 표준화된 CPO 플랫폼을 구축하는 능력이 미래 성장(Future Growth)의 척도가 될 것입니다.

결론적으로, CPO는 AI 인프라의 지속 가능한 성장을 가능케 하는 핵심 기술이며, 관련 패키징 공정의 고도화는 곧 반도체 산업의 새로운 부가가치 창출 영역이 될 것입니다. 따라서 기업들은 CPO로 대변되는 차세대 패키징 기술의 변곡점을 정확히 포착하고, 이에 최적화된 검사 솔루션 및 공정 기술을 선제적으로 확보하는 전략적 움직임이 필요합니다.

참고 자료

1. [Cpo란 무엇인가? Ai 전력 문제를 해결할 차세대 반도체 패키징 ...](<https://moneyrecipe.blog/cpo-semiconductor-packaging-ai-power-efficiency/>)
2. [CPO (Co-Packaged Optics) 기술 보고서](<https://happythink64575.tistory.com/69>)
3. [[반도체] Cpo, 전기 구간을 없애는 패키징 혁명, 국내 수혜주 정리](<https://blog.naver.com/bettybluenote/224227837410>)
4. [Char :: AI 반도체 - CPO (Co-Packaged Optics)](<https://charstring.tistory.com/1971>)
5. [Five Key Trends of Co-Packaged Optics (CPO) in 2026](<https://blogs.sw.siemens.com/semiconductor-packaging/2026/02/05/five-key-trends-of-co-packaged-optics-cpo-in-2026/>)
6. [Co-Packaged Optics (CPO) 2026-2036: Technologies, Market, and Forecasts](<https://www.idtechex.com/en/research-report/co-packaged-optics-cpo/1138>)
7. [Co-Packaged Optics (CPO) Market Trends 2026: AI Data Center Optical Interconnect ...](<https://adt.ek-fiber.com/co-packaged-optics-cpo-market-trends-2026-ai-data-center-optical-interconnect-evolution/>)
8. [PDF Co-Packaged Optics (CPO) 2025-2035: Technologies, Market, and Forecasts](<http://www.sbdicr.com/email/2024/20240826/sample/IDTechExCoPackagedOpticsCPO.pdf>)
9. [PDF Co-Packaged Optics (CPO) 2026-2036: Technologies, Market, and Forecasts](<http://www.sbdicr.com/email/2026/20260526/sample/IDTechExCoPackagedOpticsCPO2.pdf>)

10. [Advancing Co-Packaged and Near-Packaged Optics: Material, Thermal, and ... - LinkedIn](https://www.linkedin.com/pulse/advancing-co-packaged-near-packaged-optics-material-singh-ph-d--f2w0c)
11. [Where co-packaged optics (CPO) technology stands in 2026](https://www.edn.com/where-co-packaged-optics-cpo-technology-stands-in-2026/)
12. IDTechExCoPackagedOpticsCPO.pdf (사내 자료)
13. IDTechExCoPackagedOpticsCPO2.pdf (사내 자료)
14. 분석_크레셈CRESSEM20260509001.pdf (사내 자료)
15. 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf (사내 자료)