

## TSMC CoWoS 기술 구조 분석: CoW 및 WoS 중심의 2.5D/3D 패키징 심층 보고서

문서번호 CRSM-AI-2026-AUTO

작성일 2026-07-07

작성 Cressem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

## 목 차

---

|                                                       |   |
|-------------------------------------------------------|---|
| TSMC CoWoS 기술 구조 분석: CoW 및 WoS 중심의 2.5D/3D 패키징 심층 보고서 | 3 |
| 개요: AI 반도체와 CoWoS 기술의 부상 . . . . .                    | 3 |
| CoWoS의 구조적 분해: CoW vs WoS . . . . .                   | 4 |
| 기술적 도전 과제 및 검사 솔루션 . . . . .                          | 5 |
| 결론 및 산업적 시사점 . . . . .                                | 7 |

## TSMC CoWoS 기술 구조 분석: CoW 및 WoS 중심의 2.5D/3D 패키징 심층 보고서

본 보고서는 차세대 AI 반도체 패키징의 핵심인 CoWoS(Chip-on-Wafer-on-Substrate) 기술을 CoW(Chip-on-Wafer)와 WoS(Wafer-on-Substrate) 단계로 분리하여 그 구조적 원리와 역할을 분석합니다. 각 단계의 기술적 메커니즘과 최신 변형 모델(S, R, L)을 통해 AI 가속기 제조 공정의 핵심 요소를 고찰합니다.

### 개요: AI 반도체와 CoWoS 기술의 부상

최근 인공지능(AI) 산업의 폭발적인 성장과 함께 생성형 AI 모델의 매개변수(Parameter) 규모가 기하급수적으로 증가함에 따라, 이를 처리하기 위한 AI 가속기(AI Accelerator)의 성능 요구사항 또한 전례 없는 수준으로 높아지고 있습니다. 과거의 반도체 발전이 주로 회로 선폭을 줄이는 전공정(Front-end) 미세화에 집중되었다면, 현재는 개별 칩의 성능을 넘어 서로 다른 기능의 다이(Die)를 어떻게 효율적으로 연결하고 통합하느냐는 후공정(Back-end), 즉 **첨단 패키징(Advanced Packaging)** 기술이 반도체 성능의 병목 현상을 해결할 핵심 열쇠로 부상하였습니다.

이러한 패러다임의 변화 속에서 가장 주목받는 기술 중 하나가 바로 TSMC의 **CoWoS(Chip-on-Wafer-on-Substrate)**입니다. CoWoS는 이름에서 알 수 있듯이 'Chip-on-Wafer(CoW)'와 'Wafer-on-Substrate(WoS)'라는 두 가지 핵심 공정이 결합된 형태의 첨단 패키징 기술입니다. 이는 로직 다이(Logic Die, 예: GPU/CPU)와 고대역폭 메모리(HBM)를 실리콘 인터포저(Silicon Interposer)라는 미세 회로 층 위에 나란히 배치하여 하나의 패키지로 통합하는 **2.5D 패키징** 기술의 대표적인 사례입니다 [출처: [blog.naver.com/jkhan012/223179631787](https://blog.naver.com/jkhan012/223179631787)].

CoWoS 기술이 AI 반도체 시장에서 독보적인 위치를 차지하게 된 이유는 크게 세 가지 기술적 이점 때문입니다.

첫째, **데이터 전송 대역폭의 극대화**입니다. AI 연산은 방대한 양의 데이터를 메모리에서 프로세서로 초고속으로 이동시켜야 합니다. 기존의 전통적인 패키징 방식으로는 로직 칩과 메모리 사이의 물리적 거리와 인터페이스의 한계로 인해 데이터 병목 현상이 발생할 수밖에 없습니다. CoWoS는 실리콘 인터포저를 매개로 하여 HBM과 로직 다이를 매우 근접하게 배치하고, 이를 통해 고밀도의 구리 배선을 통한 초고속 데이터 통로를 확보함으로써 데이터 전송 속도를 획기적으로 높였습니다 [출처: [blog.naver.com/commetbh/223907614189](https://blog.naver.com/commetbh/223907614189)].

둘째, **전력 효율성 및 폼팩터 최적화**입니다. 칩 간의 거리가 짧아짐에 따라 신호 전달에 필요한 전력 소모가 감소하며, 이는 발열 관리와 전체 시스템의 에너지 효율(Performance per Watt) 향상으로 직결됩니다. 또한, 여러 개의 칩을 하나의 패키지 안에 집적함으로써 시스템 전체의 크기를 줄이고 공간 활용도를 높일 수 있습니다 [출처: [blog.naver.com/jkhan012/223179631787](https://blog.naver.com/jkhan012/223179631787)].

셋째, **이종 집적(Heterogeneous Integration)의 실현**입니다. 서로 다른 공정 노드(예: 5nm 로직 공정과 10nm 메모리 공정)에서 제조된 칩들을 하나의 패키지 내에서 최적으로 결합할 수 있게 함으로써, 각 칩의 제조 경제성을 유지하면서도 최상의 성능을 구현할 수 있습니다.

현재 CoWoS 기술은 NVIDIA의 AI 가속기 출하량을 결정짓는 핵심 공급망 요소로 자리 잡았습니다. 특히 NVIDIA의 Blackwell 시리즈와 같은 차세대 GPU 제품군이 CoWoS 기술을 기반으로 설계됨에 따라, CoWoS의 생산 능력(Capacity)은 곧 글로벌 AI 반도체 시장의 공급 규모를 결정하는 척도가 되고 있습니다 [출처: [rupijun.tistory.com](https://rupijun.tistory.com)].

결론적으로, CoWoS는 단순한 패키징 기술을 넘어 AI 연산의 물리적 한계를 돌파하기 위한 필수적인 인프라 기술로 진화하였으며, 향후 CoWoS-S, CoWoS-R, CoWoS-L 등 더욱 고도화된 변형 모델의 등장을 통해 AI 반도체 시장의 기술적 주도권을 결정짓는 핵심 요소가 될 것으로 전망됩니다 [출처: [hanvelog.com](https://hanvelog.com)].

## CoWoS의 구조적 분해: CoW vs WoS

TSMC의 CoWoS(Chip-on-Wafer-on-Substrate) 기술은 단일 칩의 성능 한계를 극복하기 위해 여러 개의 다이(Die)를 하나의 패키지 내에 통합하는 첨단 패키징 솔루션입니다. 이 기술은 이름에서 알 수 있듯이 크게 두 가지 핵심 공정 단계인 **CoW(Chip-on-Wafer)**와 **WoS(Wafer-on-Substrate)**의 결합으로 이루어집니다. AI 가속기와 같이 방대한 데이터를 초고속으로 처리해야 하는 시스템에서는 로직 다이(Logic Die)와 고대역폭 메모리(HBM) 사이의 물리적 거리를 최소화하고 데이터 전송 경로를 최적화하는 것이 필수적이며, CoWoS는 이러한 요구사항을 구조적으로 해결합니다 [출처: blog.naver.com].

### 1. CoW (Chip-on-Wafer) 단계: 인터포저 상의 미세 통합

CoW 공정은 CoWoS 전체 프로세스의 전반부를 담당하며, 핵심은 **실리콘 인터포저(Silicon Interposer)** 위에 개별 칩들을 정밀하게 배치하고 연결하는 것입니다. 일반적인 패키징이 기판(Substrate) 위에 칩을 직접 올리는 것과 달리, CoW 단계에서는 칩들을 먼저 '웨이퍼' 형태의 중간층(Interposer) 위에 올립니다.

이 단계에서 수행되는 주요 기술적 요소는 다음과 같습니다:

- **인터포저(Interposer)의 역할:** 인터포저는 로직 다이(CPU/GPU 등)와 HBM 메모리 다이 사이를 연결하는 고밀도 배선 층입니다. 기존의 PCB 기판보다 훨씬 미세한 회로 패턴을 구현할 수 있어, 칩 간의 데이터 전송 대역폭을 극대화합니다 [출처: blog.naver.com].
- **TSV(Through Silicon Via) 활용:** HBM과 인터포저 사이의 수직 연결을 위해 실리콘 관통 전극인 TSV 기술이 사용됩니다. 이는 칩 내부를 수직으로 관통하는 미세 통로를 만들어 전기적 신호를 전달함으로써, 데이터 이동 경로를 단축하고 전력 소비를 줄이는 핵심 기법입니다 [출처: semihub.io].
- **미세 정렬(Fine Alignment):** CoW 공정에서는 로직 다이와 다수의 HBM 다이가 인터포저 상의 정해진 위치에 매우 정밀하게 배치되어야 합니다. 이 과정에서 발생하는 미세한 오차는 신호 무결성(Signal Integrity)에 치명적이기 때문에, 고도의 본딩(Bonding) 기술이 요구됩니다.

결과적으로 CoW 공정은 여러 개의 칩을 하나의 '기능적 단위(Functional Unit)'로 묶어주는 역할을 하며, 2.5D 패키징 구조의 기반을 형성합니다.

## CoWoS 공정 흐름: CoW에서 WoS로의 통합



그림 1. CoWoS 공정 흐름: CoW에서 WoS로의 통합

## WoS (Wafer-on-Substrate) 핵심 공정 단계

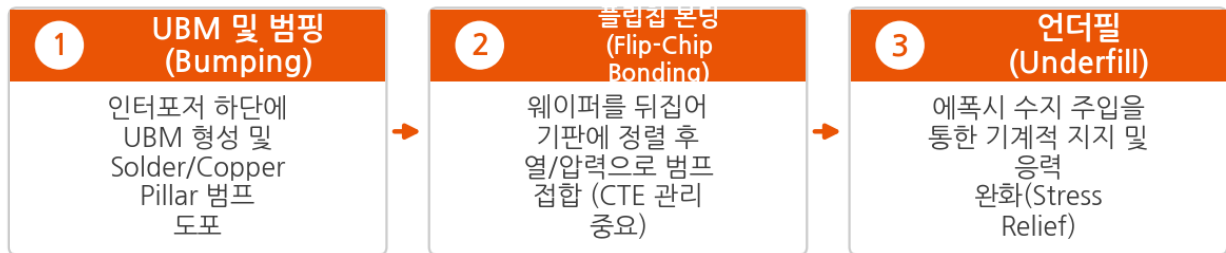


그림 2. WoS (Wafer-on-Substrate) 핵심 공정 단계

## CoWoS 기술 변형 및 진화 (S, R, L 모델)

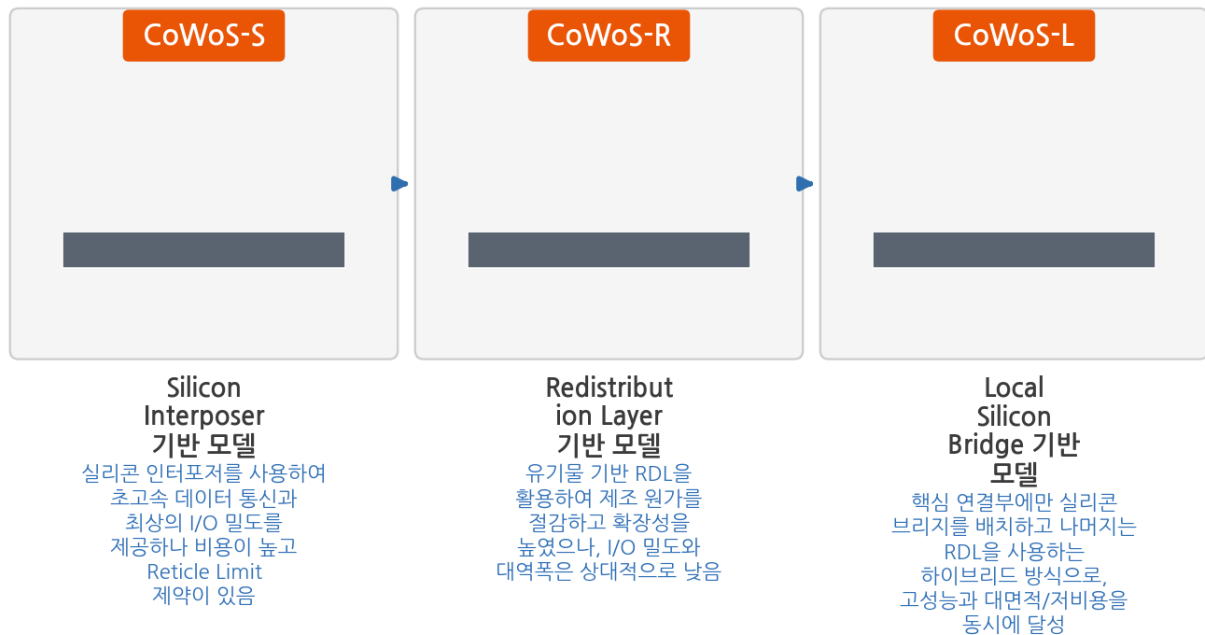


그림 3. CoWoS 기술 변형 및 진화 (S, R, L 모델)

이러한 기술적 진화는 단순히 성능을 높이는 것을 넘어, AI 반도체의 물리적 크기 한계를 극복하고 경제성을 확보하기 위한 필연적인 과정입니다. 특히 CoWoS-L로의 전환은 NVIDIA와 같은 거대 AI 칩 설계 기업들이 요구하는 초거대 다이(Reticle-busting die) 구현을 가능케 하는 핵심 동력이 되고 있습니다.

## 기술적 도전 과제 및 검사 솔루션

CoWoS(Chip-on-Wafer-on-Substrate) 기술은 로직 다리와 HBM(High Bandwidth Memory)을 실리콘 인터포저(Silicon Interposer)라는 초미세 연결 통로 위에 배치함으로써 데이터 전송 속도를 극대화하는 혁신적인

기술이다. 그러나 패키징 구조가 2.5D 및 3D 형태로 고도화됨에 따라, 공정 난이도가 기하급수적으로 상승하며 발생하는 물리적·전기적 결함은 수율(Yield) 확보의 핵심적인 저해 요소가 되고 있다. 특히 적층되는 칩의 수가 늘어나고 인터포저의 크기가 커짐에 따라, 미세한 오차만으로도 전체 패키지가 폐기될 수 있는 리스크가 존재한다.

### 1. 핵심 기술적 도전 과제: 물리적 변형과 정렬 오류

CoWoS 공정에서 발생하는 가장 치명적인 결함은 크게 **Warpage(휨)**와 **Misalignment(정렬 오류)**로 구분할 수 있다.

첫째, **Warpage(휨)** 문제는 고단 적층 구조에서 피할 수 없는 물리적 현상이다. 이는 서로 다른 열팽창 계수(CTE, Coefficient of Thermal Expansion)를 가진 소재들이 적층되는 과정에서 발생한다. 예를 들어, 실리콘 다이, 인터포저, 그리고 최종 패키지 기판(Substrate)은 열을 가하는 공정(Reflow 또는 Annealing) 중에 각기 다른 비율로 팽창하고 수축한다. 이 과정에서 발생하는 응력(Stress)은 웨이퍼나 기판을 휘게 만들며, 심한 경우 칩의 균열(Crack)을 유발하거나 Bump의 접합력을 약화시킨다. 특히 HBM4와 같이 적층 수가 증가하는 차세대 공정에서는 이러한 열적 변형 관리가 수율을 결정짓는 핵심 변수가 된다.

둘째, **Misalignment(정렬 오류)**는 미세 피치(Fine Pitch) 연결의 정밀도를 위협한다. CoWoS 구조에서는 수천 개에서 수만 개의 미세한 Bump 또는 TSV(Through Silicon Via)가 로직 다이와 HBM, 그리고 인터포저 간을 연결한다. Die Bonding 공정 시 발생하는 미세한 위치 오차나 Die-to-Die 정렬 불량은 신호 전달 경로를 차단하거나, 인접한 Bump 간의 단락(Bridge/Short)을 유발한다. 이는 전기적 특성 저하로 이어져 최종 제품의 기능적 불량을 초래한다.

### 2. 고정밀 검사 솔루션의 필요성 및 결함 유형

이러한 도전 과제를 해결하기 위해서는 공정 단계별로 실시간에 가까운 고정밀 검사 솔루션이 필수적이다. 단순한 Pass/Fail 판정을 넘어, 결함의 위치와 종류를 정확히 파악하여 공정 파라미터를 피드백할 수 있는 시스템이 요구된다.

| 결함 유형          | 현상 설명                      | 예상 원인                             | 검사 및 조치 방향                      |
|----------------|----------------------------|-----------------------------------|---------------------------------|
| Misalignment   | Bump 또는 TSV의 위치가 설계치에서 벗어남 | Die Bonding 압력 불균형 또는 정렬 오류       | Bonding 공정 파라미터 재점검 및 정밀 정렬 검사  |
| Bridge (Short) | 인접한 Bump 간에 금속 연결(단락) 발생   | Solder 과다 도포 또는 Reflow 온도 프로파일 불량 | Solder Dispensing 및 온도 프로파일 최적화 |
| Missing Bump   | 특정 위치에 Bump가 형성되지 않음       | 도포 공정 누락 또는 세정 불량                 | Dispenser 노즐 및 세정 공정 모니터링       |
| Warpage        | Die 또는 Substrate의 심한 휨 발생  | 열처리 시 소재 간 열팽창 계수 차이              | Thermal Profile 분석 및 소재 특성 최적화  |

표 1. 고정밀 검사 솔루션의 필요성 및 결함 유형

### 3. 차세대 검사 기술의 발전 방향

첨단 패키징 시장의 요구에 부응하기 위해 검사 장비는 단순한 광학 검사를 넘어 AI와 고해상도 센싱 기술을 결합하는 방향으로 진화하고 있다.

**AI 기반 머신비전(AI-Driven Machine Vision)** 기술은 기존의 Rule-based 검사가 가진 한계인 '과검(Over-kill, 정상 제품을 불량으로 판정)' 문제를 해결하는 핵심 동력이다. 딥러닝 알고리즘을 적용하면 미세한 결함(Defect)과 공정 중 발생하는 자연스러운 노이즈를 정교하게 구분할 수 있어, 검사 정확도를 높이고 생산 라인의 Tact Time을 최적화할 수 있다 [출처: 분석\_크레셈CRESSEM20260509001.pdf].

또한, 전기적 특성 검사(Electrical Characterization)와 열 분석(Thermal Analysis)의 통합이 중요해지고 있다. HBM 검사 시에는 TSV의 저항값, 신호 무결성(Signal Integrity)을 나타내는 Eye Diagram, 그리고 고온 동작 시의 열 저항( $\theta_{JA}$ ) 등을 종합적으로 측정하여 제품의 신뢰성을 검증해야 한다 [출처: pdfHBMHighBandwidt20260508001.pdf]. 특히 차세대 Hybrid Bonding 기술이 도입될 경우, 기존 Bump 방식보다 훨씬 높은 수준의 초미세 간극 측정 기술이 검사 솔루션의 핵심 경쟁력이 될 것으로 전망된다 [출처: 분석\_크레셈CRESSEM20260509001.pdf].

## 결론 및 산업적 시사점

TSMC의 CoWoS(Chip-on-Wafer-on-Substrate) 기술은 단순한 패키징 공정을 넘어, AI 가속기의 성능을 결정짓는 핵심적인 기술적 기반으로 자리 잡았습니다. 본 보고서에서 분석한 바와 같이, CoWoS는 CoW(Chip-on-Wafer)를 통한 초미세 칩 적층과 WoS(Wafer-on-Substrate)를 통한 대면적 기판 통합 과정을 유기적으로 결합하여, 로직 다이와 HBM 간의 데이터 병목 현상을 혁신적으로 해결하고 있습니다 [출처: blog.naver.com].

### 1. AI 반도체 공급망(Supply Chain)에서의 전략적 가치

현재 글로벌 AI 반도체 시장에서 CoWoS 기술은 공급망의 성패를 가르는 핵심 변수입니다. NVIDIA의 Blackwell 시리즈와 같은 차세대 GPU가 CoWoS-L 기술로 전환됨에 따라, 해당 공정의 캐파(Capacity) 확보 여부가 빅테크 기업(NVIDIA, AMD, Google, Amazon 등)의 제품 출하량을 결정짓는 구조가 되었습니다 [출처: rupijun.tistory.com]. 이는 첨단 패키징 기술이 반도체 제조의 전공정 미세화만큼이나 강력한 진입 장벽이자 시장 지배력을 형성하는 요소임을 시사합니다.

### 2. 향후 전망 및 기술적 진화 (Future Outlook)

향후 CoWoS 기술은 다음과 같은 방향으로 진화할 것으로 전망됩니다.

| 구분     | 주요 전망 및 기술 트렌드                               | 비고                                                 |
|--------|----------------------------------------------|----------------------------------------------------|
| 기술 고도화 | CoWoS-L 중심의 대면적 패키징 확대 및 인터포저 재질 혁신          | [출처: hanvelog.com]                                 |
| 공정 결합  | Hybrid Bonding 기술 도입을 통한 3D 적층 구조의 고도화       | [출처: 분석_크레셈CRESSEM20260509001.pdf]                 |
| 검사 난이도 | 칩 간 간격(Pitch) 축소 및 적층 단수 증가에 따른 초정밀 검사 수요 급증 | [출처: 매뉴얼HBMAAdvancedInspectionSyst20260509001.pdf] |

표 2. 향후 전망 및 기술적 진화 (Future Outlook)

### 3. 산업적 시사점: 검사 솔루션의 중요성

패키징 기술이 2.5D에서 3D로, 그리고 더 미세한 공정으로 진화함에 따라 Warpage(휨), Misalignment(정렬 오류), Bridge(Short) 등 물리적·전기적 결함 제어가 수율(Yield) 확보의 관건이 될 것입니다 [출처: 매뉴얼HBMAAdvancedInspectionSyst20260509001.pdf]. 따라서 고해상도 광학 검사와 AI 기반의 결함 분류 기술을 결합한 차세대 검사 솔루션은 첨단 패키징 생태계에서 필수적인 파트너로서 그 역할이 더욱 확대될 것으로 보입니다.