

차세대 광 I/O(CPO) 기술 동향 및 크레셈(CRESSEM)의 전략적 대응 방안

문서번호 CRSM-AI-2026-AUTO

작성일 2026-08-01

작성 Cressem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

차세대 광 I/O(CPO) 기술 동향 및 크레셈(CRESSEM)의 전략적 대응 방안	3
요약	3
개요 및 배경	3
CPO(Co-Packaged Optics) 핵심 기술 분석	4
글로벌 CPO 시장 규모 및 성장 전망	7
주요 플레이어 및 기술 로드맵	8
CPO 구현을 위한 패키징 기술 트렌드	10
크레셈(CRESSEM)의 사업 기회 및 기술적 접점	12
리스크 요인 및 대응 방향	14
결론 및 시사점	16
참고 자료	17

차세대 광 I/O(CPO) 기술 동향 및 크레셈(CRESSEM)의 전략적 대응 방안

요약

AI 데이터센터의 전력 및 대역폭 한계 극복을 위한 핵심 솔루션인 CPO(Co-Packaged Optics) 기술의 메커니즘과 시장 전망을 분석합니다. 글로벌 주요 플레이어의 기술 로드맵을 검토하고, 크레셈의 고정밀 광학 검사 및 AI 비전 기술을 활용한 신규 사업 기회를 제안합니다.

개요 및 배경

1. AI 데이터센터의 폭발적 성장과 인터커넥트 병목 현상

최근 생성형 AI(Generative AI) 기술의 급격한 발전과 대규모 언어 모델(LLM)의 확산으로 인해 전 세계적인 AI 데이터센터 인프라 투자가 가속화되고 있습니다. AI 연산 규모가 기하급수적으로 증가함에 따라, 컴퓨팅 유닛(GPU, TPU 등) 자체의 연산 능력 못지않게 중요한 요소로 **인터커넥트(Interconnect, 상호 연결)** 성능이 부상하고 있습니다.

기존의 데이터센터 아키텍처는 칩과 칩 사이, 혹은 칩과 외부 네트워크 모듈 사이의 데이터를 전송하기 위해 수십 년간 **구리 배선(Copper Traces)** 기반의 전기 신호 전송 방식을 채택해 왔습니다. 그러나 AI 모델의 파라미터 수가 조 단위(Trillion)를 넘어서고, 데이터 처리 요구량이 폭증하면서 기존 구리 기반 방식은 다음과 같은 치명적인 물리적 한계에 직면하였습니다.

- **전송 손실(Transmission Loss) 및 대역폭 한계:** 데이터 전송 속도가 112Gbps, 224Gbps SerDes(Serializer/Deserializer) 기술 환경으로 진화함에 따라, 구리 배선의 유효 전송 거리는 수 센티미터(cm) 수준으로 급격히 단축되었습니다 [출처: engineering-ladder.tistory.com]. 이는 고속 신호를 멀리 보내기 위해 신호의 왜곡을 보정하는 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP)를 추가로 배치해야 함을 의미하며, 이는 시스템의 복잡도를 높이고 지연 시간(Latency)을 증가시키는 원인이 됩니다.
- **전력 밀도(Power Density) 및 에너지 효율 문제:** 구리 배선을 통한 전기 신호 전송은 신호 감쇠를 극복하기 위해 막대한 양의 전력을 소모합니다. 특히 네트워크 장비에서 DSP가 차지하는 전력 비중은 약 50%에 육박할 정도로 높으며, 이는 데이터센터 전체의 전력 소비 급증과 열 밀도(Thermal Density) 상승이라는 심각한 부작용을 초래합니다 [출처: engineering-ladder.tistory.com].

2. 차세대 돌파구: 공동 패키지 광학(CPO)의 등장

이러한 전기적 신호 전송의 임계점을 돌파하기 위해, 반도체 칩 자체에 광학(Optics) 통신 기술을 직접 융합하는 **CPO(Co-Packaged Optics, 공동 패키지 광학)** 기술이 차세대 AI 인프라의 핵심 솔루션으로 급부상하고 있습니다 [출처: alchonomics.com].

CPO는 기존의 **플러그블(Pluggable) 광모듈** 방식과 달리, 광학 소자(Photonics)와 반도체 스위치 칩(ASIC/Switch Chip)을 하나의 첨단 패키지 기판(Substrate) 위에 통합하는 기술입니다 [출처: kai-search.tistory.com]. 칩과 광모듈 사이의 물리적 거리를 획기적으로 단축함으로써 전기적 신호 전송 경로를 최소화하고, 이를 통해 다음과 같은 혁신적인 성능 개선을 기대할 수 있습니다.

구분	기존 Pluggable 방식	차세대 CPO 방식	기대 효과
신호 전송 매체	긴 구리 배선 (전기 신호)	초단거리 구리 + 광 신호	전송 손실 및 지연 시간 감소

전력 효율	고전력 DSP 및 리타이머 필요	DSP 기능 간소화 및 제거 가능	비트당 전력 소모(pJ/bit) 50% 이상 절감 [출처: engineering-ladder.tistory.com]
에너지 효율 사례	800Gbps 포트당 약 15W 소모	800Gbps 포트당 약 5.5W 소모	약 63% 이상의 전력 절감 [출처: kai-search.tistory.com]
데이터 밀도	물리적 공간 제약으로 확장 한계	고밀도 패키징을 통한 확장성 확보	대역폭(Bandwidth) 밀도 극대화

표 1. 차세대 돌파구: 공동 패키지 광학(CPO)의 등장

3. 기술 패러다임의 변화와 산업적 시사점

CPO 기술의 도입은 단순히 통신 방식의 변화를 넘어, 반도체 패키징 기술의 패러다임을 '전기적 연결'에서 '광학적 통합'으로 전환하는 것을 의미합니다. 이는 2.5D 및 3D 패키징 기술, 그리고 실리콘 포토닉스(Silicon Photonics, SiPh) 기술과의 긴밀한 결합을 요구합니다 [출처: idtechex.com].

결과적으로 CPO는 AI 데이터센터의 지속 가능성을 결정짓는 핵심 요소가 될 것입니다. 전력 소모를 줄이면서도 폭발적인 데이터 트래픽을 수용할 수 있는 CPO 기술은 NVIDIA, Broadcom 등 글로벌 빅테크 기업들이 주도하는 차세대 AI 가속기 및 스위치 시장의 필수 생태계로 자리 잡고 있습니다. 이러한 기술적 전환기는 반도체 후공정(Advanced Packaging) 및 검사 장비 분야에 있어 고도의 정밀도와 새로운 검사 솔루션을 요구하는 거대한 시장 기회를 제공하고 있습니다.

CPO(Co-Packaged Optics) 핵심 기술 분석

AI 인프라의 급격한 확장과 함께 데이터센터 내 트래픽 양이 기하급수적으로 증가함에 따라, 기존의 전기적 신호 전송 방식은 물리적 임계점에 도달했습니다. CPO(Co-Packaged Optics, 공동 패키지 광학) 기술은 이러한 병목 현상을 해결하기 위해 등장한 차세대 인터커넥트(Interconnect) 솔루션으로, 광학 소자를 반도체 스위치 칩과 동일한 패키지 내에 통합하는 혁신적인 구조를 지향합니다.

1. Pluggable 방식과 CPO의 구조적 패러다임 전환

전통적인 데이터센터 네트워크에서는 광모듈을 스위치 전면의 포트에 꽂아 사용하는 플러거블(Pluggable) 방식이 표준이었습니다. 이 방식은 유지보수가 용이하고 교체가 간편하다는 장점이 있으나, 칩(ASIC)과 광모듈 사이의 물리적 거리가 멀다는 치명적인 단점을 가집니다.

플러거블(Pluggable) 방식의 한계:

칩에서 생성된 전기 신호는 긴 구리 배선(Copper Trace)을 거쳐 광모듈까지 전달되어야 합니다. 최근 112G 및 차세대 224G SerDes(Serializer/Deserializer) 기술 환경에서는 구리 배선의 유효 전송 거리가 수 센티미터(cm) 수준으로 급격히 단축되었습니다. 신호 감쇄(Signal Loss)를 극복하기 위해 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP)를 추가로 배치해야 하며, 이는 데이터센터 전체의 전력 소비 급증과 열 밀도(Thermal Density) 상승이라는 심각한 부작용을 초래합니다 [출처: 투자연구소 테크센터].

CPO 방식의 혁신:

CPO는 실리콘 포토닉스(Silicon Photonics, SiPh) 기술을 활용하여 광학 소자를 스위치 칩과 매우 근접한 위치, 즉 동일한 패키지 기판(Substrate) 위에 통합합니다. 이를 통해 신호가 이동해야 하는 전기적 경로를 극단적으로 단축함으로써 신호 무결성(Signal Integrity)을 확보하고, 전력 효율을 획기적으로 개선할 수 있습니다.

2. 전력 효율성 및 성능 개선 효과 분석

CPO 도입의 가장 강력한 동인은 전력 소모 절감과 대역폭 밀도(Bandwidth Density)의 향상입니다.

전력 효율성(Power Efficiency) 측면:

CPO는 신호 손실을 80% 이상 줄일 수 있는 잠재력을 가지고 있습니다. 특히 네트워크 장비 전체 전력의 약 50% 비중을 차지하는 DSP(Digital Signal Processor) 기능을 간소화하거나 완전히 제거할 수 있습니다. 이를 통해 비트당 전력 소모(pJ/bit)를 50% 이상 절감하는 효과를 제공합니다 [출처: 투자연구소 테크센터]. 구체적인 사례로, 기존 800Gbps 포트당 전력 소모가 15W 수준이었다면, CPO 기술 적용 시 이를 5.5W까지 낮출 수 있을 것으로 기대됩니다 [출처: AI 데이터센터의 차세대 광통신].

성능 및 대역폭 측면:

CPO는 칩과 광학 인터페이스 사이의 거리를 최소화하여 지연 시간(Latency)을 감소시키고, 단위 면적당 전송 가능한 데이터 대역폭을 극대화합니다. 이는 초고속 이더넷 스위치 시장에서 요구하는 Tbps(Terabits per second)급 데이터 전송을 실현하기 위한 필수 조건입니다. 예를 들어, 브로드컴의 3세대 CPO 기술이 적용된 51.2 Tbps 이더넷 스위치는 기존 솔루션 대비 전력 소모를 최대 70%까지 절감하며 신뢰성을 개선한 것으로 나타났습니다 [출처: 투자연구소 테크센터].

3. 핵심 기술 구성 요소: Silicon Photonics 및 SerDes

CPO의 구현은 고도의 반도체 패키징 기술과 광학 기술의 융합을 요구합니다.

- **실리콘 포토닉스(Silicon Photonics, SiPh):** 기존의 CMOS 공정을 활용하여 실리콘 웨이퍼 위에 광학 소자(레이저, 변조기, 검출기 등)를 집적하는 기술입니다. 이는 대량 생산이 가능하고 비용 효율적이며, 전기적 신호를 광신호로 변환하는 인터페이스의 핵심 역할을 수행합니다.
- **고속 SerDes(Serializer/Deserializer):** 병렬 데이터를 직렬로, 또는 그 반대로 변환하여 초고속 전송을 가능하게 하는 회로입니다. CPO 환경에서는 광학 인터페이스와의 정합성을 위해 극도로 낮은 지연 시간과 높은 신호 무결성을 갖춘 차세대 SerDes 설계가 필수적입니다.
- **이종 집적(Heterogeneous Integration):** 서로 다른 기능(로직, 광학, 메모리 등)을 가진 칩들을 하나의 패키지 내에 결합하는 기술입니다. CPO는 로직 칩(ASIC)과 광학 IC(EIC, Electronic Integrated Circuit), 그리고 실리콘 포토닉스 PIC(Photonic Integrated Circuit)를 2.5D 또는 3D 패키징 기술을 통해 통합하는 고난도 공정을 포함합니다.

CPO(Co-Packaged Optics) 시스템 아키텍처



Cressem · 결정론 렌더

그림 1. CPO(Co-Packaged Optics) 시스템 아키텍처

4. 기술적 난제 및 요구사항 요약

CPO는 혁신적인 이점을 제공하지만, 구현을 위한 기술적 장벽 또한 매우 높습니다.

구분	핵심 기술 요소	주요 요구사항 및 과제
신호 전송	SerDes & Interconnect	112G/224G 급 초고속 신호의 무결성(SI) 확보 및 신호 손실 최소화
광 집적	Silicon Photonics (SiPh)	CMOS 공정 호환성 확보 및 고효율 광원(Light Source) 통합 기술
패키징	2.5D/3D Integration	이종 칩 간의 정밀 정렬(Alignment), 열 관리(Thermal Management), Warpage 제어
전력 관리	Power Efficiency	비트당 전력 소모(pJ/bit) 최소화 및 DSP 기능 간소화

표 2. 기술적 난제 및 요구사항 요약

CPO 기술은 단순한 부품의 교체가 아닌, 데이터센터의 설계 패러다임을 바꾸는 전환점입니다. 특히 실리콘 포토닉스 기반의 PIC와 이를 구동하는 EIC의 통합, 그리고 이를 뒷받침하는 초정밀 패키징 기술은 향후 AI 가속기 및 초고성능 스위치 시장의 성패를 결정짓는 핵심 요소가 될 것입니다.

글로벌 CPO 시장 규모 및 성장 전망

AI(Artificial Intelligence) 연산 규모의 폭발적인 증가와 대규모 언어 모델(LLM)의 확산은 데이터센터 내 데이터 전송 요구량을 기하급수적으로 늘리고 있습니다. 기존의 플러그블(Pluggable) 광모듈 방식이 물리적 한계에 봉착함에 따라, 공동 패키지 광학(CPO, Co-Packaged Optics) 기술은 차세대 데이터센터 인프라의 핵심 동력으로 부상하고 있습니다. 이에 따라 CPO 시장은 향후 10년 내에 폭발적인 성장을 기록할 것으로 전망됩니다.

1. 시장 규모 추이 및 성장 동력

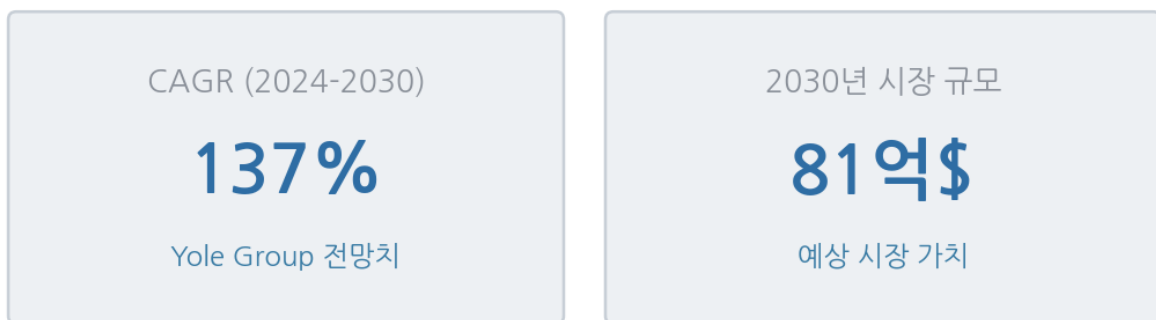
글로벌 CPO 시장은 현재 초기 형성 단계를 지나 본격적인 양산 진입기로 접어들고 있습니다. 시장 조사 기관들의 분석에 따르면, CPO 시장의 성장세는 매우 가파를 것으로 예측됩니다.

Yole Group의 분석에 따르면, CPO 시장은 2024년 약 4,600만 달러 규모에서 2030년에는 81억 달러 규모로 급팽창할 것으로 보이며, 이 기간 연평균 성장률(CAGR)은 무려 137%에 달할 것으로 전망됩니다 [출처: 투자연구소 테크센터]. 또 다른 시장 조사 기관인 Precedence Research는 전 세계 CPO 시장 규모가 2025년 9,504만 달러 수준에서 2034년에는 약 10억 5,511만 달러에 도달할 것으로 예측하며, 연평균 30.66%의 꾸준한 성장세를 예견하고 있습니다 [출처: Precedence Research].

이러한 폭발적 성장의 배경에는 다음과 같은 핵심 동인이 존재합니다.

- **전력 효율성 요구(Power Efficiency):** AI 가속기의 성능이 높아질수록 데이터 전송 과정에서의 전력 소모가 전체 시스템의 병목 현상이 되고 있습니다. CPO는 기존 방식 대비 비트당 전력 소모(pJ/bit)를 50% 이상 절감할 수 있는 유일한 대안으로 꼽힙니다 [출처: 투자연구소 테크센터].
- **대역폭 밀도 향상(Bandwidth Density):** 800Gbps를 넘어 1.6Tbps, 나아가 그 이상의 초고속 데이터 전송을 구현하기 위해서는 칩과 광학 소자 간의 거리를 최소화하는 CPO 방식이 필수적입니다.
- **열 관리(Thermal Management):** 플러그블 방식에서 발생하는 높은 열 밀도 문제를 해결하여 데이터센터의 운영 안정성을 확보할 수 있습니다.

CPO 시장 성장 전망 (Global Market Forecast)



Cressem · 결론론 렌더

그림 2. CPO 시장 성장 전망 (Global Market Forecast)

2. 데이터 전송 속도 및 기술 규격별 시장 세분화

CPO 시장의 성장은 단순히 규모의 확대뿐만 아니라, 지원 가능한 데이터 전송 속도(Data Rate)의 고도화와 궤를 같이합니다. 현재 시장은 400Gbps/800Gbps급 솔루션이 주류를 이루고 있으나, 향후 시장의 주도권은 차세대 규격인 1.6Tbps 및 3.2Tbps 이상의 고성능 구간으로 이동할 것입니다.

구분	현재 주력 (Current)	차세대 전환기 (Next-Gen)	미래 지향점 (Future)
주요 속도	400Gbps ~ 800Gbps	1.6Tbps	3.2Tbps 이상
주요 기술	Pluggable Optics 위주	CPO 도입 및 혼용	Full CPO 기반 통합 패키징
핵심 과제	전력 효율 및 대역폭 확장	정밀 정렬(Alignment) 및 수율 확보	실리콘 포토닉스(SiPh) 고도화
적용 분야	일반 클라우드 데이터센터	AI 가속기 및 고성능 컴퓨팅(HPC)	초거대 AI 인프라 및 6G 통신

표 3. 데이터 전송 속도 및 기술 규격별 시장 세분화

특히, 800Gbps 포트당 전력을 기존 15W에서 5.5W 수준으로 절감할 수 있는 기술적 이점은 대규모 데이터센터 운영사(Hyperscalers)들에게 강력한 도입 유인을 제공하고 있습니다 [출처: Ai 데이터센터의 차세대 광통신]. 또한, 최근 NVIDIA GTC 2026 등 주요 컨퍼런스를 기점으로 Broadcom과 같은 글로벌 선도 기업들이 CPO 솔루션을 본격적으로 양산 단계로 끌어올리면서, 시장의 기술 표준화와 상용화 속도는 더욱 가속화될 것으로 보입니다 [출처: Ai 데이터센터의 차세대 광통신].

3. 시사점

결론적으로 CPO 시장은 AI 인프라의 물리적 한계를 돌파하기 위한 필수 기술로서, 향후 10년간 유례없는 고성능 구간에 진입할 것입니다. 시장 규모의 양적 성장뿐만 아니라, 1.6Tbps 이상의 초고속 전송을 구현하기 위한 패키징 정밀도와 광학 소자 통합 기술의 질적 성장이 동시에 요구되는 시점입니다. 이는 고정밀 광학 검사 및 이종 집적(Heterogeneous Integration) 검사 역량을 보유한 기업들에게 거대한 시장 기회를 제공할 것입니다.

주요 플레이어 및 기술 로드맵

AI 데이터센터의 인프라가 초거대 언어 모델(LLM) 중심으로 재편됨에 따라, 광학적 연결(Optical Interconnect)을 칩 패키지 수준으로 통합하려는 글로벌 빅테크 기업들의 기술 주도권 경쟁이 심화되고 있습니다. 현재 CPO(Co-Packaged Optics) 시장은 단순히 광 모듈을 교체하는 수준을 넘어, 스위치 ASIC(Application-Specific Integrated Circuit)과 광학 엔진을 어떻게 하나의 패키지 내에 통합하고, 이를 통해 전력 효율과 대역폭 밀도를 극대화할 것인가를 두고 Broadcom, NVIDIA 등 주요 플레이어들이 각기 다른 기술 로드맵을 제시하며 격돌하고 있습니다.

1. 글로벌 선도 기업의 CPO 솔루션 및 기술 현황

Broadcom: CPO 상용화 및 이더넷 스위치 시장의 리더십

브로드컴(Broadcom)은 현재 CPO 기술 구현에 있어 가장 앞선 양산 기술력을 보유한 기업 중 하나로 평가받습니다. 브로드컴의 전략은 기존의 플러거블(Pluggable) 방식이 가진 물리적 한계를 극복하기 위해, 고성능 스위치 칩과 광학 소자를 결합한 통합 솔루션을 제공하는 데 집중되어 있습니다.

특히 브로드컴의 3세대 CPO 기술이 적용된 TH6-Davisson 모델은 차세대 이더넷 스위치 시장의 게임 체인저로 주목받고 있습니다. 이 솔루션은 기존의 플러거블 광모듈 방식과 비교했을 때, 데이터 전송 과정에서 발생하는 전력 소모를 최대 70%까지 절감하는 혁신적인 성과를 보여주었습니다 [출처: 투자연구소 테크센터]. 이는 데이터센터

운영 비용(OPEX)의 핵심인 전력 효율성을 획기적으로 개선할 뿐만 아니라, 신호의 신뢰성을 높여 대규모 AI 클러스터 구축 시 발생하는 열 밀도(Thermal Density) 문제를 완화하는 효과를 제공합니다. 브로드컴은 이를 통해 51.2 Tbps급 이상의 초고속 이더넷 환경을 구축하며 시장 점유율을 공고히 하고 있습니다.

NVIDIA: 광학 통합 스위치와 AI 가속기 생태계의 확장

엔비디아(NVIDIA)는 GPU 중심의 AI 가속기 생태계를 바탕으로, 연산 노드 간의 데이터 병목 현상을 해결하기 위한 광학 통합 스위치(Optical Integrated Switch) 기술에 집중하고 있습니다. NVIDIA GTC 2026에서 공개된 광학 통합 스위치 기술은 단순히 통신 속도를 높이는 것을 넘어, GPU 간의 초저지연(Ultra-low Latency) 통신을 구현하여 전체 AI 연산 성능을 최적화하는 것을 목표로 합니다.

엔비디아의 로드맵은 GPU와 광학 인터커넥트를 더욱 밀접하게 결합하여, 데이터 이동 시 발생하는 에너지 손실을 최소화하는 방향으로 전개됩니다. 이는 NVLink와 같은 독자적인 인터커넥트 기술을 광학 영역으로 확장하여, 데이터센터 전체를 하나의 거대한 컴퓨터처럼 작동하게 만드는 'Scale-up' 및 'Scale-out' 전략의 핵심 요소로 작용하고 있습니다 [출처: AI 데이터센터의 차세대 광통신].

2. 기술 로드맵 및 세대별 발전 방향 비교

글로벌 플레이어들의 기술 로드맵을 분석하면, 데이터 전송 속도(Data Rate)의 증가와 함께 SerDes(Serializer/Deserializer) 기술의 고도화가 병행되고 있음을 알 수 있습니다. 현재 업계는 112G SerDes 환경을 넘어 차세대 224G SerDes 기술로의 전환기에 진입해 있습니다.

구분	플러그블(Pluggable) 방식 (기준)	CPO (Co-Packaged Optics) 방식 (차세대)
연결 구조	칩 → 구리 배선 → 광모듈 (분리형)	칩 + 광학 소자 (통합 패키징)
주요 타겟	표준 이더넷, 일반 데이터센터	AI 가속기, 초고성능 컴퓨팅(HPC)
전력 효율	상대적으로 낮음 (리타이머/DSP 필요)	매우 높음 (비트당 전력 절감 가능)
전송 거리	구리 배선 길이에 따른 신호 손실 발생	광 신호를 통한 장거리/고속 전송 유리
주요 과제	대역폭 확장 한계, 전력 소모 급증	패키징 복잡도 증가, 열 관리 난제

표 4. 기술 로드맵 및 세대별 발전 방향 비교

브로드컴과 엔비디아를 포함한 선도 기업들은 공통적으로 **비트당 전력 소모(pJ/bit)**를 낮추는 것을 최우선 과제로 삼고 있습니다. 기존 시스템에서는 신호 손실을 보상하기 위해 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP)를 배치해야 했으나, 이는 네트워크 전체 전력의 약 50%를 차지할 만큼 막대한 부하를 초래했습니다. CPO 기술은 이러한 DSP 기능을 간소화하거나 제거함으로써 비트당 전력 소모를 50% 이상 절감할 수 있는 기술적 경로를 제시하고 있습니다 [출처: 투자연구소 테크센터].

3. 기술적 난제와 시장의 요구사항

플레이어들의 로드맵이 가속화됨에 따라, 기술적 구현 단계에서의 난이도 또한 급격히 상승하고 있습니다.

첫째, **실리콘 포토닉스(Silicon Photonics, SiPh)의 통합**입니다. 3.2 Tbps 및 6.4 Tbps급의 초고속 데이터 전송을 지원하기 위해서는 실리콘 포토닉스 PIC(Photonic Integrated Circuit)와 이를 구동하는 EIC(Electronic Integrated Circuit)를 하나의 패키지 내에 정밀하게 통합해야 합니다. 현재 주요 기업들은 이를 위해 수백억 원 규모의 R&D 예산을 투입하여 차세대 PIC 개발에 매진하고 있습니다.

둘째, **열 관리(Thermal Management)** 및 **신뢰성** 문제입니다. 광학 소자가 고성능 로직 칩과 인접하게 배치됨에 따라, 칩에서 발생하는 열이 광학 소자의 성능(파장 변이 등)에 영향을 미치는 문제가 발생합니다. 따라서 차세대 로드맵에는 고효율 방열 구조 설계와 열 변형을 최소화하는 첨단 패키징 공정이 필수적으로 포함됩니다.

셋째, **검사 및 테스트(Inspection & Test)**의 고도화입니다. CPO는 기존의 부품 단위 검사가 아닌, 패키징이 완료된 후의 '통합 상태'에서의 검사가 매우 중요합니다. 칩과 광학 소자 간의 미세 정렬(Alignment), 인터커넥트의 전기적/광학적 무결성(Signal/Power Integrity)을 검증하기 위한 새로운 검사 표준과 장비에 대한 수요가 폭발적으로 증가할 것으로 전망됩니다.

주요 기업별 전력 절감 효과 비교 (기존 대비 %)

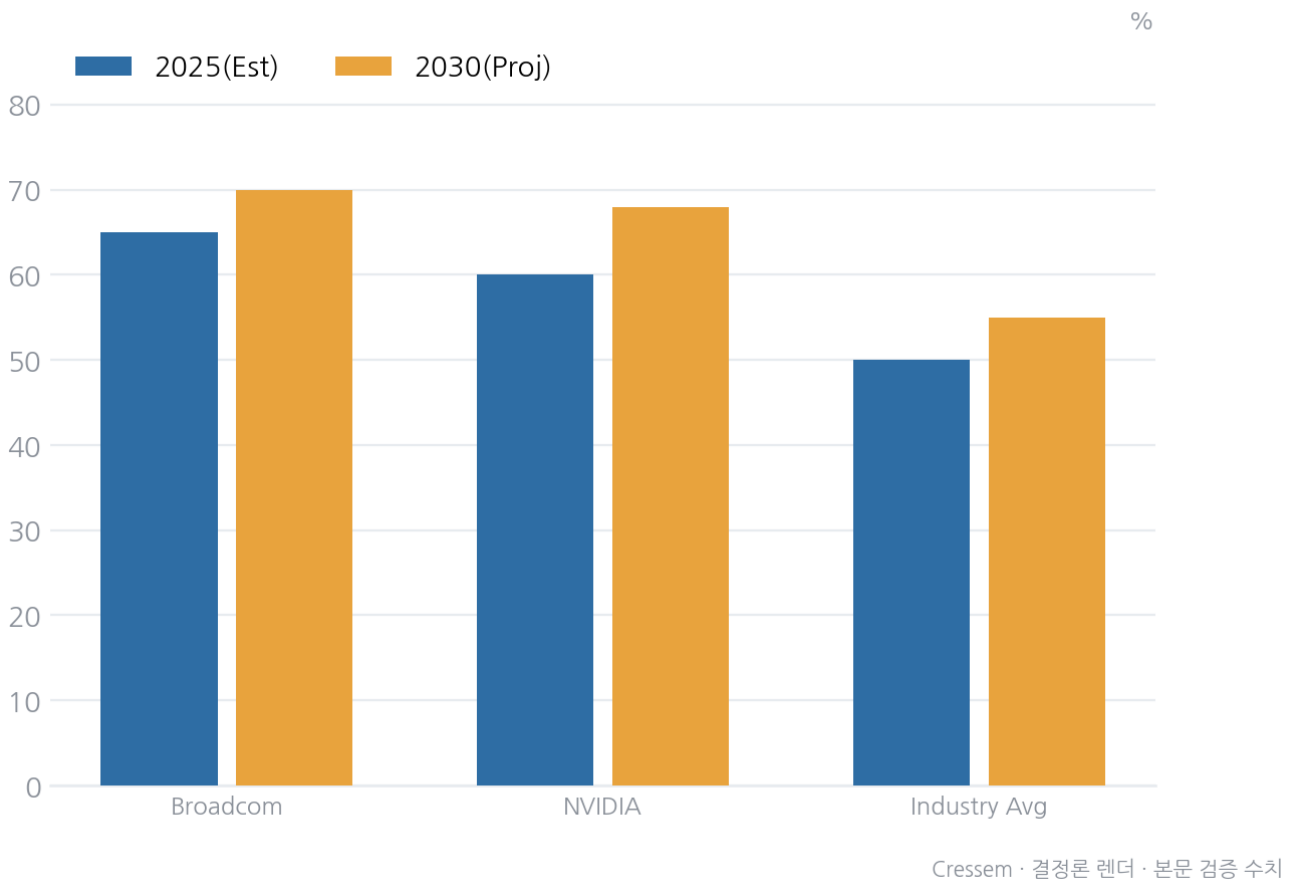


그림 3. 주요 기업별 전력 절감 효과 비교 (기존 대비 %)

CPO 구현을 위한 패키징 기술 트렌드

CPO(Co-Packaged Optics, 공동 패키징 광학) 기술의 실현은 단순히 광학 소자를 전기 회로 근처에 배치하는 것을 넘어, 반도체 패키징 기술의 정점이라 불리는 **2.5D/3D 이종 집적(Heterogeneous Integration)** 기술과의 완벽한 결합을 전제로 합니다. 기존의 플러그블(Pluggable) 방식이 광모듈을 별도의 슬롯에 삽입하는 형태였다면, CPO는 광학 엔진(Optical Engine)과 고성능 스위치 ASIC(Application Specific Integrated Circuit)을 하나의 고밀도 패키지 내에 통합해야 합니다. 이를 위해 실리콘 포토닉스(Silicon Photonics, SiPh) 기술과 첨단 인터포저(Interposer) 기술이 핵심적인 역할을 수행하고 있습니다.

1. 2.5D/3D 패키징 및 실리콘 포토닉스(SiPh) 통합

CPO의 핵심은 광학 신호를 처리하는 PIC(Photonic Integrated Circuit)와 전기적 신호를 제어하는 EIC(Electronic Integrated Circuit)를 얼마나 효율적으로 결합하느냐에 달려 있습니다. 현재 업계에서는 이를 구현하기 위해 다음과 같은 패키징 트렌드가 나타나고 있습니다.

2.5D 패키징과 인터포저(Interposer) 기술의 진화

CPO 구조에서 ASIC 칩과 PIC 사이의 전기적 거리를 최소화하고 신호 무결성(Signal Integrity, SI)을 확보하기 위해 2.5D 패키징이 표준으로 자리 잡고 있습니다. 실리콘 인터포저(Silicon Interposer) 또는 유기 인터포저(Organic Interposer) 위에 ASIC과 PIC를 나란히 배치하여, 칩 간의 데이터 전송 통로인 인터커넥트(Interconnect)의 밀도를 극대화합니다. 이는 기존 구리 배선의 물리적 한계를 극복하기 위해 광학 소자를 로직 칩 바로 옆에 붙이는 구조적 필연성을 가집니다. 특히 TSMC의 CoWoS(Chip on Wafer on Substrate)와 같은 고도화된 2.5D 기술은 CPO 구현을 위한 핵심 기반 기술로 활용됩니다.

실리콘 포토닉스(Silicon Photonics) 기반의 PIC 통합

CPO의 '광(Optical)' 부분을 담당하는 실리콘 포토닉스는 기존 CMOS 공정을 활용하여 광학 소자(변조기, 검출기, 도파로 등)를 실리콘 웨이퍼 위에 구현하는 기술입니다. CPO에서는 이 PIC가 단순한 부품이 아니라, 패키지 내부의 핵심 구성 요소로서 ASIC과 직접 결합됩니다. 최근에는 3.2 Tbps 및 6.4 Tbps급의 초고속 데이터 전송을 지원하기 위해 실리콘 포토닉스 기술의 미세화가 가속화되고 있으며, 이를 위해 칩-투-칩(Die-to-Die) 결합 기술의 정밀도가 극도로 요구되고 있습니다.

2. 기술적 요구사항 및 공정 난제

CPO 패키징은 기존의 전기적 패키징과는 차원이 다른 물리적, 광학적 요구사항을 충족해야 합니다.

- **광 결합(Optical Coupling)의 정밀도:** PIC 내부의 도파로(Waveguide)와 외부 광섬유(Optical Fiber) 또는 레이저 소스를 연결할 때, 나노미터(nm) 단위의 정렬 정밀도가 요구됩니다. 결합 손실(Coupling Loss)이 발생하면 전체 시스템의 전력 효율(pJ/bit)이 급격히 저하되기 때문입니다.
- **열 관리(Thermal Management):** ASIC에서 발생하는 막대한 열이 인접한 광학 소자에 영향을 주면, 광학 특성(파장 이동 등)이 변하게 됩니다. 따라서 열 팽창 계수(CTE)가 고려된 패키지 설계와 고성능 방열 솔루션이 필수적입니다.
- **이종 집적의 복잡성:** 로직(Logic), 메모리(Memory), 광학(Optics)이라는 서로 다른 물리적 특성을 가진 다이를 하나의 기판 위에 올리는 과정에서, 각 칩 간의 정렬(Alignment) 및 접합(Bonding) 신뢰성을 확보하는 것이 가장 큰 과제입니다.

CPO 패키지 구조 단면도



Cressem · 결정론 렌더

그림 4. CPO 패키지 구조 단면도

3. 차세대 CPO 패키징의 기술적 지향점

향후 CPO 시장은 단순한 통합을 넘어, 3D 적층 기술을 통한 더욱 극단적인 소형화와 고집적화 단계로 진입할 것으로 보입니다.

구분	2.5D CPO (현재/과도기)	3D CPO (차세대 지향점)
구조적 특징	인터포저 상에 ASIC과 PIC를 병렬 배치	ASIC 위에 PIC를 직접 적층 (Face-to-Face/Back-to-Back)
인터커넥트	Micro Bump 및 TSV 기반 전기적 연결	Hybrid Bonding (Cu-to-Cu) 기반 초미세 연결
장점	기술 성숙도가 높고 구현이 상대적으로 용이함	데이터 전송 거리 최소화, 전력 소모 극단적 절감
핵심 과제	인터포저 면적(Footprint) 제약	극심한 열 밀도 및 초정밀 정렬(Alignment) 난제

표 5. 차세대 CPO 패키징의 기술적 지향점

CPO 기술의 발전은 결국 Hybrid Bonding(구리 직접 접합) 기술의 도입과 궤를 같이합니다. 기존의 Bump 방식은 물리적 크기와 전기적 저항의 한계가 명확하므로, 차세대 CPO에서는 Bump 없이 구리와 구리를 직접 맞붙이는 방식을 통해 I/O 밀도를 획기적으로 높이는 방향으로 나아가고 있습니다. 이러한 변화는 패키징 공정의 난이도를 기하급수적으로 상승시키며, 이는 곧 검사 솔루션의 고도화가 필수적임을 의미합니다.

크레셈(CRESSEM)의 사업 기회 및 기술적 접점

1. 기술 패러다임 변화에 따른 사업 영역의 확장성

AI 연산 규모가 폭발적으로 증가함에 따라 데이터센터의 인터커넥트 방식이 기존의 플러그블(Pluggable) 광모듈에서 공동 패키징 광학(CPO, Co-Packaged Optics)으로 급격히 전환되고 있습니다. 이러한 변화는 단순한

통신 방식의 변경을 넘어, 반도체 패키징의 구조적 복잡성을 극대화하는 결과를 초래합니다. CPO는 광학 소자(Photonics)와 반도체 스위치 칩을 하나의 패키지 기판에 통합하는 첨단 인터커넥트 기술로, 이는 곧 기존의 전기적 신호 검사를 넘어 광학적·물리적 정렬을 포함하는 초정밀 검사 영역으로의 확장을 의미합니다 [출처: kai-search.tistory.com].

크레셈(CRESSEM)은 그동안 FC-BGA(Flip Chip Ball Grid Array) 및 2.5D/3D 기판 검사 분야에서 축적해 온 고해상도 광학 검사 기술과 AI 비전 알고리즘을 보유하고 있습니다. CPO 기술이 요구하는 핵심 요소인 **고밀도 인터커넥트 검사**, **이종 집적(Heterogeneous Integration) 정렬**, 그리고 **광학 소자(SiPh)의 결함 검출**은 크레셈이 기존에 수행해 온 고난도 패키징 검사 기술의 연장선상에 있습니다. 따라서 크레셈에게 CPO 시장은 기존의 기판 검사 기술을 고부가가치의 광학·메모리 검사 영역으로 확장할 수 있는 결정적 기회(Opportunity)가 될 것입니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

2. CPO 구현을 위한 핵심 기술적 접점 분석

크레셈의 기존 핵심 역량과 CPO 기술 요구사항 간의 구체적인 기술적 접점은 다음과 같이 세 가지 차원으로 분류할 수 있습니다.

2.1. 초정밀 광학 검사(Optical Inspection) 및 정렬(Alignment) 기술

CPO는 실리콘 포토닉스(SiPh) 칩과 전기적 구동을 위한 EIC(Electronic IC)를 매우 근접하게 배치해야 합니다. 이 과정에서 발생하는 미세한 정렬 오차(Misalignment)는 광학적 손실(Insertion Loss)을 급격히 증가시키며, 이는 전체 시스템의 성능 저하로 직결됩니다.

- **기술적 접점:** 크레셈은 이미 HBM4의 Hybrid Bonding(Cu-to-Cu) 공정 대응을 위해 수백 나노미터(nm) 단위의 해상도를 구현하는 **Sub-micron Resolution** 광학계 설계 능력을 확보하고 있습니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf]. 이러한 초고해상도 3D AOI(Automated Optical Inspection) 기술은 CPO의 광학 인터페이스 정렬 및 미세 접합부 검사에 직접적으로 적용될 수 있습니다.

2.2. AI 비전 기반의 결함 분류 및 데이터 분석

CPO 패키징은 광학 소자, 반도체 칩, 고밀도 기판이 결합된 매우 복잡한 구조를 가집니다. 기존의 Rule-based 검사 방식으로는 광학 소자의 미세한 흠집(Scratch), 이물질(Particle), 혹은 복잡한 패턴 내의 미세 결함을 실시간으로 판별하는 데 한계가 있습니다.

- **기술적 접점:** 크레셈의 **AI-Driven Machine Vision** 솔루션은 딥러닝(Deep Learning) 알고리즘을 통해 정상적인 노이즈와 실제 결함을 구분하여 과검(Over-kill)률을 획기적으로 낮추는 기술을 보유하고 있습니다 [출처: 기업 분석 보고서] (주)크레셈 (CRESSEM): 차세대 반도체 패키징 검사 솔루션의 선두주자. 이를 CPO 공정에 적용할 경우, 광학 소자의 미세 결함과 전기적 접합부의 불량을 동시에 판별하는 지능형 검사 시스템 구축이 가능합니다.

2.3. 이종 집적(Heterogeneous Integration) 및 기판 검사 역량

CPO는 2.5D/3D 패키징 기술을 기반으로 하며, 이는 HBM(High Bandwidth Memory)의 적층 구조와 기술적 궤를 같이합니다. 칩과 광학 소자를 하나의 인터포저(Interposer) 위에 배치하는 과정에서 발생하는 Warpage(휨) 현상과 Die-to-Die 간의 정렬 문제는 매우 치명적입니다.

- **기술적 접점:** 크레셈은 FC-BGA 및 2.5D 기판 검사를 통해 축적된 **Warpage 및 Tilt 제어 솔루션**을 보유하고 있습니다. 고정밀 스테이지 제어 기술과 3D 프로파일링 기술을 결합하여, 변형된 상태에서도 정확한 데이터를 추출할 수 있는 기술력은 CPO의 복잡한 적층 구조 검사에서 강력한 경쟁 우위가 됩니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

3. 전략적 포지셔닝 매트릭스

크레셈의 보유 역량이 CPO 시장의 주요 난제들을 어떻게 해결할 수 있는지에 대한 기술적 매칭 결과는 다음과 같습니다.

CPO 기술 난제 대응을 위한 크레셈 역량 매칭

	초고해상도 3D AOI	AI 비전 알고리즘	고정밀 스테이지/3D 프로파일링	기판/인터포저 검사 기술
광학 정렬(Alignment) 정밀도	● 핵심	○	●	●
미세 결함(Defect) 검출	○	● 핵심	○	○
패키지 변형(Warpage) 제어	○	○	● 핵심	●
이종 집적(HI) 구조 복잡도	●	○	○	● 핵심

Cressem · 결정론 렌더

그림 5. CPO 기술 난제 대응을 위한 크레셈 역량 매칭

4. 결론: CPO 시장 선점을 위한 기술 로드맵 제언

크레셈은 단순한 검사 장비 공급사를 넘어, CPO 공정의 수율(Yield)을 결정짓는 '데이터 기반의 수율 관리 파트너'로 진화해야 합니다.

첫째, Hybrid Bonding 및 SiPh 통합 공정용 초고해상도 검사 모듈을 조기에 개발하여 기술적 진입장벽을 구축해야 합니다. 둘째, 검사 데이터를 분석하여 전공정(Fab)이나 패키징 공정의 결함 원인을 역추적(Root Cause Analysis)할 수 있는 AI 기반 데이터 분석 플랫폼을 장비에 통합함으로써 고객사의 수율 개선에 직접적으로 기여해야 합니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf]. 이러한 전략적 접근은 CPO 시장이 본격적으로 개화하는 시점에 크레셈을 대체 불가능한 핵심 플레이어로 자리매김하게 할 것입니다.

리스크 요인 및 대응 방향

차세대 광 I/O 기술인 CPO(Co-Packaged Optics)는 데이터센터의 전력 효율과 대역폭 문제를 해결할 혁신적인 솔루션이지만, 기술적 난도가 기존 전기 신호 전송 방식과는 차원이 다른 수준으로 높습니다. 특히 광학 소자(Photonics)와 반도체 칩(ASIC/Switch)을 하나의 패키지 내에 통합하는 과정에서 발생하는 복합적인 리스크는 시장 진입의 진입장벽이자, 동시에 이를 극복하는 기업에게는 강력한 해자(Moat)가 될 수 있습니다.

본 섹션에서는 CPO 상용화 과정에서 직면할 수 있는 주요 리스크를 기술적 복잡도, 시장 표준화, 실행 리스크의 세 가지 관점에서 분석하고, 이에 대한 크레셈(CRESSEM)의 전략적 대응 방향을 제시합니다.

1. 핵심 리스크 분석 및 영향도 평가

CPO 기술 도입에 따른 리스크는 단순히 단일 공정의 문제가 아니라, 패키징, 광학, 전기적 특성이 얹힌 시스템 레벨의 문제입니다. 아래 표는 각 리스크 요인의 정의와 비즈니스에 미치는 영향도를 정리한 것입니다.

리스크 분류	리스크 요인 (Risk Factor)	상세 내용 및 영향 (Description & Impact)	영향도 (Impact)
기술적 복잡도 (Technical Risk)	열 관리 및 열 밀도 상승 (Thermal Management)	광학 소자와 고성능 스위치 칩이 인접 배치됨에 따라 국소적 열 밀도가 급증하며, 이는 광학 신호의 파장 변이(Wavelength Shift) 및 신뢰성 저하를 초래함.	High
	초정밀 정렬 및 결합 (Ultra-precise Alignment)	실리콘 포토닉스(SiPh)와 EIC(Electronic IC) 간의 광학적 결합(Optical Coupling) 시 수백 nm 단위의 정렬 오차가 발생할 경우 신호 손실(Insertion Loss)이 급격히 증가함.	High
시장 표준화 (Market Standard)	표준 인터페이스 및 프로토콜 지연 (Standardization Lag)	CPO는 기존 Pluggable 방식과 달리 다양한 벤더의 솔루션이 혼재될 수 있어, 공통된 인터페이스 표준이 확립되지 않을 경우 고객사별 맞춤형 대응 비용이 상승함.	Medium
	생태계 파편화 (Ecosystem Fragmentation)	Broadcom, NVIDIA 등 주요 플레이어 간의 기술 로드맵 차이로 인해 특정 솔루션에 종속될 위험이 존재함.	Medium
실행 리스크 (Execution Risk)	수율 확보 및 테스트 비용 (Yield & Test Cost)	패키징 단계에서의 결함이 전체 고가치 시스템(Switch/ASIC)의 폐기로 이어질 수 있어, Pre-stacking 단계의 검사 강도가 매우 높아야 함.	High
	R&D 투자 및 회수 기간 (R&D ROI)	차세대 기술 선점을 위한 대규모 R&D 투자가 지속되어야 하나, 시장 양산 시점이 예상보다 지연될 경우 재무적 부담이 가중됨.	Medium

표 6. 핵심 리스크 분석 및 영향도 평가

2. 리스크 유형별 심층 분석

2.1. 기술적 복잡도: 열(Thermal)과 정밀도(Precision)의 충돌

CPO의 가장 치명적인 기술적 난제는 **열 관리(Thermal Management)**입니다. 기존 플러그블(Pluggable) 모듈은 칩과 물리적으로 분리되어 있어 냉각이 용이했으나, CPO는 고전력 소비가 발생하는 스위치 칩 바로 옆에 민감한 광학

소자가 위치합니다. 온도 변화는 실리콘 포토닉스 소자의 굴절률에 영향을 주어 신호의 정확도를 떨어뜨립니다.

또한, **초정밀 정렬(Alignment)** 이슈는 검사 장비의 성능을 결정짓는 핵심 요소입니다. 광섬유(Optical Fiber)나 웨이퍼 레벨의 광학 소자를 패키지에 결합할 때 발생하는 미세한 오차는 데이터 전송 효율을 급격히 저하시키며, 이는 곧 전체 시스템의 신뢰성 문제로 직결됩니다. (업계 공개자료 기반)

2.2. 시장 표준화: 파편화된 생태계 대응

현재 CPO 시장은 기술적 과도기에 있습니다. 112G SerDes를 넘어 224G SerDes로 진화하는 과정에서 다양한 기술 규격이 경합하고 있으며, 이는 장비 제조사 입장에서 **표준화 지연(Standardization Lag)** 리스크를 의미합니다. 고객사(Hyperscaler 등)마다 요구하는 광학 인터페이스와 패키징 구조(2.5D, 3D, CoWoS 등)가 상이할 수 있어, 범용 장비보다는 고도의 커스터마이징 능력이 요구됩니다. (업계 공개자료 기반)

2.3. 실행 리스크: 수율(Yield)과 경제성

CPO는 'All-or-Nothing' 성격이 강합니다. 고가의 ASIC 칩과 광학 소자가 이미 결합된 상태에서 패키징 불량 발견되면, 수천 달러에 달하는 구성 요소를 통째로 폐기해야 합니다. 따라서 **Pre-stacking(적층 전) 단계에서의 완벽한 검사**가 필수적이며, 이는 검사 공정의 비용 상승과 직결됩니다. (업계 공개자료 기반)

3. 크레셈(CRESSEM)의 전략적 대응 방향 (Mitigation Strategy)

크레셈은 위에서 언급된 리스크를 기술적 우위로 전환하기 위해 다음과 같은 세 가지 대응 전략을 추진해야 합니다.

첫째, 초정밀·고속 검사 솔루션을 통한 수율 리스크 대응 (Yield Protection)

CPO의 높은 폐기 비용을 고려할 때, 고객사는 적층 전 단계에서 결함을 100% 잡아낼 수 있는 검사 솔루션을 갈구할 것입니다. 크레셈은 기존 FC-BGA 및 2.5D 기판 검사에서 축적한 **Sub-micron 해상도의 광학 검사 기술**을 CPO용 광학 소자 검사로 확장해야 합니다. 특히, Hybrid Bonding 공정 도입 시 요구되는 초미세 정렬(Alignment) 및 접합부(Cu-to-Cu) 검사 모듈을 선제적으로 개발하여, 고객사의 수율 손실을 최소화하는 '수율 보증 파트너'로서의 포지셔닝이 필요합니다. (업계 공개자료 기반)

둘째, AI 기반의 지능형 검사로 열 및 복합 결함 대응 (AI-Driven Inspection)

열 밀도 상승으로 인한 미세한 변형(Warpage)이나 광학적 특성 변화는 단순한 Rule-base 검사로는 판별이 어렵습니다. 크레셈은 **AI 기반 머신비전 알고리즘**을 고도화하여, 정상적인 열 변형과 실제 결함(Void, Misalignment)을 정밀하게 구분해내는 능력을 갖춰야 합니다. 이는 과검(Over-kill)률을 낮추고 검사 속도(Throughput)를 높임으로써, CPO의 높은 생산 비용 문제를 완화하는 데 기여할 것입니다. (업계 공개자료 기반)

셋째, 모듈형 설계 및 플랫폼화를 통한 표준화 리스크 대응 (Modularization)

시장 표준이 확립되지 않은 상황에서는 특정 고객사에 종속되지 않는 **모듈형(Modular) 장비 설계**가 핵심입니다. 크레셈은 고객사(SK하이닉스, 삼성전자, TSMC 등)의 각기 다른 패키징 프로세스(CoWoS

결론 및 시사점

차세대 AI 인프라의 핵심 동력으로 부상한 공동 패키지 광학(CPO, Co-Packaged Optics) 기술은 기존 구리 배선 기반 전기 신호 전송의 물리적 한계를 극복하고, 데이터센터의 전력 효율과 대역폭 밀도를 혁신할 필수적인 기술적 전환점입니다. AI 연산 규모의 폭발적 증가에 따라 데이터 전송 효율(pJ/bit) 최적화와 열 관리(Thermal Management)가 생존의 직결된 문제가 되었으며, 이는 곧 패키징 단계에서의 초정밀 검사 및 신뢰성 확보가 시장 주도권을 결정짓는 핵심 요소가 되었음을 의미합니다.

크레셈(CRESSEM)은 기존 FC-BGA 및 2.5D 기판 검사 분야에서 축적한 고해상도 광학 기술과 AI 비전 알고리즘을 바탕으로, CPO 시장의 급격한 성장에 대응할 수 있는 강력한 기술적 토대를 보유하고 있습니다. CPO

구현을 위해 요구되는 실리콘 포토닉스(SiPh) 통합 공정 및 이종 집적(Heterogeneous Integration) 환경에서의 미세 정렬(Alignment) 검사는 크레셈이 보유한 Sub-micron급 해상도 기술과 직접적으로 맞닿아 있습니다.

CPO 시장 선점을 위한 크레셈의 전략적 R&D 우선순위 및 중장기 로드맵은 다음과 같이 요약됩니다.

[CPO 시장 선점을 위한 크레셈의 전략적 로드맵]

구분	단계별 목표 (Strategic Roadmap)	핵심 R&D 과제 및 추진 전략
단기 (Short-term)	기존 역량의 확장 및 기술 검증	- 2.5D/3D 패키징 기반 광학 소자(PIC) 정렬 검사 기술 고도화 - 고해상도 3D AOI(Automated Optical Inspection) 모듈 개발 - AI 기반 미세 결함(Void, Bridge) 실시간 판별 알고리즘 적용
중기 (Mid-term)	CPO 전용 검사 솔루션 라인업 구축	- 실리콘 포토닉스(SiPh) 통합 공정 맞춤형 초정밀 검사 장비 개발 - 광학-전기적 특성 통합 검사(Optical-Electrical Co-test) 기술 확보 - 고객사(Foundry/OSAT) 맞춤형 모듈화 검사 시스템 공급
장기 (Long-term)	AI 기반 스마트 패키징 검사 플랫폼 완성	- 검사 데이터 기반 공정 결함 역추적(Root Cause Analysis) 솔루션 통합 - 차세대 고속 인터커넥트(224G SerDes 이상) 대응 검사 표준 정립 - AI-Driven 스마트 팩토리 연동형 통합 수율 관리 플랫폼 제공

표 7. [CPO 시장 선점을 위한 크레셈의 전략적 로드맵]**

결론적으로, 크레셈은 단순한 검사 장비 공급업체를 넘어, CPO 기술의 복잡도가 증가함에 따라 발생하는 수율(Yield) 저하 문제를 해결하는 '수율 최적화 파트너(Yield Optimization Partner)'로 진화해야 합니다. Hybrid Bonding 및 실리콘 포토닉스 기술의 도입으로 인해 검사 난이도가 기하급수적으로 상승하는 현재의 기술 패러다임 변화는, 크레셈이 보유한 고부가가치 광학 및 AI 비전 기술을 시장의 표준으로 격상시킬 수 있는 결정적인 기회가 될 것입니다.

참고 자료

1. Cpo 기술 동향 및 국내외 기업 분석 :: 투자연구소 테크센터
2. 2026.03 Cpo (공동패키지광학) - Ai 데이터센터의 차세대 광통신 ...
3. 공동 패키지형 광학 (CPO) 기술동향 및 시장 전망 2025-2035 - IDTechEx
4. 구리선의 한계와 반도체의 새로운 돌파구, Cpo 기술 심층 분석
5. Co-Packaged Optics (CPO) Market Size to Hit USD 1,055.11 Million by 2034
6. Co-Packaged Optics Market Size, Share and Growth Analysis
7. Co Packaged Optics Market Report: Size, Growth, Trends & Forecast (2025-2033)
8. Co-Packaged Optics - Global Market Share and Ranking, Overall Sales and Demand ...

9. 충전 포인트 운영자(Cpo)란 무엇이며 왜 중요한가

- 10. 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf (사내 자료)
- 11. 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf (사내 자료)
- 12. 분석_크레셈CRESSEM20260509001.pdf (사내 자료)
- 13. pdf_인하대학교컴퓨터공학과배승환20260509001.pdf (사내 자료)
- 14. ProfessorSeungHwanBaeReport.pdf (사내 자료)

※ 출처 간 시장 전망 편차 주의 — 본 보고서가 인용한 출처들의 시장 규모 전망에 약 8배 차이가 있습니다("2030년에는 81억 달러" vs "2034년에는 약 10억 5,511만 달러"). 후행 연도의 전망치가 선행 연도보다 작습니다. 출처마다 시장 정의·산정 범위·기준 시점이 다를 수 있으므로, 대외 활용 전 1차자료 확인을 권장합니다.