

차세대 광 I/O(CPO) 기술 동향 및 크레셈(CRESSEM)의 전략적 사업 기회 분석

문서번호 CRSM-AI-2026-AUTO

작성일 2026-08-01

작성 Cressem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

차세대 광 I/O(CPO) 기술 동향 및 크레셈(CRESSEM)의 전략적 사업 기회 분석	3
개요: AI 인프라의 병목 현상과 CPO의 등장 배경	3
CPO 기술 메커니즘 및 기존 Pluggable 방식 비교	4
글로벌 CPO 시장 규모 및 성장 전망	6
주요 플레이어 및 기술 로드맵 분석	7
CPO 패키징의 기술적 난제: 2.5D/3D 및 정렬 이슈	9
크레셈(CRESSEM)의 핵심 역량 및 기술적 교두보	11
전략적 사업 기리: CPO 전용 검사 솔루션 개발 로드맵	13
결론 및 시사점	15
참고 자료	16

차세대 광 I/O(CPO) 기술 동향 및 크레셈(CRESSEM)의 전략적 사업 기회 분석

AI 데이터센터의 전력 및 대역폭 한계를 극복하기 위한 차세대 인터커넥트 기술인 CPO(Co-Packaged Optics)의 기술적 메커니즘과 시장 전망을 분석합니다. 글로벌 주요 플레이어의 기술 로드맵을 검토하고, 크레셈의 고정밀 광학 검사 및 AI 비전 기술을 활용한 후공정 검사 시장 진입 전략을 제안합니다.

개요: AI 인프라의 병목 현상과 CPO의 등장 배경

1. AI 데이터센터의 폭발적 성장과 전기적 I/O의 한계

최근 생성형 AI(Generative AI) 모델의 파라미터 수가 기하급수적으로 증가함에 따라, 이를 연산하기 위한 AI 가속기(GPU, NPU 등)와 대규모 데이터센터 인프라의 수요가 폭발적으로 증가하고 있습니다. AI 연산 성능을 극대화하기 위해서는 칩과 칩 사이, 혹은 칩과 스위치 간의 데이터 전송 속도(Throughput)가 핵심적인 요소가 됩니다. 그러나 현재의 데이터센터 아키텍처는 수십 년간 표준으로 사용되어 온 구리(Copper) 배선 기반의 전기적 신호 전송(Electrical I/O) 방식에 의존하고 있으며, 이는 물리적 임계점에 도달했습니다.

현재 업계에서 도입하고 있는 112G 및 차세대 224G SerDes(Serializer/Deserializer) 기술 환경에서 구리 배선의 유효 전송 거리는 수 센티미터(cm) 수준으로 급격히 단축되었습니다 [출처: 투자연구소 테크센터]. 신호의 감쇠(Attenuation)와 왜곡이 심화됨에 따라, 데이터를 멀리 보내기 위해서는 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP)를 중간에 배치해야만 합니다. 하지만 이러한 추가 소자들은 데이터센터 전체의 전력 소비를 급증시키고, 열 밀도(Thermal Density)를 상승시켜 시스템의 신뢰성을 저해하는 치명적인 부작용을 초래하고 있습니다 [출처: 투자연구소 테크센터].

2. 주요 병목 현상 분석: 전력, 대역폭, 그리고 지연 시간

AI 인프라가 직면한 병목 현상은 크게 세 가지 관점에서 분석할 수 있습니다.

- **전력 소비(Power Consumption)의 임계점:** 기존의 플러그블(Pluggable) 광모듈 방식은 칩과 광모듈 사이에 긴 구리 배선이 존재하여, 신호를 증폭하고 복원하는 과정에서 막대한 전력이 소모됩니다. 특히 네트워크 장비에서 DSP가 차지하는 전력 비중은 약 50%에 달할 정도로 높습니다 [출처: 투자연구소 테크센터]. 이는 AI 모델 학습 및 추론에 투입되어야 할 에너지가 통신 인터페이스 유지에 낭비되는 결과를 낳습니다.
- **대역폭 밀도(Bandwidth Density)의 한계:** 칩 내부의 연산 속도는 비약적으로 발전했으나, 이를 외부로 입출력(I/O)하는 과정에서의 대역폭 확장은 구리선의 물리적 특성상 한계가 명확합니다. 데이터 전송 속도가 높아질수록 신호 무결성(Signal Integrity, SI)을 유지하기가 어려워지며, 이는 곧 시스템 전체의 성능 저하로 이어집니다 [출처: alchonomics.com].
- **지연 시간(Latency) 문제:** 전기적 신호를 광신호로 변환하고, 이를 다시 처리하는 과정에서 발생하는 지연 시간은 실시간 데이터 처리가 중요한 AI 연산 환경에서 성능 병목의 주원인이 됩니다.

3. 차세대 돌파구로서의 CPO(Co-Packaged Optics)

이러한 물리적 한계를 극복하기 위해 등장한 기술이 바로 공동 패키지 광학(CPO, Co-Packaged Optics)입니다. CPO는 광학 소자(Photonics)와 반도체 스위치 칩(ASIC)을 하나의 첨단 패키지 기판(Advanced Package Substrate) 내에 통합하는 인터커넥트 기술입니다 [출처: kai-search.tistory.com].

CPO 기술이 도입될 경우 기대할 수 있는 정량적 개선 효과는 다음과 같습니다.

구분	기존 Pluggable 방식	CPO (Co-Packaged Optics) 방식	개선 효과
전력 효율 (800Gbps 포트 기준)	약 15W 소모	약 5.5W 소모	약 63% 절감 [출처: kai-search.tistory.com]
비트당 전력 소모 (pJ/bit)	상대적 높음	기존 대비 50% 이상 절감 가능	전력 효율 극대화 [출처: 투자연구소 테크센터]
신호 손실 (Signal Loss)	구리 배선에 따른 손실 큼	광학 통합을 통한 손실 최소화	신호 손실 80% 이상 감소 [출처: 투자연구소 테크센터]

표 1. 차세대 돌파구로서의 CPO(Co-Packaged Optics)

CPO는 칩과 광학 인터페이스 사이의 거리를 최소화함으로써 구리 배선의 물리적 한계를 우회합니다. 이는 단순히 전력 소모를 줄이는 것을 넘어, DSP의 기능을 간소화하거나 제거할 수 있게 하여 데이터센터의 에너지 효율을 혁신적으로 높일 수 있는 유일한 대안으로 평가받고 있습니다 [출처: 투자연구소 테크센터].

결론적으로, AI 연산 규모의 폭발적 증가에 따른 '전력-대역폭-지연 시간'의 트릴레마(Trilemma)를 해결하기 위해, 반도체 칩 자체에 광학 통신 기술을 융합하는 CPO 기술로의 패러다임 전환은 선택이 아닌 필연적인 흐름이라 할 수 있습니다 [출처: alchonomics.com].

CPO 기술 메커니즘 및 기존 Pluggable 방식 비교

AI 연산량의 폭발적 증가와 초거대 언어 모델(LLM)의 확산으로 인해 데이터센터 내부의 데이터 트래픽은 기하급수적으로 늘어나고 있습니다. 이러한 트래픽을 처리하기 위해 기존의 구리 배선(Copper Interconnect) 기반 전기 신호 전송 방식은 물리적 한계점에 도달했습니다. 특히 112G 및 차세대 224G SerDes(Serializer/Deserializer) 기술 환경에서는 구리 배선의 유효 전송 거리가 수 센티미터(cm) 수준으로 급격히 단축되는 현상이 발생하고 있습니다 [출처: 투자연구소 테크센터]. 이를 극복하기 위해 등장한 핵심 기술이 바로 공동 패키지 광학(CPO, Co-Packaged Optics)입니다.

1. 기존 Pluggable 방식의 기술적 한계

전통적인 데이터센터 네트워크 구조에서는 광모듈(Optical Module)이 스위치 칩(Switch ASIC)과 물리적으로 분리되어, 스위치 패널의 전면부에 삽입되는 '플러그블(Pluggable)' 방식을 채택해 왔습니다. 이 방식은 모듈의 교체가 용이하다는 운영상의 장점이 있으나, 고속 데이터 전송 환경에서는 다음과 같은 치명적인 결함을 노출하고 있습니다.

첫째, **전력 소모 및 열 밀도(Thermal Density) 문제**입니다. 스위치 칩에서 생성된 전기 신호가 플러그블 광모듈까지 도달하기 위해서는 긴 구리 배선을 통과해야 합니다. 이 과정에서 신호 감쇄(Signal Attenuation)가 발생하며, 이를 보상하기 위해 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP)를 추가로 배치해야 합니다. DSP는 네트워크 전체 전력 소비의 약 50%를 차지할 정도로 막대한 에너지를 소모하며, 이는 데이터센터의 전력 효율(PUE)을 악화시키고 심각한 발열 문제를 야기합니다 [출처: 투자연구소 테크센터].

둘째, **신호 무결성(Signal Integrity, SI) 및 지연 시간(Latency) 저하**입니다. 신호가 물리적으로 긴 경로를 이동함에 따라 전기적 손실이 증가하고, 이를 복원하는 과정에서 발생하는 프로세싱 지연은 실시간 AI 연산이 필요한 인프라에서 병목 현상을 초래합니다. 결과적으로 기존 방식은 대역폭 확장과 전력 효율성이라는 두 마리 토끼를 잡기에 한계가 명확한 상황입니다 [출처: alchonomics.com].

2. CPO(Co-Packaged Optics)의 기술 메커니즘

CPO는 이러한 한계를 근본적으로 해결하기 위해 **광학 소자(Photonics)**와 **반도체 스위치 칩을 하나의 패키지 기판(Package Substrate) 위에 통합**하는 혁신적인 인터커넥트(Interconnect) 기술입니다. CPO의 핵심은 실리콘 포토닉스(Silicon Photonics) 기술을 활용하여 광학적 기능을 반도체 공정 내로 내재화하는 데 있습니다.

CPO의 메커니즘은 다음과 같은 핵심 구성 요소를 통해 작동합니다.

- **실리콘 포토닉스 PIC(Photonic Integrated Circuit):** 실리콘 웨이퍼 위에 광학적 기능을 구현한 집적 회로입니다. 기존의 개별 광학 소자들을 하나의 칩(PIC)으로 통합함으로써 신호의 이동 거리를 수 밀리미터(mm) 이내로 극단적으로 단축합니다.
- **EIC(Electronic Integrated Circuit)와의 결합:** 광 신호를 처리하는 PIC와 전기 신호를 제어하는 EIC를 동일한 패키지 내에 배치합니다. 이를 통해 칩과 광학 소자 사이의 인터페이스를 최적화하고, 신호 전송 경로를 최소화하여 전력 손실을 방지합니다.
- **광학 인터페이스 통합:** 칩 내부에서 생성된 전기 신호를 즉각적으로 광 신호로 변환하여 전송함으로써, 구리 배선에서 발생하는 저항 및 인덕턴스 문제를 원천적으로 차단합니다.

이러한 통합 구조를 통해 CPO는 신호 손실을 80% 이상 줄일 수 있으며, 전력 소모가 큰 DSP 기능을 간소화하거나 제거함으로써 비트당 전력 소모(pJ/bit)를 50% 이상 절감하는 압도적인 효율성을 제공합니다 [출처: 투자연구소 테크센터].

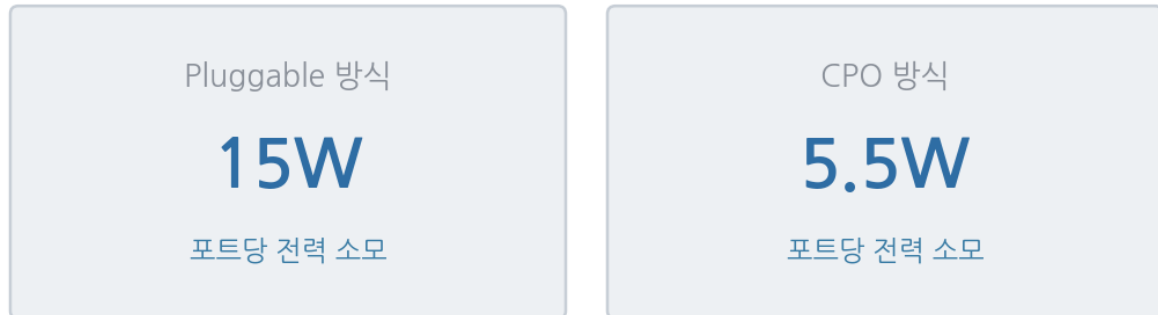
3. Pluggable 방식 vs CPO 방식 비교 분석

두 방식의 차이점은 단순히 '통합 여부'를 넘어, 데이터센터의 에너지 효율과 전송 성능의 패러다임을 바꾸는 수준의 차이를 보입니다. 아래 표는 800Gbps급 고속 통신 환경을 기준으로 두 기술을 비교한 결과입니다.

비교 항목	Pluggable 방식 (기준)	CPO 방식 (차세대)	비고
통합 구조	스위치 칩과 광모듈 분리 (Long Trace)	스위치 칩과 광학 소자 통합 (Short Trace)	패키징 기술의 핵심 차이
주요 인터커넥트	구리 배선 (Copper Trace)	실리콘 포토닉스 (Silicon Photonics)	전송 매체의 변화
전력 효율성	상대적으로 낮음 (DSP 의존도 높음)	매우 높음 (DSP 간소화 가능)	비트당 전력 소모(pJ/bit) 기준
신호 손실	높음 (고주파수 대역에서 감쇄 심함)	매우 낮음 (광 신호 직접 활용)	Signal Integrity 개선
열 관리 난이도	분산되어 있으나 모듈 발열 관리 필요	칩 패키지 내 열 밀도 집중 관리 필요	CPO의 주요 기술적 과제

표 2. Pluggable 방식 vs CPO 방식 비교 분석

800Gbps 포트당 전력 소모 비교



Cressem · 결정론 렌더

그림 1. 800Gbps 포트당 전력 소모 비교

4. 기술적 전환의 의의: Silicon Photonics와 Interconnect의 진화

CPO로의 전환은 단순히 부품을 옮기는 것이 아니라, 반도체 패키징 기술이 '전기적 연결(Electrical Interconnect)'에서 '광학적 연결(Optical Interconnect)'로 진화함을 의미합니다.

기존의 플러거블 방식이 데이터센터의 확장성을 보장해 왔다면, CPO는 AI 가속기와 스위치 간의 초고속·저지연 통신을 가능하게 하여 AI 인프라의 병목 현상을 해결하는 '구원투수' 역할을 수행합니다. 특히 3.2 Tbps 및 6.4 Tbps급으로 진화하는 실리콘 포토닉스 PIC 개발은 향후 데이터 전송 속도의 한계를 돌파할 핵심 동력이 될 것입니다 [출처: 투자연구소 테크센터].

이 과정에서 2.5D 및 3D 패키징 기술은 CPO를 구현하기 위한 필수적인 기반 기술로 작용하며, 이는 곧 반도체 검사 장비 분야에서도 기존의 기판 검사를 넘어 광학적 정렬(Optical Alignment) 및 이종 집적(Heterogeneous Integration) 검사라는 새로운 기술적 요구사항을 창출하게 됩니다.

글로벌 CPO 시장 규모 및 성장 전망

AI 가속기 및 데이터센터의 폭발적인 수요 증가에 따라, 차세대 인터커넥트 기술인 공동 패키지 광학(CPO, Co-Packaged Optics) 시장은 유례없는 고성장 국면에 진입했습니다. 기존의 플러거블(Pluggable) 광모듈 방식이 대역폭 확장과 전력 효율성 측면에서 물리적 임계점에 도달함에 따라, 칩과 광학 소자를 하나의 패키지로 통합하는 CPO 기술은 선택이 아닌 필수적인 인프라로 자리 잡고 있습니다.

1. 시장 규모 추이 및 성장 동력 분석

글로벌 CPO 시장은 초기 형성 단계를 지나 본격적인 양산 및 도입 단계로 전환되고 있습니다. 시장 조사 기관 및 전문 분석 자료에 따르면, CPO 시장의 성장세는 매우 가파른 곡선을 그리며 향후 10년 내 수십 배 규모로 팽창할 것으로 전망됩니다.

Yole Group의 분석에 따르면, CPO 시장 규모는 2024년 약 4,600만 달러 수준에서 2030년에는 81억 달러 규모로 급격히 성장할 것으로 예측됩니다. 이는 연평균 성장률(CAGR)이 무려 137%에 달하는 경이적인 수치입니다 [출처: 투자연구소 테크센터]. 이러한 폭발적 성장의 배경에는 초거대 AI 모델 학습을 위한 데이터센터의 대역폭 수요 폭증과, 기존 구리 배선 방식으로는 해결 불가능한 전력 밀도(Power Density) 문제가 자리 잡고 있습니다.

Precedence Research의 자료를 종합하면, 2025년 기준 글로벌 CPO 시장 규모는 약 9,504만 달러로 평가되며, 기술 성숙도가 높아지는 2034년에는 약 10억 5,511만 달러에 도달할 것으로 보입니다. 이 기간 동안의 연평균 성장률(CAGR)은 약 30.66%로 추정됩니다 [출처: Precedence Research]. 이는 초기 시장의 높은 변동성을 지나, 산업 표준이 확립되고 대형 클라우드 서비스 제공업체(CSP)들이 본격적으로 CPO 기반 스위치 및 가속기를 도입함에 따라 나타나는 안정적 성장세를 반영합니다.

2. 데이터 전송 속도(Data Rate)별 수요 예측 및 기술 트렌드

CPO 시장의 성장은 단순히 규모의 확장을 넘어, 요구되는 데이터 전송 속도의 비약적인 상승과 궤를 같이합니다. 현재 업계는 112G SerDes 환경을 넘어 차세대 224G SerDes 기술로의 전환을 준비하고 있으며, 이에 따라 인터커넥트 솔루션의 요구 사양도 급격히 고도화되고 있습니다.

구분	현재 및 단기 수요 (Current/Near-term)	중장기 수요 (Mid-to-Long term)
주요 데이터 레이트	51.2 Tbps (Ethernet Switch 기준)	102.4 Tbps 이상 및 3.2/6.4 Tbps급 PIC
핵심 기술 요소	800Gbps 포트, 112G SerDes	224G SerDes, 실리콘 포토닉스(SiPh)
주요 적용 분야	AI 가속기, 고성능 컴퓨팅(HPC)	초거대 AI 데이터센터, 차세대 광학 스위치

표 3. 데이터 전송 속도(Data Rate)별 수요 예측 및 기술 트렌드

현재 Broadcom의 3세대 CPO 기술이 적용된 51.2 Tbps급 이더넷 스위치(예: TH6-Davisson)와 같은 솔루션이 등장하며 시장의 기술적 기준점을 제시하고 있습니다. 이러한 솔루션은 기존 플러그형 솔루션 대비 전력 소모를 최대 70%까지 절감하며, AI 인프라의 핵심 과제인 '전력 효율(Power Efficiency)' 문제를 직접적으로 해결하고 있습니다 [출처: 투자연구소 테크센터].

향후 시장은 3.2 Tbps 및 6.4 Tbps급 실리콘 포토닉스 광학 집적 회로(PIC)와 이를 구동하는 전기적 집적 회로(EIC)의 결합을 중심으로 재편될 것입니다. 특히, 2.5D 및 3D 패키징 기술을 활용한 광학 인터페이스의 미세화가 가속화됨에 따라, 초고속·저지연(Low Latency) 특성을 극대화할 수 있는 CPO 기술의 가치는 더욱 높아질 전망입니다.

CPO 시장 성장 전망 및 주요 지표



Cressem · 결론론 렌더

그림 2. CPO 시장 성장 전망 및 주요 지표

주요 플레이어 및 기술 로드맵 분석

AI 인프라의 급격한 팽창과 함께 데이터센터 내 전력 효율 및 대역폭 확보가 최우선 과제로 부상함에 따라, CPO(Co-Packaged Optics, 공동 패키지 광학) 기술을 주도하는 글로벌 빅테크 기업들의 움직임이 가속화되고 있습니다. 현재 CPO 시장은 단순한 부품 공급을 넘어, 광학 소자(Photonics)와 반도체 스위치 칩(Switch Chip)을 하나의 패키지 기판에 통합하는 고난도 패키징 기술력을 중심으로 재편되고 있습니다.

1. 선도 기업별 CPO 솔루션 및 양산 현황

현재 CPO 생태계는 네트워크 스위치 칩을 설계하는 ASIC(Application-Specific Integrated Circuit) 기업과 이를 실제 시스템으로 구현하는 클라우드 서비스 제공자(CSP) 및 AI 가속기 설계 기업을 중심으로 형성되어 있습니다.

Broadcom (브로드컴): CPO 기술의 표준 선도

브로드컴은 CPO 기술 로드맵에서 가장 앞서나가는 기업 중 하나입니다. 브로드컴은 기존의 플러그블(Pluggable) 광모듈 방식이 가진 물리적 한계인 전력 소모와 신호 손실 문제를 해결하기 위해 3세대 CPO 기술을 선보였습니다. 특히, 브로드컴의 3세대 CPO 기술이 적용된 **TH6-Davisson** 모델은 51.2 Tbps급 이더넷 스위치(Ethernet Switch)를 지원하며, 기존 플러그형 솔루션 대비 전력 소모를 최대 70%까지 절감하는 혁신적인 성과를 기록했습니다 [출처: 투자연구소 테크센터]. 브로드컴은 실리콘 포토닉스(Silicon Photonics) 기술을 활용하여 스위치 칩과 광학 엔진을 근접 배치함으로써, 데이터 전송 시 발생하는 신호 감쇠를 최소화하는 데 주력하고 있습니다.

NVIDIA (엔비디아): AI 인프라 통합의 핵심 동력

엔비디아는 AI 연산 가속기 시장의 지배력을 바탕으로, GPU와 광학 인터커넥트(Optical Interconnect)를 통합하는 방향으로 기술 로드맵을 설정하고 있습니다. 2026년 NVIDIA GTC 2026에서 공개된 광학 통합 스위치(Optical Integrated Switch) 기술은 AI 데이터센터의 병목 현상을 해결할 핵심 솔루션으로 평가받습니다 [출처: AI 데이터센터의 차세대 광통신]. 엔비디아의 전략은 단순한 통신 속도 향상을 넘어, GPU 클러스터 간의 지연 시간(Latency)을 극단적으로 낮추기 위해 CPO를 통해 광학 신호를 컴퓨팅 노드에 직접 통합하는 것입니다. 이는 차세대 AI 슈퍼컴퓨터 구축을 위한 필수적인 인프라 기술로 자리 잡고 있습니다.

기타 주요 플레이어 및 생태계 동향

- **Marvell (마벨):** 브로드컴과 더불어 고속 SerDes(Serializer/Deserializer) 기술과 광학 통합 솔루션을 통해 데이터센터 시장을 공략하고 있습니다.
- **Intel (인텔):** 실리콘 포토닉스 기술을 자사 프로세서와 결합하여 패키징 단계에서의 광학 통합을 연구하고 있습니다.
- **Cloud Service Providers (CSPs):** Google, Microsoft, Meta 등은 자체적인 맞춤형 ASIC 및 CPO 적용 인프라를 구축하기 위해 기술 표준화 작업에 깊숙이 관여하고 있습니다.

2. 기술 로드맵 및 인터페이스 진화 분석

CPO 기술의 발전은 데이터 전송 속도(Data Rate)의 증가와 더불어 전력 효율성(Power Efficiency)의 극대화라는 두 가지 축을 따라 움직이고 있습니다.

구분	기존 Pluggable 방식	차세대 CPO 방식	기대 효과 및 변화
연결 구조	스위치 칩 → 구리 배선 → 광모듈	스위치 칩 + 광학 소자 통합 패키징	배선 길이 단축을 통한 신호 무결성 확보
전력 효율	800Gbps 포트당 약 15W 소모	800Gbps 포트당 약 5.5W 소모	전력 소모 약 63% 절감 [출처: AI 데이터센터의 차세대 광통신]

주요 인터페이스	112G SerDes 중심	224G 및 차세대 초고속 SerDes	대역폭 확장 및 데이터 전송 밀도 증가
주요 과제	열 관리 및 전력 밀도 한계	2.5D/3D 패키징 및 정렬(Alignment)	고난도 검사 및 패키징 기술 요구

표 4. 기술 로드맵 및 인터페이스 진화 분석

현재 업계는 112G SerDes 환경에서 차세대 224G SerDes 환경으로의 전환기를 맞이하고 있습니다. 구리 배선의 유효 전송 거리가 수 센티미터(cm) 수준으로 단축됨에 따라, 기존의 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP)를 추가 배치하는 방식은 데이터센터의 전력 소비 급증과 열 밀도 상승이라는 부작용을 초래하고 있습니다 [출처: 투자연구소 테크센터]. 따라서 CPO는 이러한 DSP의 비중을 간소화하거나 제거함으로써 비트당 전력 소모(pJ/bit)를 50% 이상 절감할 수 있는 유일한 대안으로 꼽힙니다.

3. 시장 성장성 및 기술적 요구사항의 변화

CPO 시장은 폭발적인 성장기에 진입했습니다. Yole Group의 전망에 따르면, CPO 시장 규모는 2024년 4,600만 달러에서 2030년 81억 달러로 성장하며 연평균 성장률(CAGR) 137%라는 경이적인 수치를 기록할 것으로 보입니다 [출처: 투자연구소 테크센터].

이러한 시장의 급성장은 다음과 같은 기술적 요구사항의 변화를 동반합니다.

1. **초고속 인터페이스 대응:** 3.2 Tbps 및 6.4 Tbps급 실리콘 포토닉스 PIC(Photonic Integrated Circuit)와 이를 구동하기 위한 EIC(Electronic Integrated Circuit)의 통합 개발이 가속화되고 있습니다 [출처: 투자연구소 테크센터].

2. **패키징 정밀도 극대화:** 광학 소자와 반도체 칩을 하나의 기판에 통합해야 하므로, 기존의 전기적 연결보다 훨씬 엄격한 수준의 미세 피치(Fine Pitch) 정렬 및 이종 집적(Heterogeneous Integration) 기술이 요구됩니다.

3. **열 및 신호 관리:** 칩의 밀도가 높아짐에 따라 발생하는 열 관리(Thermal Management) 문제와, 광-전 신호 변환 과정에서의 신호 무결성(Signal Integrity, SI) 및 전력 무결성(Power Integrity, PI) 확보가 핵심 기술 경쟁력으로 작용하고 있습니다.

결론적으로, Broadcom과 NVIDIA가 주도하는 CPO 기술 로드맵은 단순한 통신 기술의 진화를 넘어, AI 반도체의 성능을 결정짓는 '패키징 및 인터커넥트' 기술의 패러다임 전환을 의미합니다. 이는 향후 검사 장비 산업에 있어 기존의 전기적 검사를 넘어서는 초정밀 광학 및 패키징 검사 솔루션의 수요를 폭발적으로 증가시키는 트리거가 될 것입니다.

CPO 패키징의 기술적 난제: 2.5D/3D 및 정렬 이슈

CPO(Co-Packaged Optics, 공동 패키징 광학) 기술은 광학 소자(Photonics)와 전기적 스위치 칩(ASIC/Switch Chip)을 하나의 패키지 기판 내에 통합하는 고도로 복잡한 공정을 수반합니다. 기존의 Pluggable(플러그형) 광모듈 방식이 칩과 광학 모듈 사이의 물리적 거리를 유지하며 개별적인 패키징을 수행했던 것과 달리, CPO는 2.5D 또는 3D 패키징 기술을 기반으로 하여 극도의 집적도를 요구합니다. 이러한 구조적 변화는 데이터 전송 효율을 극대화하지만, 동시에 패키징 공정 및 검사 단계에서 전례 없는 기술적 난제를 야기하고 있습니다. 본 섹션에서는 CPO 구현을 가로막는 핵심 기술적 장애물인 미세 정렬(Alignment), 열 관리(Thermal Management), 그리고 신호/전력 무결성(SI/PI) 문제를 심층 분석합니다.

1. 초정밀 정렬(Alignment) 및 미세 피치(Fine Pitch) 이슈

CPO의 핵심은 광학적 신호와 전기적 신호가 만나는 인터페이스의 정밀도에 있습니다. 2.5D 및 3D 패키징 구조 내에서 광학 엔진(Optical Engine)과 실리콘 포토닉스 IC(PIC), 그리고 구동을 위한 EIC(Electronic IC)가 초근접 배치됨에 따라, 기존 반도체 패키징과는 차원이 다른 수준의 정렬 정밀도가 요구됩니다.

- **Sub-micron급 정렬 요구사항:** 광섬유(Optical Fiber)와 실리콘 웨이퍼 상의 도파로(Waveguide)를 결합하거나, PIC와 EIC 간의 전기적 연결을 수행할 때 발생하는 미세한 오차는 광 손실(Optical Loss)을 급격히 증가시킵니다. 특히 112G 및 차세대 224G SerDes 기술 환경에서는 신호의 파장이 짧아지고 대역폭이 넓어짐에 따라, 수 μm 단위의 정렬 오차만으로도 통신 불능 상태에 빠질 수 있습니다.
- **미세 피치(Fine Pitch)의 한계:** CPO는 데이터 전송량을 극대화하기 위해 I/O(Input/Output) 밀도를 높여야 하며, 이는 필연적으로 범프(Bump) 및 패드의 피치를 극도로 축소시키는 결과를 초래합니다. 이러한 미세 피치 구조에서는 미세한 이물질(Particle)이나 미세한 정렬 오차(Misalignment)가 전체 패키지의 수율을 결정짓는 결정적 요인이 됩니다.
- **검사 기술의 필요성:** 따라서 CPO 공정에서는 Hybrid Bonding(구리 직접 접합)과 같은 차세대 접합 방식 도입 시, 접합부의 미세 간극 및 이물질을 실시간으로 검출할 수 있는 초고해상도 3D AOI(Automated Optical Inspection) 기술이 필수적입니다. [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf]

2. 열 관리(Thermal Management) 및 열 밀도 상승 문제

CPO는 전력 효율을 높이기 위해 도입되지만, 역설적으로 패키지 내부의 열 밀도(Heat Density)는 기존 방식보다 훨씬 높아지는 구조적 취약점을 가집니다. 칩과 광학 소자가 동일한 패키지 내에 밀집되어 있기 때문에, 발생하는 열이 서로에게 간섭을 일으키는 '열적 간섭(Thermal Interference)' 현상이 발생합니다.

- **광학 소자의 열 민감성:** 실리콘 포토닉스 소자는 온도 변화에 매우 민감합니다. 온도 변화에 따라 굴절률이 변하거나 파장이 이동(Wavelength Drift)할 수 있는데, 이는 광학적 통신 품질을 저하시키는 핵심 원인이 됩니다. 스위치 칩(ASIC)에서 발생하는 막대한 열이 광학 엔진으로 전달될 경우, 레이저 파장의 불안정성을 초래하여 데이터 에러율(BER)을 높이게 됩니다.
- **열 팽창 계수(CTE) 불일치와 Warpage:** 서로 다른 재질(실리콘, 기판, 광학 유리 등)이 2.5D/3D 구조로 적층되면서, 작동 온도 범위 내에서의 열 팽창 계수(Coefficient of Thermal Expansion, CTE) 차이로 인한 물리적 변형이 발생합니다. 이는 패키지의 휨(Warpage) 현상을 유발하며, 결과적으로 앞서 언급한 정렬(Alignment) 상태를 무너뜨리고 전기적/광학적 연결을 파괴할 수 있습니다.
- **고도화된 검사 솔루션의 역할:** 적층 단수가 높아지고 구조가 복잡해짐에 따라, Warpage 및 Tilt(기울어짐)를 실시간으로 측정하고 보정할 수 있는 고정밀 스테이지 제어 및 3D 프로파일링 기술이 CPO 패키징 공정의 안정성을 확보하는 데 핵심적인 역할을 수행할 것입니다. [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf]

3. 신호 무결성(SI) 및 전력 무결성(PI)의 복합적 난제

CPO는 데이터센터의 전력 소비를 줄이고 대역폭을 넓히기 위한 솔루션이지만, 패키지 내부의 전기적 신호 전달 경로가 극도로 짧아지고 복잡해짐에 따라 신호 및 전력의 품질을 유지하는 것이 매우 어려워집니다.

- **Signal Integrity (SI) 이슈:** 초고속 데이터 전송(224G SerDes 등) 환경에서는 구리 배선의 기생 인덕턴스(Inductance) 및 커패시턴스(Capacitance)에 의한 신호 왜곡이 심화됩니다. CPO 내부의 미세한 배선 구조에서 발생하는 반사(Reflection), 크로스토크(Crosstalk), 그리고 감쇄(Attenuation)는 데이터 전송 속도를 저해하는 주요 요인입니다. 이를 해결하기 위해 리타이머(Retimer)나 DSP(Digital Signal Processor)의 비중을 줄이는 방향으로 설계되지만, 이는 역으로 패키지 설계 단계에서의 극도로 정밀한 SI 시뮬레이션과 검증을 요구합니다.

• **Power Integrity (PI) 이슈:** 고성능 스위치 칩은 급격한 부하 변동(Load Transient)을 일으키며, 이는 패키지 내 전압 강하(IR Drop)나 전원 노이즈(Power Noise)를 유발합니다. CPO 구조에서는 광학 소자와 전기적 소자가 전원을 공유하거나 인접해 있기 때문에, 전기적 노이즈가 광학적 신호로 전이되는 현상을 방지해야 합니다. 안정적인 전력 공급을 위한 디커플링 커패시터(Decoupling Capacitor)의 배치 및 고밀도 전력 전달 네트워크(PDN) 설계가 필수적입니다.

• **검사 및 측정의 난이도 상승:** CPO 패키징은 단순한 전기적 테스트를 넘어, 광학적 성능과 전기적 성능이 결합된 복합적인 검사 환경을 요구합니다. 특히 HBM4와 같은 차세대 메모리 기술이 CPO와 결합될 경우, 로직 다이와 메모리 다이 간의 인터페이스 검사 및 고속 신호 전달을 위한 Signal Integrity 검증은 양산 수율을 결정짓는 가장 높은 기술적 장벽이 될 것입니다. [출처: 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf]

[요약: CPO 패키징 기술 난제 비교]

구분	주요 현상 및 문제점	기술적 영향 (Impact)	핵심 요구 검사 기술
정렬 (Alignment)	미세 피치(Fine Pitch) 및 μm 단위 오차	광 손실(Optical Loss) 증가, 통신 불능	초고해상도 3D AOI, Hybrid Bonding 검사
열 관리 (Thermal)	열 밀도 상승 및 CTE 불일치	파장 드리프트(Wavelength Drift), Warpage	3D 프로파일링, Warpage/Tilt 측정 솔루션
신호/전력 (SI/PI)	고속 신호 왜곡 및 전압 강하(IR Drop)	데이터 에러율(BER) 상승, 전력 효율 저하	고속 신호 무결성 테스트, PDN 검증

표 5. 요약: CPO 패키징 기술 난제 비교

결론적으로, CPO 기술의 성공적인 구현은 단순히 광학 소자를 통합하는 것에 그치지 않고, '**정밀한 정렬 - 안정적인 열 제어 - 무결한 신호 전달**'이라는 세 가지 기술적 축을 패키징 공정 내에서 어떻게 완벽하게 제어하고 검증하느냐에 달려 있습니다. 이는 향후 반도체 검사 장비 시장이 단순 불량 검출을 넘어, 물리적 변형과 전기/광학적 특성을 동시에 분석할 수 있는 지능형 통합 솔루션으로 진화해야 함을 시사합니다.

크레셈(CRESSEM)의 핵심 역량 및 기술적 교두보

CPO(Co-Packaged Optics, 공동 패키지 광학) 기술의 부상은 단순히 통신 방식의 변화를 넘어, 반도체 패키징의 복잡도가 극도로 높아지는 패러다임의 전환을 의미합니다. 광학 소자(Photonics)와 전기적 스위치 칩(Electronic Switch Chip)을 하나의 패키지 기판 내에 통합해야 하는 CPO 공정은 기존의 고밀도 기판 검사 기술을 기반으로 하되, 훨씬 높은 수준의 정밀도를 요구합니다. 크레셈(CRESSEM)은 이미 FC-BGA(Flip Chip Ball Grid Array) 및 2.5D/3D 패키징 검사 분야에서 축적한 고도의 광학 및 AI 비전 기술을 보유하고 있으며, 이는 CPO 시장 진입을 위한 강력한 기술적 교두보(Technological Bridgehead) 역할을 수행합니다.

1. 기존 고밀도 패키징 검사 기술과 CPO 기술의 기술적 연계성

CPO는 본질적으로 광학 인터페이스와 고성능 반도체 로직이 결합된 '**초고밀도 이종 집적(Heterogeneous Integration)**'의 결정체입니다. 크레셈이 기존에 주력해 온 FC-BGA 및 2.5D 기판 검사 기술은 CPO가 직면한 핵심 난제들을 해결할 수 있는 기술적 자산을 포함하고 있습니다.

첫째, **기판 및 인터포저(Interposer) 검사 역량의 확장**입니다. CPO 구조에서는 광학 엔진과 전기적 칩을 연결하기 위해 매우 정밀한 인터포저 기술이 사용됩니다. 크레셈은 2.5D 패키징 및 CoWoS(Chip on Wafer on Substrate) 공정 대응을 통해 축적한 Interposer 및 Substrate 검사 기술을 보유하고 있으며, 이는 CPO 패키지 내부의 복잡한

배선 및 연결 상태를 검증하는 데 직접적으로 전용될 수 있습니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

둘째, **미세 피치(Fine Pitch) 및 정렬(Alignment) 제어 기술**입니다. CPO는 광학 소자와 전기 칩 사이의 물리적 거리를 최소화해야 하므로, 기존의 플러그블(Pluggable) 방식보다 훨씬 미세한 수준의 정렬 정밀도를 요구합니다. 크레셈은 이미 FC-BGA의 Micro Bump 및 Ball 검사를 통해 수백 나노미터(nm) 단위의 해상도를 다루어 왔으며, 이러한 고정밀 스테이지 제어 및 정렬 기술은 CPO의 광학-전기 인터페이스 정밀 검사에 핵심적인 기반이 됩니다 [출처: 기업 분석 보고서 (주)크레셈 (CRESSEM): 차세대 반도체 패키징 검사 솔루션의 선두주자].

셋째, **열 및 물리적 변형(Warpage) 관리 기술**입니다. CPO는 칩의 밀도가 극도로 높아짐에 따라 발생하는 열 밀도 상승과 그로 인한 기판의 휨(Warpage) 현상이 신호 무결성(SI)에 치명적인 영향을 미칩니다. 크레셈은 고단 적층 구조에서 발생하는 Warpage 및 Tilt를 측정하고 보정하는 3D 프로파일링 기술을 보유하고 있어, CPO 패키징의 구조적 안정성을 검증하는 데 최적화되어 있습니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

2. CPO 검사 시장을 선점할 3대 핵심 기술 역량

크레셈은 CPO 검사 장비의 요구 사양을 충족하기 위해 다음과 같은 세 가지 핵심 기술 축을 중심으로 기술적 우위를 확보하고 있습니다.

2.1. 초고해상도 광학 검사 (Sub-micron Optical Inspection)

CPO 패키징 내에서 발생하는 미세한 이물질(Particle), 접합부의 Void, 혹은 광학적 정렬 오차를 검출하기 위해서는 기존의 일반적인 AOI(Automated Optical Inspection)를 뛰어넘는 기술이 필요합니다.

- **Sub-micron Resolution 구현:** 크레셈은 수백 나노미터(nm) 단위의 해상도를 구현하는 고성능 광학계 설계 능력을 보유하고 있습니다. 이는 CPO의 핵심인 광학-전기 접합부의 미세 간극 및 결함을 식별하는 데 필수적입니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].
- **고속 광학 엔진:** 고해상도 카메라와 정밀 조명 제어 기술을 결합하여, 검사 해상도를 높이면서도 생산 라인의 Tact Time(생산 주기)을 극대화할 수 있는 하드웨어 통합 설계 능력을 갖추고 있습니다 [출처: 기업 분석 보고서 (주)크레셈 (CRESSEM): 차세대 반도체 패키징 검사 솔루션의 선두주자].

2.2. AI 기반 지능형 비전 솔루션 (AI-Driven Machine Vision)

CPO는 데이터 전송량이 폭증하는 만큼 검사해야 할 데이터의 양과 패턴의 복잡성 또한 기하급수적으로 증가합니다. 단순한 Rule-base 방식으로는 과검(Over-kill)을 줄이고 검사 속도를 확보하기 어렵습니다.

- **Deep Learning 기반 결함 분류:** 크레셈의 AI 알고리즘은 복잡한 패턴 내에서 미세한 Bridge, Open, Missing Bump 등을 실시간으로 판별합니다. 특히, 정상적인 노이즈와 실제 불량(Defect)을 정밀하게 구분하여 과검률을 획기적으로 낮추고 수율(Yield)을 보장하는 핵심 역할을 합니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].
- **데이터 통합 및 역추적(Feedback) 시스템:** 검사 데이터를 단순히 불량 판정에 쓰는 것을 넘어, 전공정(Fab)이나 패키징 공정의 결함 원인을 역추적(Root Cause Analysis)할 수 있는 데이터 분석 플랫폼을 장비에 통합하여 고객사의 수율 개선에 직접적으로 기여합니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

2.3. 이종 집적(Heterogeneous Integration) 대응 및 검사 자동화

CPO는 로직 다이, 광학 다이, HBM 등이 결합되는 복합 구조입니다.

- **다차원 검사 역량:** 크레셈은 2D/3D AOI 기술을 결합하여 표면의 미세 결함뿐만 아니라, 적층 구조 내부의 물리적 변형과 정렬 상태를 입체적으로 분석할 수 있는 기술력을 보유하고 있습니다.

- **맞춤형 모듈화 설계:** CPO는 제조사(NVIDIA, Broadcom 등)와 패키징 업체(TSMC 등)의 공정 방식에 따라 구조가 상이할 수 있습니다. 크레셈은 고객사의 특정 공정(예: CoWoS 기반 CPO 구성)에 최적화된 맞춤형 검사 모듈을 신속하게 공급할 수 있는 모듈형 장비 설계 역량을 갖추고 있습니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

3. 기술 역량 비교 분석: 기존 검사 vs CPO 검사

크레셈의 기술이 어떻게 진화하여 CPO 시장에 대응하는지를 아래 표를 통해 요약합니다.

구분	기존 High-Density 검사 (FC-BGA/2.5D)	차세대 CPO 검사 (Co-Packaged Optics)	크레셈의 대응 및 확장 방향
주요 대상	Micro Bump, Substrate Pattern	Optical-Electrical Interface, Silicon Photonics	이종 집적 검사 기술의 고도화
해상도 요구사항	Micron (μm) 단위 중심	Sub-micron (μm 이하) 및 Nano 단위	초고해상도 광학 엔진 및 AOI 고도화
핵심 난제	패턴 단선/단락, 솔더 볼 결함	광학 정렬(Alignment), 열 관리, 신호 무결성	3D 프로파일링 및 AI 기반 정렬 검사
데이터 처리	Rule-base 기반 정적 검사	AI 기반 동적/지능형 결함 분류	Deep Learning 기반 실시간 결함 판별
구조적 특성	평면적/적층형 기판 검사	광학 소자-칩 통합형 3D 구조	Warp/Tilt 보정 및 3D 통합 검사

표 6. 기술 역량 비교 분석: 기존 검사 vs CPO 검사

4. 소결: 기술적 우위를 통한 시장 지배력 확보

결론적으로, 크레셈은 CPO가 요구하는 '**초정밀(Sub-micron)**', '**지능형(AI-driven)**', '**복합 구조(Heterogeneous)**'라는 세 가지 핵심 요구사항을 관통하는 기술적 토대를 이미 구축하고 있습니다. 기존의 고난도 기판 검사 시장에서 검증된 광학 및 AI 비전 기술은 CPO라는 새로운 기술 패러다임 변화를 맞이하여, 단순한 검사 장비를 넘어 고객사의 수율을 책임지는 '**고부가가치 솔루션 파트너**'로 도약할 수 있는 결정적 기회를 제공합니다 [출처: 기업 분석 보고서 (주)크레셈 (CRESSEM): 차세대 반도체 패키징 검사 솔루션의 선두주자].

전략적 사업 기리: CPO 전용 검사 솔루션 개발 로드맵

CPO(Co-Packaged Optics, 공동 패키징 광학) 기술의 도입은 반도체 패키징의 패러다임을 전기적 연결에서 광학적 연결로 전환하는 거대한 변화를 의미합니다. 이는 단순히 인터커넥트(Interconnect) 방식의 변화를 넘어, 광학 소자(Photonics)와 전기적 스위치 칩(Switch ASIC)이 하나의 패키지 내에 초밀도로 통합되는 것을 의미하므로, 기존의 검사 방식으로는 대응할 수 없는 새로운 차원의 기술적 요구사항을 발생시킵니다. 크레셈(CRESSEM)은 기존에 확보한 고정밀 광학 검사 기술과 AI 비전 알고리즘을 기반으로, CPO 공정의 핵심 난제를 해결하는 '**CPO 전용 검사 솔루션**'을 단계별로 개발하여 시장을 선점해야 합니다.

1. 단계별 기술 대응 전략: Hybrid Bonding 및 광학 인터페이스 검사

CPO 기술이 고도화됨에 따라 검사 기술 또한 단순한 불량 검출을 넘어, 패키징 내부의 물리적·광학적 무결성을 보장하는 방향으로 진화해야 합니다. 크레셈의 로드맵은 크게 세 가지 단계로 구분됩니다.

[Step 1] 초정밀 Hybrid Bonding(하이브리드 본딩) 검사 기술 확보

CPO의 핵심은 광학 엔진과 전기적 칩 간의 극도로 미세한 연결입니다. 차세대 CPO 패키징에서는 기존의 Bump(범프) 방식 대신 구리와 구리를 직접 접합하는 Hybrid Bonding(Cu-to-Cu) 기술이 도입될 것으로 예상됩니다. 이 공정은 기존 방식보다 훨씬 미세한 정렬(Alignment) 정밀도를 요구합니다.

- **핵심 과제:** 접합부의 미세 간극(Gap) 측정, 이물질(Particle) 검출, 그리고 Cu-to-Cu 접합면의 정렬 오차(Misalignment)를 수백 나노미터(nm) 단위로 제어하는 초고해상도 3D AOI(Automated Optical Inspection) 솔루션 개발이 필수적입니다.
- **기술적 목표:** Sub-micron급 해상도를 구현하여 접합부의 Void(공극) 및 미세 정렬 불량을 실시간으로 판별하는 기술을 선점해야 합니다.

[Step 2] 광학-전기 통합 패키지(Optical-Electrical Integration) 검사 고도화

CPO는 광학 소자(PIC, Silicon Photonics)와 전기적 구동 칩(EIC, Electronic IC)이 동일한 기판 위에 배치됩니다. 이 과정에서 발생하는 이종 집적(Heterogeneous Integration) 이슈를 해결해야 합니다.

- **핵심 과제:** 광학 입출력 단자(Optical I/O)의 물리적 위치 정확도 검사, 광섬유(Fiber)와 광학 칩 간의 커플링(Coupling) 효율을 저해하는 패키징 변형(Warpage) 측정, 그리고 신호 무결성(SI) 및 전력 무결성(PI)을 보장하기 위한 전기적 특성 검사가 통합되어야 합니다.
- **기술적 목표:** 2.5D/3D 패키징 구조 내에서 발생하는 Die-to-Die 간 정렬 및 Interposer(인터포저)의 복잡한 회로 패턴을 검사할 수 있는 통합 모듈을 구축합니다.

[Step 3] AI 기반 Yield Improvement(수율 개선) 및 데이터 분석 플랫폼 통합

CPO 패키징은 구조가 복잡하고 공정 단계가 많아 불량 발생 시 전체 스택을 폐기해야 하는 리스크가 매우 큽니다. 따라서 검사 데이터는 단순히 '양불 판정'에 그치지 않고, 공정 피드백(Feedback)의 핵심 자산이 되어야 합니다.

- **핵심 과제:** 딥러닝(Deep Learning) 알고리즘을 활용하여 정상적인 광학적 노이즈와 실제 결함을 구분함으로써 과검(Over-kill)률을 낮추고, 검사 데이터를 분석하여 전공정(Fab) 및 패키징 공정의 결함 원인을 역추적(Root Cause Analysis)하는 기능을 구현해야 합니다.
- **기술적 목표:** 고객사의 수율(Yield) 개선에 직접적으로 기여하는 AI-Driven 스마트 검사 플랫폼을 제공하여 장비의 교체 주기를 단축시키고 고객 락인(Lock-in) 효과를 극대화합니다.

2. 맞춤형 모듈화(Customized Module) 공급 전략

CPO 시장은 표준화된 제품보다는 제조사(Broadcom, NVIDIA 등) 및 패키징 업체(TSMC 등)의 공정 방식에 따라 매우 파편화된 특성을 보입니다. 크레셈은 기성 제품(Off-the-shelf)이 아닌, 고객사의 특정 공정에 최적화된 Customized Inspection System을 공급하는 전략을 취해야 합니다.

구분	기존 기판 검사 (FC-BGA/2.5D)	차세대 CPO 전용 검사	전략적 전환 방향
주요 대상	Micro Bump, 회로 패턴	Hybrid Bonding, 광학 인터페이스	미세 피치 대응력 강화
검사 차원	2D/2.5D 패턴 및 높이	3D 프로파일링 및 광학 정렬	초정밀 3D AOI 고도화
핵심 지표	패턴 단선/단락, 이물질	정렬 오차, 접합부 Void, SI/PI	물리적+광학적 무결성 통합
데이터 활용	단순 불량 통계	공정 역추적 및 수율 최적화	AI 기반 Root Cause 분석

표 7. 맞춤형 모듈화(Customized Module) 공급 전략

3. 전략적 기술 로드맵 요약

크레셈의 최종 목표는 CPO 패키징 공정의 모든 단계에서 발생하는 물리적, 광학적 난제를 해결하는 'Total Inspection Solution Provider'로 도약하는 것입니다. 이를 위해 하이브리드 본딩 대응 기술력을 확보하고, 이를 AI 비전 솔루션과 결합하여 고객사의 수율을 극대화하는 가치 제안(Value Proposition)을 완성해야 합니다.

CPO 검사 솔루션 핵심 역량 및 과제 매트릭스

	초정밀 AOI	AI 알고리즘	데이터 통합	고객 맞춤형
Hybrid Bonding 검사	● 핵심	○	○	○
광학/전기 통합 검사	○	● 핵심	○	○
AI 수율 분석	○	● 핵심	● 핵심	○
Customized 모듈화	○	○	○	● 핵심

Cressem · 결정론 렌더

그림 3. CPO 검사 솔루션 핵심 역량 및 과제 매트릭스

결론 및 시사점

AI 인프라의 폭발적인 성장과 함께 데이터센터 내 전력 소모 및 신호 손실 문제를 해결할 핵심 열쇠로 공동 패키지 광학(CPO, Co-Packaged Optics) 기술이 부상하고 있습니다. 기존의 구리(Copper) 기반 전기 신호 전송 방식은 대역폭 확장과 전력 효율 측면에서 물리적 임계점에 도달하였으며, 이를 극복하기 위한 CPO로의 패러다임 전환은 거스를 수 없는 흐름입니다. 본 보고서에서 분석한 기술적 난제와 시장 동향을 바탕으로, 크레셈(CRESSEM)이 차세대 광 I/O 시장의 주도권을 확보하기 위한 전략적 제언을 다음과 같이 요약합니다.

1. 기술적 리더십 확보를 위한 검사 패러다임의 전환 (Market Leadership)

CPO 기술은 광학 소자(Photonics)와 반도체 스위치 칩을 하나의 패키지 기판에 통합하는 고도의 첨단 패키징 기술을 요구합니다. 특히 Hybrid Bonding(하이브리드 본딩)과 같은 미세 접합 공정이 도입됨에 따라, 기존의 Bump 방식보다 훨씬 높은 수준의 정렬(Alignment) 정밀도와 이물질(Particle) 검출 능력이 요구됩니다. 크레셈은 이미 보유하고 있는 고해상도 3D AOI(Automated Optical Inspection) 기술과 AI 비전 알고리즘을 결합하여, CPO 특유의 미세 피치(Fine Pitch) 정렬 오차와 접합부 Void를 실시간으로 판별할 수 있는 초정밀 검사 솔루션을 선제적으로 확보해야 합니다.

2. 전략적 로드맵 기반의 사업 영역 확장 (Strategic Roadmap)

크레셈의 성장은 기존의 강점인 FC-BGA 및 2.5D 기판 검사 기술을 CPO라는 고부가가치 영역으로 얼마나 유기적으로 전이시키느냐에 달려 있습니다. 이를 위해 다음과 같은 단계적 접근이 필요합니다.

단계	핵심 목표	주요 기술 요소
----	-------	----------

Phase 1: 기술 전이	기존 2.5D/3D 패키징 검사 역량의 고도화	고정밀 스테이지 제어, Warpage(휨) 및 Tilt 측정 기술
Phase 2: 솔루션 특화	CPO 전용 광학 인터페이스 검사 모듈 개발	Sub-micron 급 해상도 광학계, Hybrid Bonding 전용 검사 솔루션
Phase 3: 플랫폼 통합	AI 기반 스마트 팩토리 검사 솔루션 완성	실시간 결함 분류(Deep Learning), 공정 피드백(Root Cause Analysis) 데이터 플랫폼

표 8. 결론 및 시사점

3. 종합 제언

CPO 시장은 단순한 부품의 교체가 아닌, 데이터센터 설계 구조 자체를 변화시키는 거대한 전환점입니다. 크레셈은 단순한 검사 장비 공급사를 넘어, 고객사의 수율(Yield)을 극대화하고 공정 안정성을 보장하는 '데이터 기반 수율 관리 파트너'로 진화해야 합니다. AI 기반의 실시간 결함 검출 시스템과 고객 맞춤형 모듈화 장비 공급 전략을 결합한다면, 크레셈은 차세대 AI 반도체 공급망 내에서 대체 불가능한 핵심 검사 솔루션 기업으로 도약할 것입니다.

참고 자료

1. [Cpo 기술 동향 및 국내외 기업 분석 :: 투자연구소 테크센터](<https://engineering-ladder.tistory.com/178>)
2. [2026.03 Cpo (공동패키지광학) - Ai 데이터센터의 차세대 광통신 ...](<https://kai-search.tistory.com/46>)
3. [공동 패키지형 광학 (CPO) 기술동향 및 시장 전망 2025-2035 - IDTechEx](<https://www.idtechex.com/ko/research-report/co-packaged-optics/1019>)
4. [구리선의 한계와 반도체의 새로운 돌파구, Cpo 기술 심층 분석](<https://alchonomics.com/cpo-semiconductor-optical-packaging-ai/>)
5. [Co-Packaged Optics Market Size, Share and Growth Analysis](<https://www.marketsandmarkets.com/Market-Reports/co-packaged-optics-market-28874835.html>)
6. [Co-Packaged Optics (CPO) Market Size to Hit USD 1,055.11 Million by 2034](<https://www.precedenceresearch.com/co-packaged-optics-market>)
7. [Co Packaged Optics Market Report: Size, Growth, Trends & Forecast (2025-2033)](<https://www.verifiedmarketresearch.com/product/co-packaged-optics-market/>)
8. [Co-Packaged Optics - Global Market Share and Ranking, Overall Sales and Demand ...](<https://www.qyresearch.com/reports/4702623/co-packaged-optics>)
9. ["차보다 충전이 돈된다"...커지는 전기차 인프라 시장에 lpo ...](<https://www.edaily.co.kr/News/Read?newsId=02745366645382008>)
10. [전기차 충전업계의 생존게임...캐즘의 늪에서 활로를 찾아라 ...](<https://www.electimes.com/news/articleView.html?idxno=348775>)
11. [전기차 충전 시장 냉각기, 충전 업계 희비 엇갈려](<https://www.electimes.com/news/articleView.html?idxno=354538>)
12. ["차보다 충전이 돈된다"...커지는 전기차 인프라 시장에 lpo ...](<https://marketin.edaily.co.kr/News/ReadE?newsId=02745366645382008>)

13. 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf (사내 자료)
14. 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf (사내 자료)
15. 분석_크레셈CRESSEM20260509001.pdf (사내 자료)
16. pdf_인하대학교컴퓨터공학과배승환20260509001.pdf (사내 자료)
17. ProfessorSeungHwanBaeReport.pdf (사내 자료)