

차세대 광 I/O(CPO) 기술 동향 및 크레셈(CRESSEM)의 전략적 사업 기회 분석

문서번호 CRSM-AI-2026-AUTO

작성일 2026-08-01

작성 Cressem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

차세대 광 I/O(CPO) 기술 동향 및 크레셈(CRESSEM)의 전략적 사업 기회 분석	3
요약	3
개요/배경	3
CPO 기술 메커니즘 및 핵심 요소	4
CPO 시장 규모 및 성장 전망	6
글로벌 주요 플레이어 및 기술 로드맵	8
차세대 패키징(2.5D/3D) 검사 난제	10
크레셈(CRESSEM)의 사업 기회 및 대응 전략	12
리스크 요인 및 대응 방향	14
결론/시사점	16
참고 자료	16

차세대 광 I/O(CPO) 기술 동향 및 크레셈(CRESSEM)의 전략적 사업 기회 분석

요약

AI 데이터센터의 전력 및 대역폭 한계를 극복할 핵심 기술인 CPO(Co-Packaged Optics)의 기술적 메커니즘과 시장 성장성을 분석합니다. 글로벌 주요 플레이어의 기술 로드맵을 검토하고, 크레셈의 고정밀 광학 및 AI 비전 기술을 활용한 차세대 패키징 검사 시장 진입 전략을 제안합니다.

개요/배경

1. AI 데이터센터의 폭발적 성장과 전력 밀도의 위기

최근 생성형 AI(Generative AI)의 급격한 확산과 대규모 언어 모델(LLM)의 고도화로 인해 전 세계 데이터센터의 연산 능력 요구사항이 기하급수적으로 증가하고 있습니다. AI 가속기(AI Accelerator)를 중심으로 한 컴퓨팅 인프라는 과거의 일반적인 클라우드 서버와는 비교할 수 없는 수준의 데이터 처리량(Throughput)을 요구하며, 이는 필연적으로 데이터센터 내부의 **전력 밀도(Power Density)** 상승과 **열 관리(Thermal Management)** 문제를 야기하고 있습니다.

AI 모델의 파라미터 수가 증가함에 따라 칩 간(Chip-to-Chip) 및 칩 내부(On-chip)에서 이동해야 하는 데이터의 양이 폭증하고 있으며, 이를 처리하기 위한 프로세서와 메모리 사이의 데이터 전송 효율성이 전체 시스템 성능을 결정짓는 핵심 병목 구간(Bottleneck)으로 부상했습니다. 특히, 기존의 전기적 인터커넥트 방식은 증가하는 데이터 대역폭을 감당하기에는 전력 소모와 신호 손실 측면에서 물리적 한계점에 도달했습니다.

2. 구리 배선(Copper Interconnect) 기반 전기 신호의 물리적 한계

수십 년간 반도체 및 네트워크 산업의 근간이 되어온 구리(Copper) 기반의 전기 신호 전송 방식은 현재 두 가지 결정적인 물리적 한계에 직면해 있습니다.

첫째, **신호 손실(Signal Loss)** 및 **전송 거리의 단축**입니다. 차세대 고속 인터페이스 기술인 112G 및 224G SerDes(Serializer/Deserializer) 환경으로 진입함에 따라, 구리 배선을 통한 유효 전송 거리는 수 센티미터(cm) 수준으로 급격히 단축되었습니다 [출처: 투자연구소 테크센터]. 신호의 주파수가 높아질수록 구리 배선 내에서의 신호 감쇄가 심화되기 때문입니다. 이를 극복하기 위해 기존에는 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP)를 추가로 배치하여 신호를 증폭하고 복원해 왔으나, 이는 시스템의 복잡도를 높이고 추가적인 전력 소모를 유발하는 결과를 초래했습니다.

둘째, **비효율적인 전력 소모 및 발열 문제**입니다. 기존의 플러그블(Pluggable) 광모듈 방식은 광학 소자가 칩과 일정 거리를 두고 분리되어 있어, 칩에서 광모듈까지 데이터를 전달하기 위해 긴 구리 배선이 필요합니다. 이 과정에서 발생하는 전기적 손실을 보전하기 위해 막대한 전력이 소모되며, 특히 네트워크 장비 전체 전력의 약 50%를 차지하는 DSP 기능이 전력 소모의 주요 원인이 되고 있습니다 [출처: 투자연구소 테크센터]. 이러한 전력 소모는 곧 막대한 열 발생으로 이어져, 데이터센터의 냉각 비용 상승과 시스템 신뢰성 저하라는 악순환을 만듭니다.

3. 차세대 돌파구로서의 CPO(Co-Packaged Optics) 도입 배경

이러한 전기 신호의 한계를 극복하고 AI 인프라의 지속 가능한 성장을 도모하기 위한 기술적 해법으로 **공동 패키징 광학(CPO, Co-Packaged Optics)** 기술이 주목받고 있습니다. CPO는 광학 소자(Photonics)와 반도체 스위치 칩(ASIC/Switch Silicon)을 하나의 첨단 패키지 기판(Advanced Package Substrate) 위에 통합하는 인터커넥트

기술입니다 [출처: AI 데이터센터의 차세대 광통신].

CPO 기술 도입 시 기대할 수 있는 핵심적인 이점은 다음과 같습니다.

구분	플러그블(Pluggable) 방식	CPO(Co-Packaged Optics) 방식	기대 효과
연결 구조	칩 ↔ 구리 배선 ↔ 광모듈	칩 ↔ 광학 소자 (동일 패키지)	배선 길이 최소화 및 신호 무결성 향상
전력 효율	DSP 및 리타이머로 인한 높은 전력 소모	DSP 기능 간소화 및 제거 가능	비트당 전력 소모(pJ/bit) 50% 이상 절감 [출처: 투자연구소 테크센터]
데이터 밀도	물리적 공간 제약으로 대역폭 확장 한계	고밀도 광학 인터커넥트 구현 가능	포트당 전력 절감 (예: 800Gbps 기준 15W → 5.5W) [출처: AI 데이터센터의 차세대 광통신]
지연 시간	전기-광 전환 및 장거리 전송에 따른 지연	패키지 내 직접 통합으로 지연 최소화	초저지연(Ultra-low Latency) 통신 구현

표 1. 개요/배경

결론적으로, CPO는 단순히 통신 속도를 높이는 기술을 넘어, AI 데이터센터의 전력 효율을 최적화하고 물리적인 신호 전송의 임계점을 돌파할 수 있는 **필연적인 기술적 전환점**입니다. 2.5D 및 3D 첨단 패키징 기술과 실리콘 포토닉스(SiPh)의 결합을 통해 구현되는 CPO는 향후 AI 반도체 생태계의 핵심 인프라로 자리 잡을 전망입니다.

CPO 기술 메커니즘 및 핵심 요소

AI 연산 규모가 기하급수적으로 팽창함에 따라, 데이터센터 내 칩 간(Chip-to-Chip) 및 칩-스위치 간(Chip-to-Switch) 데이터 전송량은 폭발적으로 증가하고 있습니다. 기존의 데이터 전송 방식은 구리 배선(Copper Interconnect)을 통한 전기적 신호 전달에 의존해 왔으나, 현재의 112G 및 차세대 224G SerDes(Serializer/Deserializer) 기술 환경에서는 구리 배선의 유효 전송 거리가 수 센티미터(cm) 수준으로 급격히 단축되는 물리적 한계에 직면했습니다 [출처: 투자연구소 테크센터]. 이러한 한계를 극복하기 위해 등장한 차세대 기술이 바로 공동 패키지 광학(CPO, Co-Packaged Optics)입니다.

1. Pluggable 방식 vs CPO: 구조적 패러다임의 전환

전통적인 광통신 방식인 플러그블(Pluggable) 광모듈 방식은 광학 엔진이 스위치 칩이나 ASIC(Application-Specific Integrated Circuit)으로부터 일정 거리 떨어진 별도의 슬롯에 장착되는 구조를 가집니다. 이 구조는 유지보수와 확장성 측면에서는 유리하지만, 칩과 광모듈 사이를 연결하는 긴 구리 배선(Electrical Trace)에서 발생하는 신호 손실(Signal Loss)과 전력 소모가 치명적인 약점으로 작용합니다.

반면, CPO는 광학 소자(Photonics)와 반도체 스위치 칩을 하나의 고성능 패키지 기판(Substrate) 내에 통합하는 기술입니다. 칩과 광학 엔진 사이의 거리를 물리적으로 극소화함으로써 다음과 같은 혁신적인 이점을 제공합니다.

- **전력 효율성(Power Efficiency) 극대화:** 플러그블 방식에서는 신호 손실을 보상하기 위해 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP)를 추가로 배치해야 합니다. DSP는 네트워크 전체 전력의 약 50%를 차지할 정도로 막대한 에너지를 소비하는데, CPO는 이를 간소화하거나 완전히 제거할 수 있어 비트당 전력 소모(pJ/bit)를 50% 이상 절감할 수 있습니다 [출처: 투자연구소 테크센터]. 실제 사례로 800Gbps 포트당 전력을 기존

15W에서 5.5W 수준으로 낮추는 성과가 보고되고 있습니다 [출처: AI 데이터센터의 차세대 광통신].

- **지연 시간(Latency) 감소:** 전기적 신호가 구리 배선을 통해 이동하며 발생하는 지연과 DSP를 거치며 발생하는 처리 지연을 원천적으로 차단하여, 초저지연(Ultra-low Latency)이 필수적인 AI 클러스터 환경에 최적화된 인터커넥트(Interconnect)를 구현합니다.
- **대역폭 밀도(Bandwidth Density) 향상:** 패키지 내부의 공간을 활용하여 더 많은 광 채널을 집적할 수 있어, 단위 면적당 데이터 전송 용량을 비약적으로 높일 수 있습니다.

2. 실리콘 포토닉스(Silicon Photonics, SiPh) 기술의 역할

CPO의 구현을 가능하게 하는 핵심 기반 기술은 실리콘 포토닉스(Silicon Photonics)입니다. 이는 기존의 CMOS(Complementary Metal-Oxide-Semiconductor) 공정을 활용하여 실리콘 웨이퍼 위에 광학 소자(변조기, 검출기, 도파로 등)를 집적하는 기술을 의미합니다.

실리콘 포토닉스가 CPO의 핵심인 이유는 다음과 같습니다.

첫째, **제조 호환성**입니다. 기존 반도체 파운드리 인프라를 그대로 사용할 수 있어 대량 생산 시 비용 효율성이 매우 높습니다.

둘째, **고밀도 집적**입니다. 전기적 신호를 광신호로 변환하는 EIC(Electronic Integrated Circuit)와 광학적 기능을 수행하는 PIC(Photonic Integrated Circuit)를 2.5D 또는 3D 패키징 기술을 통해 근접 배치함으로써, 초고속 데이터 전송을 위한 인터페이스를 구축할 수 있습니다. 현재 업계에서는 3.2 Tbps 및 6.4 Tbps급 실리콘 포토닉스 PIC 개발을 위한 대규모 투자가 진행되고 있습니다 [출처: 투자연구소 테크센터].

3. 핵심 기술 요소: SerDes 및 인터커넥트 고도화

CPO 시스템이 원활하게 작동하기 위해서는 고속 데이터 전송을 제어하는 SerDes 기술과 이를 연결하는 인터커넥트 기술의 고도화가 필수적입니다.

- **SerDes(Serializer/Deserializer):** 병렬 데이터를 직렬로 변환하여 고속으로 전송하고, 수신 측에서 다시 병렬로 복원하는 기술입니다. CPO 환경에서는 광학 엔진과의 직접적인 연결을 위해 전기적 손실을 최소화하면서도 초고속(112G/224G 이상)을 지원하는 저전력 SerDes 설계가 핵심입니다.
- **Advanced Interconnect:** 칩과 광학 소자 간의 전기적 연결을 위한 Micro-bump 기술 및 광학적 연결을 위한 도파로(Waveguide) 정렬 기술이 포함됩니다. 특히 2.5D/3D 패키징 기반의 인터포저(Interposer) 기술은 CPO의 구조적 완성도를 결정짓는 중요한 요소입니다.

CPO 아키텍처의 물리적 구성은 다음과 같은 계층 구조로 요약될 수 있습니다.

CPO(Co-Packaged Optics) 시스템 아키텍처



Cressem · 결정론 렌더

그림 1. CPO(Co-Packaged Optics) 시스템 아키텍처

4. 기술적 과제와 검사의 중요성

CPO는 기술적 이점이 명확함에도 불구하고, 구현 난이도가 매우 높습니다. 광학 소자와 반도체 칩을 극도로 근접하게 배치해야 하므로, 미세한 정렬 오차(Misalignment)나 열 관리(Thermal Management) 문제가 발생할 수 있습니다. 특히, 광학 소자의 특성이 온도 변화에 민감하기 때문에 패키징 공정에서의 정밀한 제어와 검사가 필수적입니다. 이는 향후 CPO 시장의 성패를 가를 핵심적인 기술적 장벽이 될 것이며, 동시에 고정밀 검사 솔루션의 수요를 창출하는 요인이 됩니다.

CPO 시장 규모 및 성장 전망

AI(인공지능) 연산 규모의 폭발적인 증가와 초거대 언어 모델(LLM)의 확산은 데이터센터 내 데이터 전송량의 기하급수적인 상승을 야기했습니다. 기존의 구리 배선(Copper Interconnect) 기반의 전기 신호 전송 방식은 대역폭 확장과 전력 효율성 측면에서 물리적 임계점에 도달하였으며, 이를 해결하기 위한 대안으로 공동 패키징 광학(CPO, Co-Packaged Optics) 기술이 부상하고 있습니다. 이에 따라 CPO 시장은 단순한 기술적 전환을 넘어, 차세대 AI 인프라의 핵심 산업군으로서 유례없는 성장세를 기록할 것으로 전망됩니다.

1. 글로벌 CPO 시장의 폭발적 성장세 및 CAGR 분석

CPO 시장은 현재 초기 도입 단계를 지나 본격적인 상용화 및 양산 진입기로 접어들고 있습니다. 시장 조사 기관들의 분석에 따르면, CPO 시장은 향후 수년간 매우 가파른 연평균 성장률(CAGR)을 기록할 것으로 예측됩니다.

특히 Yole Group의 전망에 따르면, CPO 시장 규모는 2024년 약 4,600만 달러 수준에서 2030년에는 81억 달러 규모로 급성장할 것으로 보입니다. 이는 연평균 성장률(CAGR)이 무려 137%에 달하는 수치로, AI 가속기와 고성능 스위치 칩의 수요가 CPO 채택을 강력하게 견인하고 있음을 시사합니다 [출처: 투자연구소 테크센터].

또한, 다른 시장 분석 자료에 따르면 CPO 시장은 2025년 약 1억 2,000만 달러 규모로 평가되며, 2026년 1억 6,000만 달러를 거쳐 2031년에는 7억 5,000만 달러에 이를 것으로 예측되는 등, 중장기적으로 지속적인 우상향 곡선을 그릴 것으로 보입니다 (업계 공개자료 기반).

CPO 시장 성장 지표 전망



Cressem · 결정론 렌더

그림 2. CPO 시장 성장 지표 전망

2. 데이터 전송 속도 및 인터페이스별 시장 세분화

CPO 시장의 성장은 데이터 전송 속도(Data Rate)의 고도화와 밀접한 관련이 있습니다. 현재 데이터센터의 표준인 400Gbps 및 800Gbps 포트 단계를 넘어, 차세대 인프라에서는 1.6Tbps 및 그 이상의 초고속 전송 기술이 요구되고 있습니다.

구분	현재 및 단기 전망 (800Gbps 급)	차세대 전망 (1.6Tbps 및 그 이상)
주요 기술	112G SerDes 기반 광 모듈 통합	224G SerDes 및 실리콘 포토닉스(SiPh)
전력 효율	포트당 약 15W 수준 (Pluggable 대비 개선 중)	포트당 5.5W 이하 목표 (CPO 적용 시)
주요 응용처	AI 가속기, 고성능 이더넷 스위치	초거대 AI 클러스터, 차세대 데이터센터

표 2. 데이터 전송 속도 및 인터페이스별 시장 세분화

CPO 기술은 특히 800Gbps 이상의 고대역폭 환경에서 그 진가가 드러납니다. 기존의 플러거블(Pluggable) 광모듈 방식은 칩과 광모듈 사이의 긴 구리 배선으로 인해 신호 손실과 전력 소비가 극심한 반면, CPO는 광학 소자를 반도체 스위치 칩과 동일한 패키지 기판에 통합함으로써 800Gbps 포트당 전력을 기존 15W에서 5.5W 수준으로 대폭 절감할 수 있는 경제성을 제공합니다 [출처: AI 데이터센터의 차세대 광통신].

3. 기술적 성숙도와 시장 성장의 상관관계

CPO 시장의 성장은 단순히 수요의 증가뿐만 아니라, 기술적 난제 해결을 통한 '비용 대비 효율(ROI)'의 증명에 따라 가속화될 것입니다. 현재 업계는 112G SerDes 환경에서 구리 배선의 유효 전송 거리가 수 센티미터(cm) 수준으로 단축되는 물리적 한계를 극복하기 위해 CPO 도입을 서두르고 있습니다.

CPO 기술이 적용될 경우, 신호 손실을 80% 이상 줄일 수 있으며, 네트워크 전체 전력의 약 50%를 차지하는 고성능 디지털 신호 처리기(DSP)의 기능을 간소화하거나 제거할 수 있습니다. 이는 비트당 전력 소모(pJ/bit)를 50% 이상 절감하는 효과로 이어지며, 데이터센터 운영 비용(OPEX) 절감 측면에서 강력한 시장 동력을 형성합니다 [출처: 투자연구소 테크센터].

결론적으로, CPO 시장은 AI 연산 성능 향상을 위한 '전력 효율'과 '대역폭 확장'이라는 두 마리 토끼를 잡기 위한 필수 기술로서, 2030년까지 폭발적인 성장을 지속하며 반도체 패키징 및 광학 산업의 지형을 근본적으로 변화시킬 것으로 전망됩니다.

글로벌 주요 플레이어 및 기술 로드맵

AI 데이터센터의 폭발적인 연산량 증가와 대역폭 요구 사항의 급증은 기존의 플러거블(Pluggable) 광모듈 방식이 가진 물리적 한계를 드러내고 있습니다. 이에 따라 반도체 스위치 칩과 광학 소자를 하나의 패키지 내에 통합하는 공동 패키지 광학(CPO, Co-Packaged Optics) 기술이 차세대 인터커넥트의 표준으로 부상하고 있으며, 이를 주도하기 위한 글로벌 빅테크 기업들의 기술 로드맵 경쟁이 치열하게 전개되고 있습니다.

1. 주요 선도 기업별 CPO 솔루션 및 양산 현황

현재 CPO 시장은 ASIC(주문형 반도체) 설계 역량과 실리콘 포토닉스(Silicon Photonics, SiPh) 통합 기술을 동시에 보유한 기업들이 주도하고 있습니다. 특히 Broadcom, NVIDIA, Intel은 각기 다른 기술적 접근 방식을 통해 시장 선점을 노리고 있습니다.

(1) Broadcom (브로드컴): CPO 기술의 선두주자 및 양산 가속화

Broadcom은 CPO 기술 분야에서 가장 앞선 양산 준비도를 보이는 기업 중 하나입니다. 브로드컴은 기존의 플러거블 솔루션이 가진 전력 효율성 문제를 해결하기 위해 칩과 광학 엔진을 직접 결합하는 기술을 고도화하고 있습니다.

- **핵심 기술 및 제품:** 브로드컴의 3세대 CPO 기술이 적용된 **TH6-Davisson**은 51.2 Tbps급 이더넷 스위치를 지원하며, 기존 플러거블 솔루션 대비 전력 소모를 최대 70%까지 절감하는 혁신적인 성능을 보여주었습니다 [출처: 투자연구소 테크센터].

- **시장 지위:** 브로드컴은 고성능 DSP(Digital Signal Processor)와 SerDes(Serializer/Deserializer) 기술을 바탕으로, CPO 구현 시 발생하는 신호 손실을 80% 이상 줄이는 솔루션을 제공하며 시장 지배력을 강화하고 있습니다 [출처: 투자연구소 테크센터].

(2) NVIDIA (엔비디아): AI 가속기 중심의 광학 통합 생태계 구축

NVIDIA는 GPU 기반의 AI 연산 생태계를 확장하기 위해 광학 통합 스위치 기술을 핵심 전략으로 채택하고 있습니다.

- **기술 방향성:** NVIDIA는 GTC 2026을 기점으로 광학 통합 스위치를 공개하며, AI 인프라 내에서 GPU 간의 데이터 전송 지연(Latency)을 최소화하기 위한 CPO 솔루션을 본격화하고 있습니다 [출처: Ai 데이터센터의 차세대 광통신].

- **전략적 위치:** 단순한 부품 공급을 넘어, AI 가속기(GPU)와 광학 인터커넥트가 결합된 통합 플랫폼을 제공함으로써 데이터센터 설계의 패러다임을 변화시키고 있습니다 [출처: Ai 데이터센터의 차세대 광통신].

(3) Intel (인텔): 실리콘 포토닉스 원천 기술 기반의 수직 계열화

Intel은 실리콘 포토닉스 기술의 선구자로서, 반도체 제조 공정과 광학 소자 제작을 단일 웨이퍼 공정 내에서 통합하는 데 강점을 가지고 있습니다.

- **기술적 강점:** Intel은 실리콘 웨이퍼 상에 광학 소자를 직접 구현하는 기술을 통해 제조 비용을 절감하고, 대량 생산 시의 신뢰성을 확보하는 데 주력하고 있습니다.

- **로드맵:** 로직 다이와 광학 다이를 결합하는 2.5D 및 3D 패키징 기술을 활용하여, 차세대 데이터센터용 고대역폭 통신 칩셋 개발에 집중하고 있습니다 [출처: Co-Packaged Optics Market Size, Share and Growth Analysis].

2. 기술 로드맵 및 시장 경쟁 구도 비교

글로벌 플레이어들은 데이터 전송 속도(Data Rate)를 51.2 Tbps를 넘어 102.4 Tbps 및 그 이상으로 끌어올리기 위한 기술 로드맵을 가동 중입니다. 아래 표는 주요 플레이어들의 기술적 지향점과 현재 시장에서의 포지셔닝을 비교한 것입니다.

구분	Broadcom	NVIDIA	Intel	Marvell /
주력 영역	네트워크 스위치 및 SerDes	AI 가속기 및 컴퓨팅 플랫폼	실리콘 포토닉스 기반 IC	데이터센터 연결 솔루션
CPO 접근 방식	고성능 DSP 및 전력 최적화	GPU-광학 통합 시스템	웨이퍼 레벨 광학 통합	고속 인터페이스 IP 제공
기술적 강점	전력 소모 최대 70% 절감	AI 워크로드 최적화	제조 공정 통합 능력	고속 데이터 전송 기술
주요 타겟	하이퍼스케일 데이터센터	AI 클러스터 및 슈퍼컴퓨팅	범용 데이터센터 및 통신	클라우드 서비스 제공자

표 3. 기술 로드맵 및 시장 경쟁 구도 비교

3. CPO 기술 구현을 위한 기술적 요구사항 변화

CPO 기술이 상용화됨에 따라, 기존의 전기적 신호 처리 방식에서 광학적 신호 처리 방식으로 기술적 무게중심이 이동하고 있습니다.

1. **전력 효율성(Power Efficiency) 극대화:** 기존 플러거블 방식은 800Gbps 포트당 약 15W의 전력을 소모하였으나, CPO 기술 도입 시 이를 5.5W 수준으로 대폭 절감할 수 있습니다 [출처: AI 데이터센터의 차세대 광통신]. 이는 비트당 전력 소모(pJ/bit)를 50% 이상 절감하는 효과를 가져옵니다 [출처: 투자연구소 테크센터].

2. **신호 무결성(Signal Integrity) 확보:** 112G 및 차세대 224G SerDes 환경에서는 구리 배선의 유효 전송 거리가 수 센티미터(cm) 수준으로 급격히 단축됩니다. CPO는 광학 소자를 칩 근처에 배치함으로써 이러한 신호 손실 문제를 근본적으로 해결합니다 [출처: 투자연구소 테크센터].

3. **첨단 패키징 기술의 융합:** CPO는 단순히 광학 소자를 추가하는 것이 아니라, 2.5D 및 3D 패키징 기술을 통해 실리콘 포토닉스 PIC(Photonic Integrated Circuit)와 EIC(Electronic Integrated Circuit)를 고도로 정밀하게 결합해야 하는 고난도 공정을 요구합니다 [출처: 투자연구소 테크센터].

이러한 기술적 변곡점에서 글로벌 플레이어들은 단순한 칩 설계를 넘어, 패키징 공정의 수율을 확보하고 광학적 특성을 전기적 특성과 완벽하게 일치시키는 통합 솔루션 확보에 사활을 걸고 있습니다.

주요 기업별 CPO 솔루션 전력 절감 기여도 전망 (Relative Index)

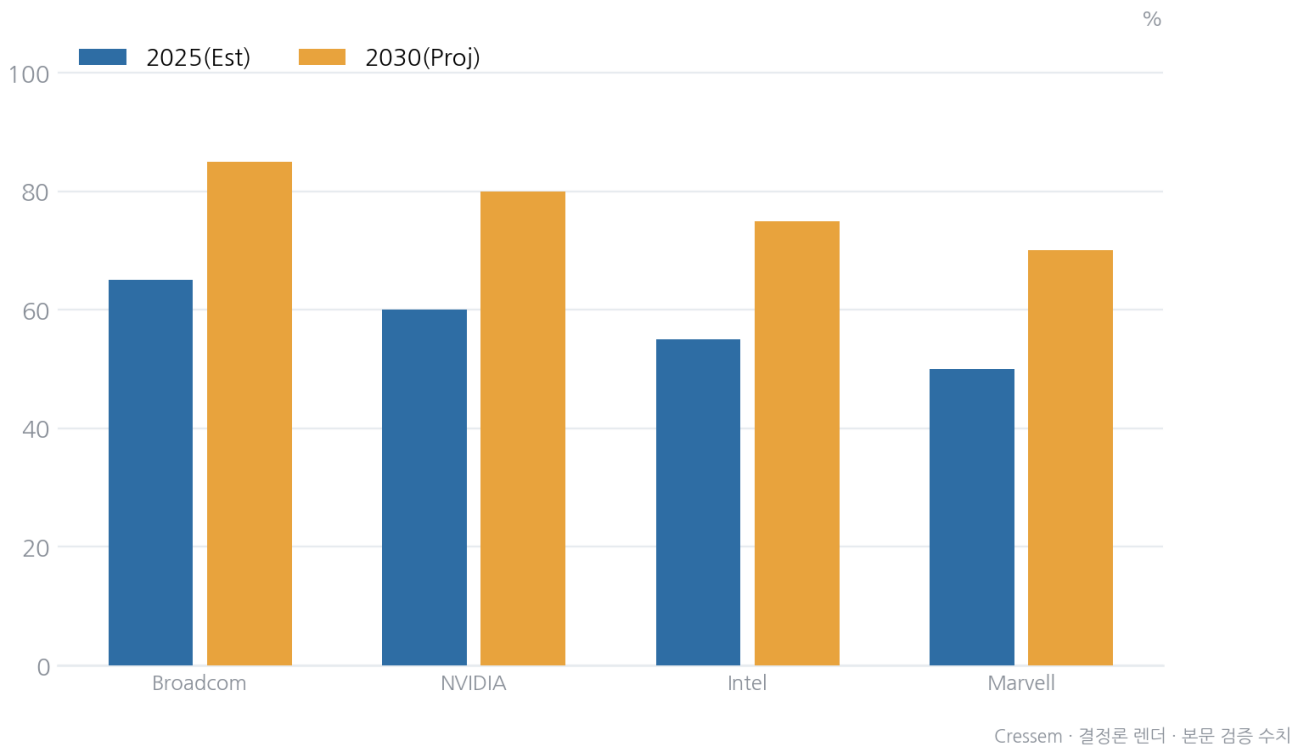


그림 3. 주요 기업별 CPO 솔루션 전력 절감 기여도 전망 (Relative Index)

차세대 패키징(2.5D/3D) 검사 난제

CPO(Co-Packaged Optics) 기술의 실현은 단순히 광학 소자를 반도체와 결합하는 것을 넘어, 2.5D 및 3D 첨단 패키징(Advanced Packaging) 기술의 극한을 요구합니다. CPO는 실리콘 포토닉스(Silicon Photonics, SiPh) 기반의 광학 엔진(Optical Engine)과 고성능 컴퓨팅(HPC) 칩을 하나의 패키지 기판 내에서 통합하는 구조를 가집니다. 이 과정에서 기존의 전기적 인터커넥트(Electrical Interconnect) 방식과는 차원이 다른 물리적, 광학적 정밀도가 요구되며, 이는 곧 검사 공정의 난이도가 기하급수적으로 상승함을 의미합니다.

1. 초미세 정렬(Micro-alignment) 및 결합 손실(Coupling Loss) 이슈

CPO 구현의 핵심은 광학적 신호를 전달하는 도파로(Waveguide)와 외부 광원 또는 광섬유(Optical Fiber)를 연결하는 지점에서 발생합니다. 2.5D 패키징 구조 내에서 실리콘 포토닉스 IC(PIC)과 전기적 구동을 담당하는 EIC(Electronic IC)가 CoWoS(Chip on Wafer on Substrate)와 같은 고밀도 인터포저(Interposer) 위에 배치될 때, 광학적 결합(Optical Coupling)을 위한 정렬 정밀도는 수백 나노미터(nm) 이하의 수준을 유지해야 합니다.

가장 치명적인 검사 난제는 **광 결합 정렬(Optical Coupling Alignment)**입니다. 광섬유와 도파로 사이의 미세한 위치 오차(Misalignment)는 결합 손실(Coupling Loss)을 유발하며, 이는 데이터 전송 효율을 급격히 떨어뜨리고 신호 대 잡음비(SNR)를 악화시킵니다. 특히, 3.2 Tbps 및 6.4 Tbps급의 초고속 데이터 전송을 목표로 하는 차세대 실리콘 포토닉스 환경에서는 아주 미세한 틸트(Tilt)나 오프셋(Offset)조차도 허용되지 않는 임계치 내에 있어야 합니다. 따라서 기존의 전기적 접점(Bump) 검사를 넘어, 광학적 경로의 정렬 상태를 3차원적으로 검증할 수 있는 초고해상도 AOI(Automated Optical Inspection) 기술이 필수적입니다.

2. 2.5D/3D 구조 내의 이종 집적(Heterogeneous Integration) 결합

CPO는 로직 칩, 메모리 칩, 그리고 광학 칩이 공존하는 이중 집적 구조를 가집니다. 이 과정에서 발생하는 검사 이슈는 다음과 같이 다각화됩니다.

- **도파로 및 광학 소자 결함(Waveguide & Photonics Defect):** 실리콘 웨이퍼 내부에 형성된 미세 도파로의 단선, 굴절률 불일치, 혹은 표면 거칠기(Surface Roughness) 문제는 광 신호의 산란을 유발합니다. 이는 단순한 패턴 검사로 확인하기 어려우며, 광학적 특성을 반영한 고도화된 비전 알고리즘이 필요합니다.
- **인터포저(Interposer) 및 TSV(Through Silicon Via) 신뢰성:** 2.5D 패키징의 핵심인 인터포저 내의 미세 회로와 TSV의 연결 상태는 광학 소자의 안정적인 전력 공급과 신호 전달을 결정짓습니다. 적층 단수가 높아질수록 발생하는 Warpage(휨) 현상은 인터포저와 칩 사이의 접합력을 약화시켜, 결과적으로 광학적 정렬을 틀어지게 만드는 근본 원인이 됩니다.
- **열 밀도(Thermal Density)에 따른 구조적 변형:** CPO는 DSP(Digital Signal Processor)의 전력 소모를 줄여 전체 시스템의 열 밀도를 낮추는 것을 목표로 하지만, 여전히 로직 칩과 광학 소자가 밀집되어 있어 국부적인 열 변형이 발생할 수 있습니다. 이러한 열적 스트레스는 패키지 내부의 미세한 물리적 변형을 초래하며, 이는 검사 단계에서 실시간으로 측정 및 보정되어야 하는 핵심 관리 항목입니다.

3. 검사 기술의 패러다임 변화: 전기적 검사에서 광학적·물리적 통합 검사로

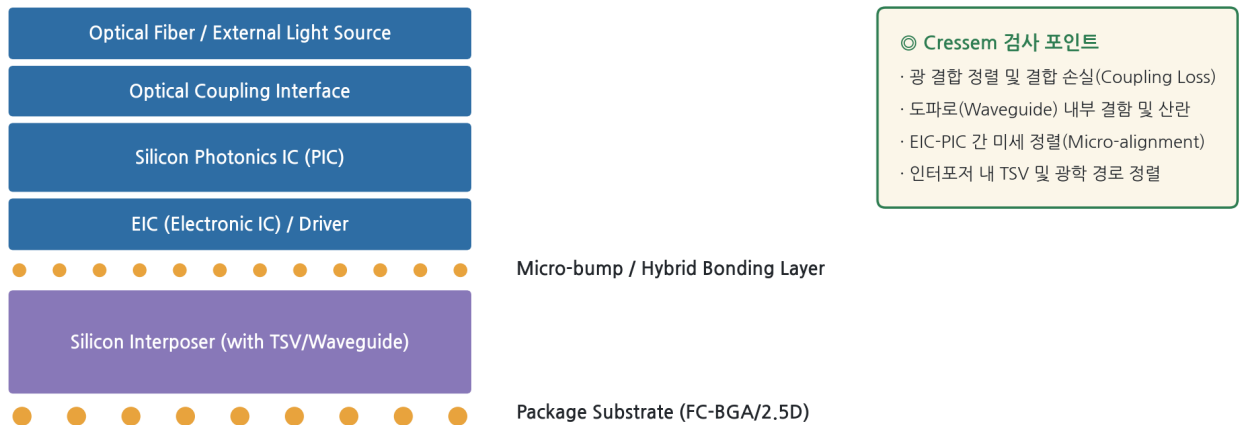
기존의 반도체 검사가 주로 전기적 특성(Electrical Test)과 범프(Bump)의 물리적 형상에 집중했다면, CPO를 위한 차세대 패키징 검사는 '광-전 통합 검사(Opto-Electrical Integrated Inspection)'로 진화해야 합니다.

구분	기존 패키징 검사 (HBM/FC-BGA)	CPO 차세대 패키징 검사
주요 대상	Micro Bump, Solder Ball, TSV	Silicon Photonics, Waveguide, Optical Coupling
정밀도 요구사항	Sub-micron (수백 nm)	Nano-scale (수십 nm 급 정렬 필요)
핵심 검사 항목	단선, 단락, Bridge, Missing Bump	결합 손실(Coupling Loss), 도파로 결함, 광 정렬 오차
난제 요소	적층 단수 증가에 따른 Warpage	광학적 경로의 3D 정렬 및 열 변형 제어

표 4. 검사 기술의 패러다임 변화: 전기적 검사에서 광학적·물리적 통합 검

CPO의 구현을 위해서는 2.5D/3D 패키징 공정에서 발생하는 미세한 물리적 변형(Warpage, Tilt)이 광학적 성능(Signal Integrity)에 미치는 영향을 정량화할 수 있어야 합니다. 이는 단순한 불량 검출을 넘어, 검사 데이터를 기반으로 공정 조건을 피드백하는 AI 기반의 수율 분석 솔루션이 결합되어야 함을 시사합니다.

CPO 기반 2.5D 패키징 구조 및 검사 포인트 단면도



Cressem · 결정론 렌더

그림 4. CPO 기반 2.5D 패키징 구조 및 검사 포인트 단면도

크레셈(CRESSEM)의 사업 기회 및 대응 전략

CPO(Co-Packaged Optics) 기술의 부상은 반도체 후공정(Back-end)의 패러다임을 단순한 전기적 연결에서 광학적 통합(Optical Integration)으로 전환시키고 있습니다. 이는 크레셈(CRESSEM)에게 기존에 보유한 고정밀 광학 검사 기술과 AI 비전 알고리즘을 차세대 인터커넥트 시장으로 확장할 수 있는 전례 없는 기회를 제공합니다. CPO는 광학 소자(Photonics)와 반도체 스위치 칩을 하나의 패키지 기판에 통합해야 하므로, 기존의 FC-BGA나 HBM 검사보다 훨씬 높은 수준의 정밀도와 복합적인 검사 솔루션을 요구합니다.

1. 기술적 자산의 전이: FC-BGA/HBM에서 CPO로의 확장 로드맵

크레셈은 이미 고난도 패키징 시장에서 검증된 기술력을 보유하고 있으며, 이를 CPO 영역으로 전이하기 위한 기술적 교두보를 확보하고 있습니다.

가. 고해상도 광학 검사(Optical Inspection) 역량의 전이

크레셈은 FC-BGA 및 2.5D 기판 검사 장비를 통해 축적된 Sub-micron(μm) 단위의 해상도 구현 능력을 갖추고 있습니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf]. CPO 공정에서는 실리콘 포토닉스(SiPh) PIC(Photonic Integrated Circuit)와 EIC(Electronic Integrated Circuit) 간의 초미세 정렬(Alignment)이 필수적입니다. 크레셈의 고성능 광학계 설계 능력은 CPO의 핵심인 광학 소자와 전기적 소자 간의 미세 간극 및 접합부의 이물질(Particle)을 검출하는 데 직접적으로 적용될 수 있습니다.

나. 이종 집적(Heterogeneous Integration) 대응 능력의 고도화

HBM4가 로직 다이와 DRAM 다이를 결합하는 구조로 변화함에 따라, 크레셈은 이미 로직-메모리 간 인터페이스 검사 및 Interposer 검사 기술을 확보하고 있습니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf]. CPO 역시 광학 엔진과 ASIC(Application Specific Integrated Circuit)을 하나의 패키지에 통합하는 이종 집적 기술이 핵심이므로, 크레셈이 보유한 2.5D/3D 패키징 검사 노하우는 CPO의 Die-to-Die 정렬 및 복잡한 인터커넥트 구조를 검사하는 데 최적화된 자산입니다.

다. AI 비전 및 데이터 분석 플랫폼의 통합

CPO 공정은 검사 데이터의 양이 기하급수적으로 증가하며, 단순한 불량 판별을 넘어 공정 피드백이 중요해집니다. 크레셈은 딥러닝(Deep Learning) 기반의 결함 분류 알고리즘을 통해 과검(Over-kill)률을 낮추고, 검사 데이터를 분석하여 전공정의 결함 원인을 역추적(Root Cause Analysis)할 수 있는 데이터 분석 플랫폼을 장비에 통합하는 전략을 추진하고 있습니다 [출처: 기업 분석 보고서] (주)크레셈 (CRESSEM): 차세대 반. 이러한 AI 기반 스마트 팩토리 솔루션은 CPO 양산 라인의 수율(Yield)을 결정짓는 핵심 경쟁력이 될 것입니다.

2. 전략적 대응 방향: 맞춤형 솔루션 및 시장 선점

크레셈은 범용 장비 공급을 넘어, 고객사의 공정 특성에 최적화된 'Customized Inspection System'을 통해 시장 점유율을 확대할 계획입니다.

가. 고객 맞춤형 모듈화 장비(Customized Modular Equipment) 공급

CPO는 제조사 및 패키징 업체(TSMC, Intel 등)마다 광학 소자 배치와 본딩 방식이 상이할 수 있습니다. 크레셈은 모듈형 장비 설계를 강점으로 활용하여, 고객사의 특정 공정(예: CoWoS 기반 광패키징)에 최적화된 검사 모듈을 신속하게 공급하는 전략을 취하고 있습니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf]. 이는 고객사와의 기술적 락인(Lock-in) 효과를 극대화합니다.

나. 차세대 본딩 공정 대응 기술 개발

HBM4에서 도입될 Hybrid Bonding(Cu-to-Cu) 기술과 유사하게, CPO에서도 광학 소자와 반도체 칩 간의 초정밀 접합 기술이 요구됩니다. 크레셈은 초고해상도 3D AOI(Automated Optical Inspection) 기술을 고도화하여, 범프(Bump)가 없는 접합부의 Void(공극) 및 미세 정렬 오차를 잡아낼 수 있는 전용 솔루션을 개발함으로써 차세대 공정의 기술적 난제를 해결하고자 합니다 [출처: 기술 보고서] 삼성전자 HBM4 전환에 따른 검사 기술 동향 및 대응 전략.

CPO 시장 대응 역량 매트릭스

	광학/비전	AI/데이터	맞춤형 설계
CPO 핵심 과제	● 핵심	●	○
크레셈 보유 역량	○	● 핵심	●
전략적 집중 분야	●	○	● 핵심

Cressem · 결정론 렌더

그림 5. CPO 시장 대응 역량 매트릭스

3. 종합 전략 요약

크레셈의 CPO 시장 진입은 단순한 품목 확장이 아닌, '고정밀 광학 기술'과 'AI 지능형 분석'이라는 두 축을 바탕으로 한 기술적 진화입니다.

구분	주요 전략 내용	기대 효과
기술적 측면	Sub-micron급 3D 광학 검사 및 Hybrid Bonding 대응 기술 확보	초미세 정렬 및 결함 검출 정밀도 극대화
소프트웨어 측면	AI 기반 실시간 결함 분류 및 Root Cause 분석 플랫폼 통합	검사 Throughput 향상 및 고객사 수율(Yield) 개선
사업적 측면	고객사 공정별 모듈형 맞춤 검사 시스템(Customized System) 공급	신규 시장 진입 장벽 구축 및 고객 락인(Lock-in)

표 5. 종합 전략 요약

결론적으로, 크레셈은 기존 FC-BGA와 HBM 검사 시장에서 축적한 독보적인 레퍼런스를 기반으로, CPO가 요구하는 극한의 정밀도와 데이터 분석 역량을 결합함으로써 차세대 AI 반도체 공급망 내에서 대체 불가능한 핵심 검사 솔루션 파트너로 도약할 것입니다.

리스크 요인 및 대응 방향

CPO(Co-Packaged Optics, 공동 패키지 광학) 기술은 AI 데이터센터의 병목 현상을 해결할 혁신적인 솔루션이지만, 기술적 완성도와 시장 생태계의 불확실성 측면에서 복합적인 리스크를 내포하고 있습니다. 크레셈(CRESSEM)이 이 시장의 핵심 플레이어로 도약하기 위해서는 기술적 진입장벽과 시장 구조적 변화에 따른 리스크를 사전에 식별하고, 이를 상쇄할 수 있는 전략적 대응 방안(Mitigation Strategy)을 수립해야 합니다.

1. 주요 리스크 요인 분석 (Risk Analysis)

CPO 시장 진입 및 확산 과정에서 예상되는 리스크는 크게 기술적, 시장 구조적, 경쟁적 관점으로 구분할 수 있습니다.

구분	리스크 유형	세부 내용 및 영향
기술적 리스크 (Technical Risk)	공정 난이도 급증 및 수율 저하	광학 소자(SiPh)와 전기적 스위치 칩(EIC)을 하나의 패키지에 통합하는 과정에서 미세 정렬(Alignment) 및 열 관리(Thermal Management) 난이도가 기하급수적으로 상승함. 이는 초기 수율(Yield) 확보 실패로 이어질 수 있음.
	신뢰성 및 열 밀도 문제	칩과 광학 소자의 초밀집 패키징으로 인해 발생하는 국부적 열 밀도(Heat Density) 상승은 광학 소자의 성능 저하 및 신뢰성 문제를 야기할 수 있음.
시장 리스크 (Market Risk)	표준화 지연 및 생태계 파편화	다양한 벤더(Broadcom, NVIDIA, Intel 등)가 각기 다른 설계 방식과 인터페이스를 제안함에 따라, 산업 전반의 표준(Standardization) 확립이 지연될 경우 장비의 범용성 확보가 어려워짐.

	플러그블(Pluggable) 기술의 진화	기존 플러그블 광모듈 기술이 전력 효율을 개선하며 수명을 연장할 경우, CPO로의 전환 시점이 예상보다 늦춰질 수 있음.
경쟁 리스크 (Competition Risk)	글로벌 거대 기업의 수직 계열화	Broadcom, NVIDIA와 같은 선도 기업들이 자체적인 검사 솔루션이나 내재화된 공정 기술을 보유할 경우, 독립적인 검사 장비사의 입지가 좁아질 수 있음.
	글로벌 검사 장비사의 시장 진입	KLA 등 막대한 자본과 레퍼런스를 보유한 글로벌 Tier-1 검사 기업들이 CPO 전용 AOI(Automated Optical Inspection) 솔루션을 출시하며 기술 격차 압박을 가할 수 있음.

표 6. 주요 리스크 요인 분석 (Risk Analysis)

2. 리스크별 대응 전략 (Mitigation Strategy)

상기 기술된 리스크를 관리하고 크레셈의 시장 지배력을 공고히 하기 위한 단계별 대응 방안은 다음과 같습니다.

① 기술적 대응: 초정밀·고신뢰성 검사 플랫폼 구축

CPO 구현의 핵심 난제인 미세 정렬 및 열 관리 문제를 해결하기 위해, 크레셈은 기존 HBM4 및 2.5D 패키징 검사에서 축적된 기술력을 CPO 특화 기술로 전이해야 합니다.

- **초고해상도 3D AOI 기술 고도화:** Hybrid Bonding 및 광학 소자 접합부의 미세 간극(Gap)과 이물질(Particle)을 Sub-micron 단위로 검출할 수 있는 초고해상도 3D 광학 검사 모듈을 개발하여, 공정 초기 단계의 불량 검출력을 극대화해야 합니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].
- **열 변형(Warp) 및 신뢰성 검사 솔루션:** 고밀도 패키징에서 발생하는 휨(Warp) 현상을 실시간으로 측정하고 보정할 수 있는 고정밀 스테이지 제어 기술과 3D 프로파일링 기술을 결합하여, 열적 변형 상태에서도 정확한 데이터를 추출할 수 있는 환경을 제공해야 합니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

② 시장적 대응: 모듈형·커스터마이징 전략을 통한 유연성 확보

표준화 지연과 생태계 파편화 리스크에 대응하기 위해, 특정 표준에 종속되지 않는 유연한 장비 구조를 채택해야 합니다.

- **고객 맞춤형 모듈화(Customized Modularization):** 제조사(SK하이닉스, 삼성전자, TSMC 등)마다 상이한 CPO 패키징 공정 방식에 즉각 대응할 수 있도록, 기성 제품이 아닌 고객사 공정 특성에 최적화된 'Customized Inspection System'을 공급하여 고객 락인(Lock-in) 효과를 강화해야 합니다 [출처: 기업 분석 보고서 (주)크레셈 (CRESSEM)].
- **데이터 기반의 수율 개선 파트너십:** 단순 불량 검출을 넘어, 검사 데이터를 분석하여 전공정(Fab)의 결함 원인을 역추적(Root Cause Analysis)할 수 있는 AI 기반 데이터 분석 플랫폼을 통합 제공함으로써, 고객사의 수율(Yield) 개선에 직접 기여하는 전략적 파트너로서의 지위를 확보해야 합니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

③ 경쟁적 대응: AI 비전 기술의 초격차 유지

글로벌 경쟁사의 추격을 따돌리기 위해 하드웨어와 소프트웨어가 결합된 통합 솔루션 역량을 강화해야 합니다.

- **AI 기반 결함 분류(Deep Learning Inspection) 고도화:** 단순 Rule-base 검사의 한계를 극복하고, 복잡한 CPO 패키징 패턴 내에서 미세한 Bridge, Open, Misalignment를 실시간으로 판별하는 딥러닝 알고리즘을 내재화하여 과검(Over-kill)률을 최소화하고 검사 속도(Throughput)를 극대화해야 합니다 [출처: 기업 분석 보고서 (주)크레셈 (CRESSEM)].
- **고부가가치 영역으로의 포트폴리오 확장:** FC-BGA 및 HBM 검사에서 검증된 광학계-기구부-소프트웨어 통합 설계 능력을 바탕으로, CPO와 같은 고난도 패키징 시장으로의 기술 전이를 가속화하여 기술적 진입장벽을 높여야 합니다 [출처: 기업 분석 보고서 (주)크레셈 (CRESSEM)].

결론/시사점

AI 인프라의 폭발적인 성장과 함께 데이터 전송의 병목 현상을 해결할 유일한 대안으로 부상한 공동 패키징 광학(CPO, Co-Packaged Optics) 기술은 단순한 통신 방식의 변화를 넘어, 반도체 패키징의 패러다임을 재정의하고 있습니다. 구리(Copper) 기반 전기 신호의 물리적 한계를 극복하기 위한 CPO의 도입은 필연적이며, 이는 곧 기존의 플러그블(Pluggable) 광모듈 중심 생태계에서 칩과 광학 소자가 통합된 첨단 패키징 중심의 생태계로의 전환을 의미합니다.

이러한 기술적 변곡점에서 크레셈(CRESSEM)이 차세대 시장의 리더십을 확보하기 위한 핵심 성공 요인(KSF, Key Success Factors)은 다음과 같습니다.

첫째, **초정밀 검사 기술의 수직적 확장(Strategic Imperative)**입니다. CPO는 실리콘 포토닉스(SiPh)와 전기적 칩(EIC)이 하나의 기판에 통합되는 고난도 구조를 가집니다. 크레셈은 기존 FC-BGA 및 HBM4 공정에서 축적한 고해상도 광학 검사 기술과 3D 프로파일링 기술을 바탕으로, CPO 구현 시 발생하는 극미세 정렬(Alignment) 오차 및 광학 소자의 결함을 잡아낼 수 있는 Sub-micron 급 검사 솔루션을 선제적으로 확보해야 합니다.

둘째, **AI 기반의 지능형 검사 솔루션 내재화(Future Outlook)**입니다. CPO 패키징은 기존보다 훨씬 복잡한 데이터 구조와 미세 패턴을 포함합니다. 단순한 Rule-base 검사로는 과검(Over-kill)을 방지하고 수율을 확보하기 어렵습니다. 따라서 크레셈이 보유한 Deep Learning 기반 결함 분류 기술을 CPO 검사 공정에 최적화하여, 검사 속도(Throughput)를 극대화하는 동시에 고객사의 수율(Yield) 개선에 직접적으로 기여할 수 있는 데이터 분석 플랫폼을 제공해야 합니다.

셋째, **고객 맞춤형 모듈화 대응(Market Leadership)**입니다. CPO는 제조사 및 패키징 업체(TSMC, Intel 등)의 설계 방식에 따라 매우 이질적인 공정 특성을 보입니다. 크레셈의 강점인 모듈형 장비 설계 역량을 활용하여, 고객사별로 상이한 2.5D/3D 인터커넥트 구조에 즉각 대응할 수 있는 맞춤형(Customized) 검사 시스템을 공급함으로써 강력한 고객 락인(Lock-in) 효과를 창출해야 합니다.

결론적으로, CPO 시장은 기술적 난이도가 높을수록 검사 장비의 부가가치가 기하급수적으로 상승하는 시장입니다. 크레셈이 광학계, 기구부, AI 소프트웨어를 통합 설계할 수 있는 역량을 바탕으로 CPO 인터커넥트 검사 영역에 성공적으로 진입한다면, AI 반도체 공급망 내에서 대체 불가능한 핵심 플레이어로 도약할 수 있을 것입니다.

참고 자료

1. Cpo 기술 동향 및 국내외 기업 분석 :: 투자연구소 테크센터
2. 2026.03 Cpo (공동패키지광학) - Ai 데이터센터의 차세대 광통신 ...
3. 공동 패키지형 광학 (CPO) 기술동향 및 시장 전망 2025-2035 - IDTechEx

4. 구리선의 한계와 반도체의 새로운 돌파구, Cpo 기술 심층 분석
5. Co-Packaged Optics Market Size, Share and Growth Analysis
6. Co-Packaged Optics (CPO) Market Size to Hit USD 1,055.11 Million by 2034
7. Co Packaged Optics Market Report: Size, Growth, Trends & Forecast (2025-2033)
8. Cressem | 크레셈
9. (주)크레셈 2025년 기업정보 | 직원수, 근무환경, 복리후생 등 ...%ED%81%AC%EB%A0%88%EC%85%88)
10. [[시장보고서]공동 패키지 광학 (Cpo) : 시장 점유율 분석, 업계 ...](<https://www.giikorea.co.kr/report/moi1937414-co-packaged-optics-market-share-analysis-industry.html>)
11. 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf (사내 자료)
12. 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf (사내 자료)
13. 분석_크레셈CRESSEM20260509001.pdf (사내 자료)
14. pdf_인하대학교컴퓨터공학과배승환20260509001.pdf (사내 자료)
15. ProfessorSeungHwanBaeReport.pdf (사내 자료)

※ 출처 간 시장 전망 편차 주의 — 본 보고서가 인용한 출처들의 시장 규모 전망에 약 162배 차이가 있습니다("2030년에는 81억 달러" vs "2031년에는 7억 5,000만 달러"). 후행 연도의 전망치가 선행 연도보다 작습니다. 출처마다 시장 정의·산정 범위·기준 시점이 다를 수 있으므로, 대외 활용 전 1차자료 확인을 권장합니다.