

## 차세대 광 I/O(CPO) 기술 동향 분석 및 크레셈(CRESSEM)의 전략적 대응 방안

문서번호 CRSM-AI-2026-AUTO

작성일 2026-07-28

작성 CresseM AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

## 목 차

---

|                                                   |    |
|---------------------------------------------------|----|
| 차세대 광 I/O(CPO) 기술 동향 분석 및 크레셈(CRESSEM)의 전략적 대응 방안 | 3  |
| 개요: AI 인프라의 병목 현상과 CPO의 부상 . . . . .              | 3  |
| CPO 기술 메커니즘 및 기존 방식 비교 . . . . .                  | 4  |
| 결론 및 시사점 . . . . .                                | 10 |
| 참고 자료 . . . . .                                   | 10 |

## 차세대 광 I/O(CPO) 기술 동향 분석 및 크레셈(CRESSEM)의 전략적 대응 방안

AI 데이터센터의 전력 및 대역폭 한계를 극복하기 위한 차세대 인터커넥트 기술인 CPO(Co-Packaged Optics)의 기술적 메커니즘과 시장 전망을 분석합니다. 기존 플러거블 방식 대비 CPO의 우위성을 검토하고, 글로벌 주요 플레이어의 기술 로드맵을 통해 크레셈의 고정밀 검사 솔루션이 가질 수 있는 시장 기회와 기술적 대응 전략을 제안합니다.

### 개요: AI 인프라의 병목 현상과 CPO의 부상

#### 1. AI 데이터센터의 물리적 임계점: 구리 배선의 한계

최근 생성형 AI(Generative AI) 모델의 파라미터 수가 기하급수적으로 증가하고, 이를 학습 및 추론하기 위한 AI 가속기(AI Accelerator)의 연산 규모가 폭발적으로 확대됨에 따라, 데이터센터 내부의 데이터 전송 효율성은 반도체 성능을 결정짓는 핵심 요소로 부상했습니다. 그러나 수십 년간 데이터 전송의 중추 역할을 해온 구리(Copper) 기반의 전기 신호 전송 방식은 현재 심각한 물리적 한계에 직면해 있습니다.

전통적인 전기적 인터커넥트(Electrical Interconnect) 기술 환경에서 데이터 전송 속도가 112G 및 차세대 224G SerDes(Serializer/Deserializer) 수준으로 고속화됨에 따라, 구리 배선의 유효 전송 거리는 수 센티미터(cm) 수준으로 급격히 단축되었습니다 [출처: 투자연구소 테크센터]. 신호가 이동할수록 발생하는 신호 감쇄(Signal Attenuation)와 왜곡을 극복하기 위해 기존 시스템은 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP)를 추가로 배치하여 신호 무결성(Signal Integrity)을 유지해 왔습니다. 하지만 이러한 보상 조치는 오히려 데이터센터 전체의 전력 소비를 급증시키고, 칩과 모듈 주변의 열 밀도(Heat Density)를 상승시키는 치명적인 부작용을 초래하고 있습니다 [출처: 투자연구소 테크센터].

결과적으로, 칩 내부의 연산 속도는 비약적으로 발전했음에도 불구하고, 이를 외부로 입출력(I/O)하는 과정에서 발생하는 막대한 전력 소모와 대역폭 병목 현상(Bandwidth Bottleneck)이 전체 AI 인프라의 성능 확장을 가로막는 '물리적 장벽'이 되고 있습니다 [출처: alchonomics].

#### 2. CPO(Co-Packaged Optics)의 등장과 도입의 필연성

이러한 구리 배선의 한계를 돌파하기 위한 차세대 기술적 해법으로 공동 패키징형 광학(CPO, Co-Packaged Optics) 기술이 급부상하고 있습니다. CPO는 광학 소자(Photonics)와 반도체 스위치 칩(Switch ASIC)을 하나의 패키지 기판 내에 직접 통합하는 첨단 인터커넥트 기술입니다 [출처: kai-search.tistory.com]. 이는 기존의 플러거블(Pluggable) 광모듈 방식이 가졌던 구조적 한계를 근본적으로 해결합니다.

기존의 플러거블 방식은 칩과 광모듈 사이에 긴 구리 배선이 존재할 수밖에 없어 전력 손실과 지연(Latency)이 불가피했습니다. 반면, CPO는 광학 엔진을 프로세서와 물리적으로 매우 가깝게 배치함으로써 신호 전달 경로를 최소화합니다. 이를 통해 얻을 수 있는 기술적 이점은 다음과 같이 요약됩니다.

| 비교 항목    | 기존 Pluggable 방식 | 차세대 CPO 방식      | 기대 효과 및 수치                                    |
|----------|-----------------|-----------------|-----------------------------------------------|
| 신호 전송 매체 | 장거리 구리 배선 중심    | 초단거리 구리 + 광학 통합 | 신호 손실(Signal Loss) 80% 이상 절감 [출처: 투자연구소 테크센터] |

|           |                          |                           |                                                    |
|-----------|--------------------------|---------------------------|----------------------------------------------------|
| 전력 효율성    | DSP 및 리타이머 의존도 높음        | DSP 기능 간소화 및 제거 가능        | 비트당 전력 소모(pJ/bit)<br>50% 이상 절감 [출처:<br>투자연구소 테크센터] |
| 포트당 전력 소모 | 약 15W 수준 (800Gbps<br>기준) | 약 5.5W 수준 (800Gbps<br>기준) | 전력 소비량 대폭 감소 [출처:<br>kai-search.tistory.com]       |
| 대역폭 밀도    | 물리적 공간 및 발열 제한           | 고밀도 광학 통합 가능              | AI 인프라 확장성 확보                                      |

표 1. CPO(Co-Packaged Optics)의 등장과 도입의 필연성

CPO 기술의 도입은 단순한 통신 방식의 변화를 넘어, 데이터센터의 에너지 효율(Energy Efficiency)을 재정의하는 전환점이 될 것입니다. 특히 전력 소모가 큰 DSP 기능이 네트워크 전체 전력의 약 50%를 차지한다는 점을 고려할 때, CPO를 통한 DSP 최적화는 데이터센터 운영 비용(OPEX) 절감과 탄소 배출 저감 측면에서 선택이 아닌 필수적인 기술적 경로로 판단됩니다 [출처: 투자연구소 테크센터].

### 3. 소결: 패키징 기술의 패러다임 변화

결론적으로, AI 인프라의 병목 현상을 해결하기 위한 핵심 키워드는 '**대역폭 밀도(Bandwidth Density)의 극대화**'와 '**전력 효율(Power Efficiency)의 최적화**'입니다. 이를 달성하기 위해 반도체 산업의 중심축은 전공정(Front-end)의 미세화에서 후공정(Back-end), 특히 광학 소자와 전기적 칩을 하나로 묶는 **첨단 패키징(Advanced Packaging)** 영역으로 급격히 이동하고 있습니다.

CPO는 이러한 패러다임 변화의 정점에 있는 기술로서, 향후 AI 가속기 및 초고속 이더넷 스위치 시장의 핵심 인프라로 자리 잡을 전망입니다. 따라서 CPO 공정의 안정적인 양산을 위해서는 광학 소자와 실리콘 칩 간의 초정밀 정렬(Alignment), 열 관리(Thermal Management), 그리고 통합 패키징 과정에서의 결합 검출을 위한 고도화된 검사 솔루션이 반드시 병행되어야 합니다.

## CPO 기술 메커니즘 및 기존 방식 비교

AI 연산량의 폭발적 증가와 데이터센터의 대규모화는 데이터 전송 속도(Bandwidth)와 전력 효율성(Power Efficiency)이라는 두 가지 상충하는 과제를 동시에 던져주고 있습니다. 기존의 데이터 전송 방식인 플러그블 광학(Pluggable Optics) 방식은 수십 년간 업계의 표준으로 자리 잡았으나, 현재의 초고속 SerDes(Serializer/Deserializer) 환경에서는 물리적·전기적 한계에 직면해 있습니다. 본 섹션에서는 기존 Pluggable 방식과 차세대 기술인 CPO(Co-Packaged Optics) 방식의 구조적 차이 및 신호 무결성(Signal Integrity), 전력 효율성을 심층 비교 분석합니다.

### 1. Pluggable Optics의 구조적 한계와 전기적 병목 현상

전통적인 Pluggable 방식은 스위치 ASIC(Application-Specific Integrated Circuit)이나 GPU와 같은 핵심 연산 칩과 광학 모듈(Optical Module)이 물리적으로 분리된 구조를 가집니다. 광학 모듈은 통상적으로 전면 패널의 포트(Port)에 삽입되는 형태로, 칩과 모듈 사이는 구리 배선(Copper Trace)을 통해 전기적 신호로 연결됩니다.

이 구조에서 발생하는 가장 치명적인 문제는 **구리 배선의 유효 전송 거리 단축과 신호 손실(Signal Loss)**입니다. 최근 112G 및 차세대 224G SerDes 기술 환경에서는 데이터 전송 속도가 높아짐에 따라 구리 배선을 통해 신호를 안정적으로 보낼 수 있는 거리가 수 센티미터(cm) 수준으로 급격히 짧아졌습니다 [출처: 투자연구소 테크센터]. 신호가 구리 배선을 통과할 때 발생하는 감쇠(Attenuation)를 극복하기 위해 시스템은 다음과 같은 추가적인 장치를 도입해 왔습니다.

- **리타이머(Retimer) 배치:** 신호의 왜곡을 보정하고 증폭하기 위해 중간 단계에 리타이머를 배치하여 신호 무결성을 유지합니다.
- **고성능 DSP(Digital Signal Processor) 활용:** 디지털 신호 처리기를 통해 복잡한 신호 보정을 수행합니다.

그러나 이러한 보완책은 데이터센터 전체의 전력 소비를 급증시키고, 열 밀도(Thermal Density)를 상승시키는 부작용을 초래합니다. 특히 네트워크 장비 내에서 DSP가 차지하는 전력 비중은 약 50%에 달할 정도로 막대하여, AI 인프라의 에너지 효율성을 저해하는 핵심 원인이 되고 있습니다 [출처: 투자연구소 테크센터].

## 2. CPO(Co-Packaged Optics)의 메커니즘: 광학의 직접 통합

CPO 기술은 이러한 전기적 한계를 근본적으로 해결하기 위해 **광학 소자(Photonics)와 반도체 스위치 칩을 하나의 패키지 기판(Package Substrate) 내에 통합**하는 혁신적인 인터커넥트 기술입니다 [출처: AI 데이터센터의 차세대 광통신]. 즉, 칩과 광학 엔진 사이의 거리를 수 밀리미터(mm) 이내로 극단적으로 단축하여, 기존의 긴 구리 배선을 제거하거나 최소화하는 것이 핵심입니다.

CPO 방식은 실리콘 포토닉스(Silicon Photonics) 기술을 기반으로 하며, ASIC 칩 바로 옆에 광학 엔진을 배치함으로써 전기적 신호가 이동하는 경로를 최소화합니다. 이를 통해 다음과 같은 기술적 이점을 확보할 수 있습니다.

- **신호 무결성(Signal Integrity) 극대화:** 신호 전송 경로가 짧아짐에 따라 기생 성분(Parasitic elements)에 의한 왜곡이 줄어들고, 고속 신호 전달이 용이해집니다.
- **전력 소모의 획기적 절감:** 신호 보정을 위한 리타이머나 고성능 DSP의 역할을 간소화하거나 완전히 제거할 수 있습니다. 이는 비트당 전력 소모(pJ/bit)를 50% 이상 절감하는 결과로 이어집니다 [출처: 투자연구소 테크센터].
- **대역폭 밀도(Bandwidth Density) 향상:** 플러거블 방식은 전면 패널의 물리적 공간 제약으로 인해 포트 밀도를 높이는 데 한계가 있지만, CPO는 패키지 내부 공간을 활용하므로 훨씬 높은 대역폭 밀도를 구현할 수 있습니다.

## 3. Pluggable vs CPO 기술 성능 비교 분석

두 방식의 기술적 차이를 주요 지표를 중심으로 비교하면 다음과 같습니다.

| 비교 항목            | Pluggable Optics (기존 방식) | Co-Packaged Optics (CPO)      | 비고                      |
|------------------|--------------------------|-------------------------------|-------------------------|
| 연결 구조            | ASIC ↔ 긴 구리 배선 ↔ 광 모듈    | ASIC ↔ 근거리 인터커넥트 ↔ 광 엔진       | CPO는 패키지 내 통합           |
| 신호 경로            | 수 cm ~ 수십 cm (전기 신호)     | 수 mm 이내 (초단거리 전기/광)           | CPO의 신호 무결성 우위          |
| 전력 효율성           | 낮음 (DSP/Retimer 전력 소모 큼) | <b>매우 높음</b> (비트당 전력 50%↓ 절감) | CPO 도입의 핵심 동기           |
| 800G 포트당 전력      | 약 15W 수준                 | <b>약 5.5W 수준</b>              | [출처: AI 데이터센터의 차세대 광통신] |
| 열 관리(Thermal)    | 모듈 분산으로 관리 용이            | 칩과 광원이 밀집되어 고난도 관리 필요         | CPO의 주요 기술적 과제          |
| 확장성(Scalability) | 물리적 포트 수 제한 존재           | 패키징 기술 기반 고밀도 확장 가능           | AI 가속기 및 스위치 적합         |

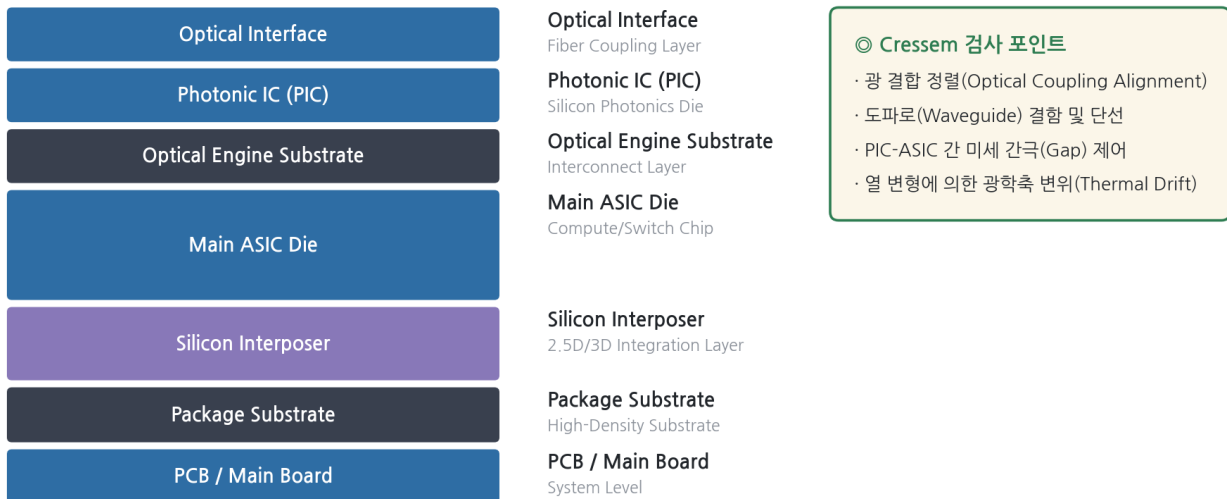
표 2. Pluggable vs CPO 기술 성능 비교 분석

#### 4. CPO 도입에 따른 기술적 전환점

CPO는 단순한 부품의 교체가 아니라, 반도체 패키징 및 시스템 설계의 패러다임 변화를 의미합니다. 기존에는 광학 모듈을 별도의 부품으로 취급하여 '조립'하는 개념이었다면, CPO 환경에서는 광학 소자가 반도체 패키지의 일부로서 '집적'되어야 합니다.

이 과정에서 2.5D 및 3D 패키징 기술과의 결합이 필수적입니다. 광학 엔진이 ASIC과 동일한 인터포저(Interposer) 상에 배치되거나, 실리콘 포토닉스 PIC(Photonic Integrated Circuit)이 결합됨에 따라 정렬(Alignment) 정밀도는 기존의 마이크로미터( $\mu\text{m}$ ) 단위를 넘어 나노미터(nm) 급의 제어를 요구하게 됩니다. 또한, 연산 칩과 광학 소자가 인접 배치됨에 따라 발생하는 국부적인 열 밀도 상승은 광학 소자의 파장 안정성을 해칠 수 있으므로, 고도화된 열 관리(Thermal Management) 솔루션이 CPO 상용화의 성패를 가르는 핵심 요소가 될 것입니다.

#### CPO 패키지 적층 구조 단면도



Cressem · 결정론 렌더

그림 1. CPO 패키지 적층 구조 단면도

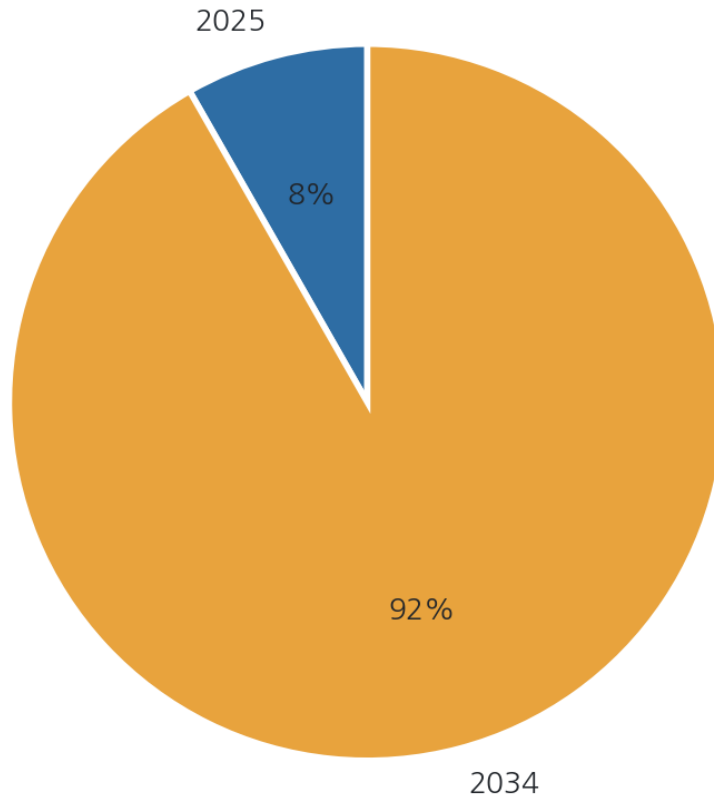
#### CPO 시장 규모 및 성장 전망 (2024-2034)



Cressem · 결정론 렌더

그림 2. CPO 시장 규모 및 성장 전망 (2024-2034)

## CPO 시장 규모 성장 전망 (2025 vs 2034)



Cressem · 결정론 렌더 · 본문 검증 수치

그림 3. CPO 시장 규모 성장 전망 (2025 vs 2034)

## 글로벌 주요 플레이어 기술 로드맵 분석

|                    |                                            |                                               |                                             |                                               |
|--------------------|--------------------------------------------|-----------------------------------------------|---------------------------------------------|-----------------------------------------------|
| Broadcom (네트워크 중심) | <b>핵심 타겟</b><br>데이터센터 스위치 및 네트워크 인프라       | <b>주요 솔루션</b><br>TH6-Davisson (51.2 Tbps 스위치) | <b>기술적 강점</b><br>고성능 DSP 간소화 및 전력 소모 70% 절감 | <b>시장 진입 단계</b><br>3세대 CPO 기술 기반 양산 진입 단계     |
|                    | <b>핵심 타겟</b><br>AI 가속기(GPU) 및 고성능 컴퓨팅(HPC) | <b>주요 솔루션</b><br>광학 통합 스위치 및 차세대 NVLink       | <b>기술적 강점</b><br>GPU 아키텍처와 광학 인터커넥트의 밀접한 결합 | <b>시장 진입 단계</b><br>AI 인프라 핵심 키워드로 부상 및 솔루션 공개 |

Cressem · 결정론 렌더

그림 4. 글로벌 주요 플레이어 기술 로드맵 분석

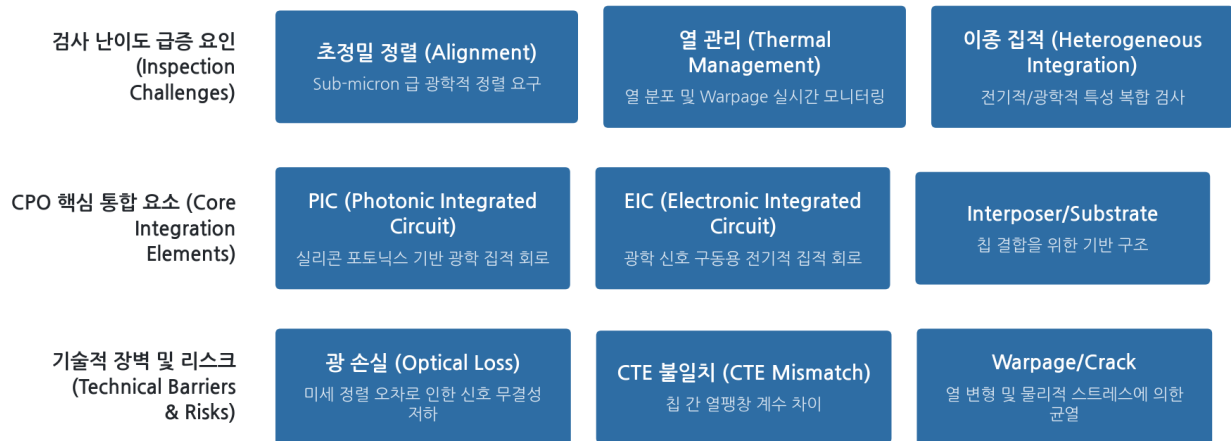
## 광 인터커넥트 패키징 기술 진화 로드맵



Cressem · 결정론 렌더

그림 5. 광 인터커넥트 패키징 기술 진화 로드맵

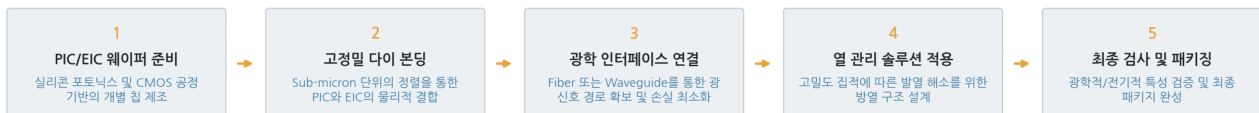
## CPO 패키징 공정의 핵심 기술적 과제 및 검사 요구사항



Cressem · 결정론 렌더

그림 6. CPO 패키징 공정의 핵심 기술적 과제 및 검사 요구사항

## CPO 패키징 통합 프로세스 및 주요 기술 과제



Cressem · 결정론 렌더

그림 7. CPO 패키징 통합 프로세스 및 주요 기술 과제

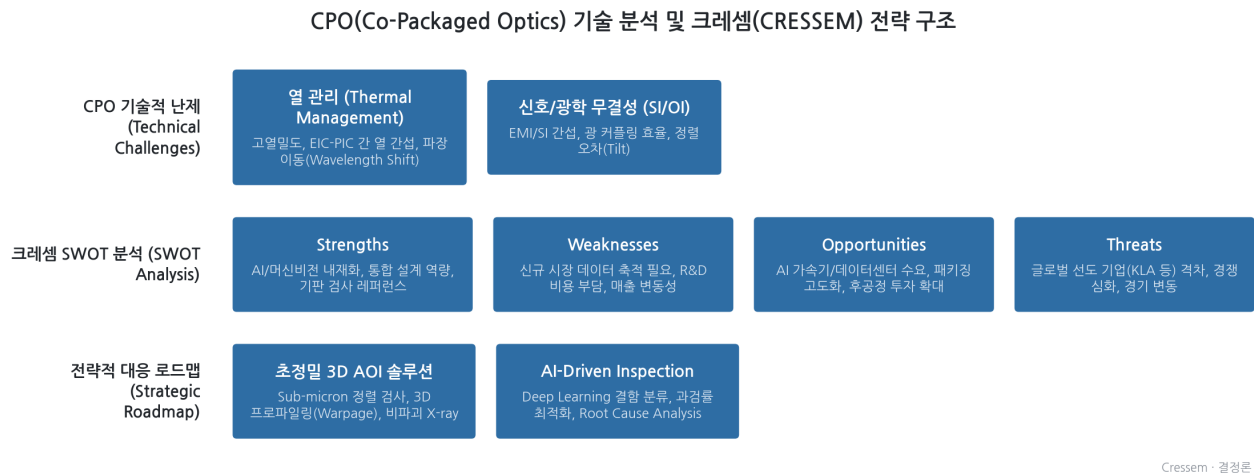


그림 8. CPO(Co-Packaged Optics) 기술 분석 및 크레셈(CRESSEM) 전략 구조

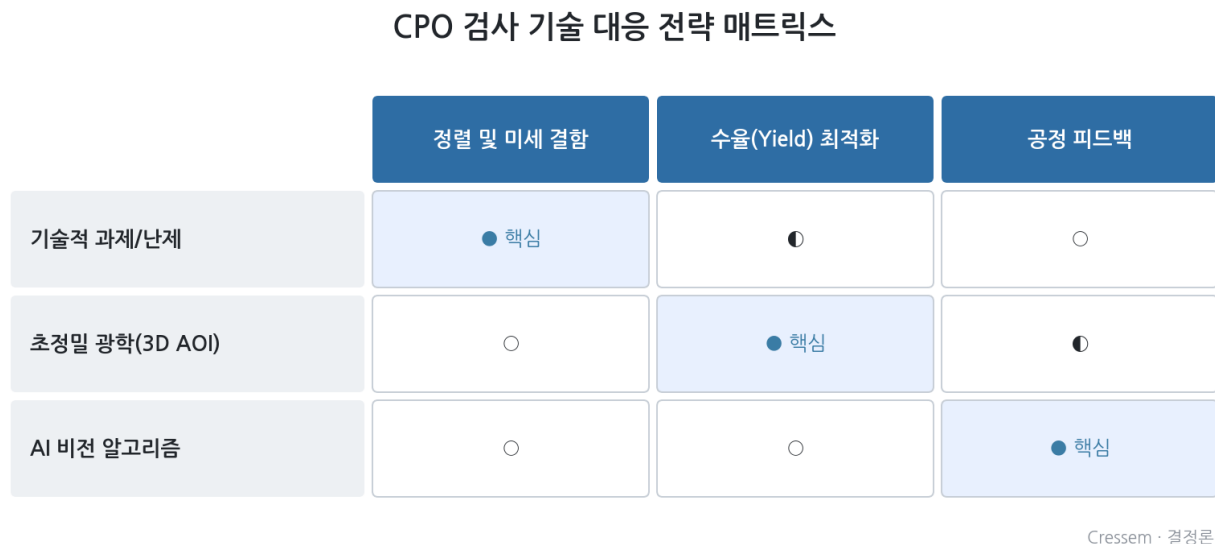


그림 9. CPO 검사 기술 대응 전략 매트릭스

#### 4. 결론 및 실행 로드맵

크레셈의 CPO 대응 전략은 '하드웨어의 정밀도(Precision)'와 '소프트웨어의 지능화(Intelligence)'를 결합하는 방향으로 전개되어야 합니다.

1. **단기적 과제:** 기존 FC-BGA 및 2.5D 기판 검사에서 검증된 광학 엔진을 CPO용 초미세 정렬 검사 모듈로 고도화하여, 3.2 Tbps 및 6.4 Tbps급 실리콘 포토닉스 PIC 검사 시장에 진입합니다.

2. **중기적 과제:** AI 기반 결함 분류 솔루션을 상용화하여 고객사의 Tact Time(생산 주기)을 단축시키고, 과검률을 최소화하는 지능형 검사 시스템을 완성합니다.

3. **장기적 과제:** 검사 데이터를 공정 제어 시스템과 연동하는 '스마트 팩토리 통합 데이터 플랫폼'을 제공함으로써, 단순 장비 공급사를 넘어 고객사의 수율 향상을 주도하는 전략적 파트너로 도약합니다. [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf]

## 결론 및 시사점

AI 인프라의 폭발적인 확장과 데이터센터의 고밀도화는 기존 구리(Copper) 기반 전기 신호 전송 방식의 물리적 임계점을 넘어섰습니다. 112G 및 차세대 224G SerDes 기술 환경에서 구리 배선의 유효 전송 거리가 수 센티미터(cm) 수준으로 단축됨에 따라, 전력 소모를 급증시키고 열 밀도를 상승시키는 리타이머(Retimer)나 DSP(Digital Signal Processor)의 의존도를 낮추기 위한 **공동 패키징형 광학(CPO, Co-Packaged Optics)** 기술 도입은 선택이 아닌 필수적인 **전략적 과제(Strategic Imperative)**입니다.

CPO 기술은 단순한 통신 방식의 변화를 넘어, 광학 소자(Photonics)와 반도체 스위치 칩을 하나의 패키지 기판에 통합하는 첨단 인터커넥트(Interconnect) 패러다임의 전환을 의미합니다. 이는 800Gbps 포트당 전력을 15W에서 5.5W로 절감하고, 비트당 전력 소모(pJ/bit)를 50% 이상 개선할 수 있는 혁신적인 솔루션으로서 AI 가속기 및 차세대 데이터센터 생태계의 핵심 동력으로 자리 잡을 전망입니다.

이러한 기술적 변곡점에서 크레셈(CRESSEM)은 다음과 같은 핵심 전략을 통해 **시장 주도권(Market Leadership)**을 확보해야 합니다.

1. **초정밀 검사 기술의 고도화**: CPO는 2.5D/3D 패키징 내에 광학 소자를 통합하는 고난도 공정을 수반합니다. 따라서 기존의 기판 검사 역량을 바탕으로, 광학 소자와 실리콘 포토닉스 PIC(Photonic Integrated Circuit)의 미세 정렬(Alignment) 및 접합부 결함을 검출할 수 있는 **초고해상도 3D AOI(Automated Optical Inspection)** 기술 확보가 최우선 과제입니다.

2. **AI 기반 지능형 검사 솔루션 통합**: 검사 데이터의 폭증과 공정 복잡도 증가에 대응하기 위해, 단순 결함 탐지를 넘어 결함의 원인을 역추적(Root Cause Analysis)할 수 있는 **AI 기반 데이터 분석 플랫폼**을 장비에 내재화해야 합니다. 이는 고객사의 수율(Yield) 향상에 직접적으로 기여하여 장비의 가치를 극대화하는 핵심 경쟁력이 될 것입니다.

3. **고객 맞춤형 모듈화 대응**: HBM4 및 CPO 공정은 제조사(SK하이닉스, 삼성전자 등) 및 패키징 업체(TSMC 등)마다 상이한 구조를 가집니다. 크레셈의 강점인 **모듈형 장비 설계 능력**을 활용하여 고객사별 특화된 검사 모듈을 신속하게 공급하는 맞춤형 전략이 필요합니다.

결론적으로, CPO 시장의 폭발적 성장(2030년 약 81억 달러 전망)은 크레셈에게 기존의 고난도 기판 검사 기술을 고부가가치의 광학·메모리 검사 영역으로 확장할 수 있는 결정적 기회입니다. 차세대 패키징 공정의 핵심인 **Hybrid Bonding 및 광학 통합 기술**에 대한 선제적 검사 솔루션을 구축함으로써, 크레셈은 글로벌 AI 반도체 공급망 내에서 대체 불가능한 핵심 검사 장비 파트너로 도약할 것입니다.

## 참고 자료

1. [Cpo 기술 동향 및 국내외 기업 분석 :: 투자연구소 테크센터](<https://engineering-ladder.tistory.com/178>)
2. [공동 패키징형 광학 (CPO) 기술동향 및 시장 전망 2025-2035 - IDTechEx](<https://www.idtechex.com/ko/research-report/co-packaged-optics/1019>)
3. [2026.03 Cpo (공동패키지광학) - Ai 데이터센터의 차세대 광통신 ...](<https://kai-search.tistory.com/46>)
4. [구리선의 한계와 반도체의 새로운 돌파구, Cpo 기술 심층 분석](<https://alchonomics.com/cpo-semiconductor-optical-packaging-ai/>)
5. [Co-Packaged Optics Market Size, Share and Growth Analysis](<https://www.marketsandmarkets.com/Market-Reports/co-packaged-optics-market-28874835.html>)
6. [Co Packaged Optics Market Report: Size, Growth, Trends & Forecast (2025-2033)](<https://www.verifiedmarketresearch.com/product/co-packaged-optics-market/>)

7. [Co-Packaged Optics (CPO) Market Size to Hit USD 1,055.11 Million by 2034](<https://www.precedenceresearch.com/co-packaged-optics-market>)
8. [Co-Packaged Optics (CPO) 2026-2036: Technologies, Market, and Forecasts](<https://www.idtechex.com/en/research-report/co-packaged-optics-cpo/1138>)
9. [CPO Compass Report 2026: Procurement Trends & Strategy | Ivalua](<https://info.ivalua.com/whitepaper/cpo-compass-2026>)
10. [2026 CPO Report - Proxima](<https://proximagroup.com/reports-and-research/2026-cpo-report/>)
11. [Procurement Trends 2026 | Inverto, a BCG Company](<https://inverto.com/en/procurement-trends-2026/>)
12. 보고서\_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf (사내 자료)
13. 매뉴얼HBMAAdvancedInspectionSyst20260509001.pdf (사내 자료)
14. 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf (사내 자료)
15. 분석\_크레셈CRESSEM20260509001.pdf (사내 자료)
16. pdf\_인하대학교컴퓨터공학과배승환20260509001.pdf (사내 자료)
17. ProfessorSeungHwanBaeReport.pdf (사내 자료)