

차세대 광 I/O(CPO) 기술 동향 분석 및 크레셈(CRESSEM)의 전략적 대응 방안

문서번호 CRSM-AI-2026-AUTO

작성일 2026-07-28

작성 Cressem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

차세대 광 I/O(CPO) 기술 동향 분석 및 크레셈(CRESSEM)의 전략적 대응 방안	3
개요 및 배경	3
CPO(Co-Packaged Optics) 핵심 기술 메커니즘	4
글로벌 CPO 시장 규모 및 성장 전망	6
주요 플레이어 및 기술 로드맵 분석	8
CPO 패키징 공정의 기술적 난제	9
크레셈(CRESSEM)의 기술적 기회 및 대응 전략	11
결론 및 시사점	13
참고 자료	14

차세대 광 I/O(CPO) 기술 동향 분석 및 크레셈(CRESSEM)의 전략적 대응 방안

AI 데이터센터의 전력 및 대역폭 한계를 극복하기 위한 차세대 인터커넥트 기술인 CPO(Co-Packaged Optics)의 기술적 메커니즘과 시장 전망을 분석합니다. 글로벌 주요 플레이어의 기술 로드맵을 검토하고, 크레셈의 고정밀 광학 검사 및 AI 비전 기술을 활용한 시장 진입 및 수율 확보 전략을 제안합니다.

개요 및 배경

1. AI 인프라의 폭발적 성장과 데이터 전송 병목 현상

최근 생성형 AI(Generative AI) 모델의 파라미터 수가 기하급수적으로 증가함에 따라, 이를 처리하기 위한 AI 데이터센터(AI Data Center) 및 가속기(Accelerator)의 수요가 폭발적으로 증가하고 있습니다. AI 연산의 핵심은 거대한 규모의 데이터를 초고속으로 처리하는 것이며, 이는 곧 칩(Chip)과 칩 사이, 그리고 스위치(Switch)와 스위치 사이를 연결하는 인터커넥트(Interconnect) 기술의 성능에 의해 결정됩니다.

현재의 AI 인프라는 수만 개의 GPU와 고대역폭 메모리(HBM)가 거대한 클러스터를 형성하여 작동합니다. 이 과정에서 발생하는 데이터 트래픽은 과거의 클라우드 컴퓨팅 시대와는 비교할 수 없는 수준이며, 이는 데이터 전송 속도(Bandwidth)의 극대화와 함께 전력 소모(Power Consumption)를 최소화해야 하는 이중의 과제를 안겨주고 있습니다.

2. 구리(Copper) 기반 전기 신호 전송의 물리적 한계

수십 년간 반도체 및 네트워크 산업의 표준으로 자리 잡았던 구리 배선 기반의 전기 신호 전송 방식은 현재 심각한 물리적 임계점에 직면해 있습니다. 데이터 전송 속도가 112Gbps를 넘어 차세대 224Gbps SerDes(Serializer/Deserializer) 기술 환경으로 진입함에 따라, 구리 배선의 유효 전송 거리(Effective Transmission Distance)는 수 센티미터(cm) 수준으로 급격히 단축되었습니다 [출처: engineering-ladder.tistory.com].

이러한 신호 손실(Signal Loss) 문제를 해결하기 위해 기존 시스템은 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP)를 추가로 배치하여 신호를 복원해 왔습니다. 그러나 이러한 방식은 다음과 같은 치명적인 부작용을 초래합니다:

- **전력 밀도(Power Density)의 급증:** 신호를 증폭하고 처리하기 위한 추가 소자들이 막대한 전력을 소비하며, 이는 데이터센터 전체의 전력 효율(PUE, Power Usage Effectiveness)을 저하시키는 주원인이 됩니다. 특히 네트워크 장비 내에서 DSP가 차지하는 전력 비중은 약 50%에 달할 정도로 높습니다 [출처: engineering-ladder.tistory.com].
- **열 관리(Thermal Management)의 난제:** 전력 소모의 증가는 곧 발열로 이어지며, 이는 칩의 성능 저하(Throttling)와 신뢰성 문제를 야기합니다. 고밀도로 집적된 AI 가속기 환경에서 발생하는 열 밀도(Heat Density) 상승은 기존의 공랭식(Air Cooling) 냉각 방식을 넘어 액침 냉각(Immersion Cooling) 등 고비용 솔루션을 강요하게 만듭니다.
- **대역폭 확장성(Bandwidth Scalability)의 한계:** 구리 배선의 물리적 특성상 고주파 신호일수록 감쇠가 심해지므로, 대역폭을 높이기 위해 배선 수를 늘리는 것은 물리적 공간과 비용 측면에서 더 이상 지속 가능한 해결책이 될 수 없습니다 [출처: alchonomics.com].

3. 차세대 돌파구: 공동 패키징 광학(CPO, Co-Packaged Optics)의 등장

구리 기반 전기 신호의 물리적 한계를 극복하고 AI 데이터센터의 지속 가능한 성장을 가능케 할 핵심 기술로 **공동 패키지형 광학(CPO, Co-Packaged Optics)** 기술이 부상하고 있습니다. CPO는 기존의 플러거블(Pluggable) 광모듈 방식과 달리, 광학 소자(Photonics)와 반도체 스위치 칩(Switch ASIC)을 하나의 패키지 기판(Package Substrate) 내에 통합하는 첨단 인터커넥트 기술입니다 [출처: kai-search.tistory.com].

CPO 기술의 도입은 단순한 부품의 교체가 아닌, 데이터 전송 패러다임의 전환을 의미합니다. 주요 기대 효과는 다음과 같습니다:

비교 항목	기존 Pluggable 방식	차세대 CPO 방식	기대 효과 및 가치
신호 경로	칩 → 긴 구리 배선 → 광모듈	칩 → 통합 광학 엔진(Optical Engine)	신호 경로 단축 및 손실 최소화
전력 효율	DSP 및 리타이머로 인한 높은 소비 전력	DSP 기능 간소화 및 제거 가능	비트당 전력 소모(pJ/bit) 50% 이상 절감 [출처: engineering-ladder.tistory.com]
전력 소모(800G 기준)	포트당 약 15W 수준	포트당 약 5.5W 수준	약 63% 이상의 전력 절감 효과 [출처: kai-search.tistory.com]
신호 손실	고주파 대역에서 급격한 감쇠 발생	광 신호를 이용한 고속 전송	신호 손실을 80% 이상 개선 가능 [출처: engineering-ladder.tistory.com]

표 1. 차세대 돌파구: 공동 패키지형 광학(CPO, Co-Packaged

결론적으로, CPO는 AI 연산 규모의 폭발적 증가에 따른 데이터 입출력(I/O) 병목 현상을 해결하고, 데이터센터의 전력 및 열 관리 문제를 근본적으로 해결할 수 있는 유일한 기술적 대안으로 평가받고 있습니다. 이는 향후 반도체 패키징 산업의 중심축이 전기적 연결에서 광학적 연결(Optical Interconnect)로 이동할 것임을 시사하며, 이에 따른 초정밀 패키징 및 검사 기술의 중요성이 그 어느 때보다 강조되고 있습니다.

CPO(Co-Packaged Optics) 핵심 기술 메커니즘

AI 연산 규모가 폭발적으로 증가함에 따라, 칩 내부의 데이터 연산 속도보다 이를 외부로 입출력(I/O)하는 과정에서 발생하는 병목 현상이 데이터센터의 핵심 과제로 부상했습니다. 기존의 플러거블(Pluggable) 방식은 광모듈이 스위치 칩과 물리적으로 떨어져 있어, 전기 신호를 광 신호로 변환하기 위해 긴 구리 배선을 거쳐야 했습니다. 이 과정에서 신호 손실(Signal Loss)과 지연 시간(Latency)이 급격히 증가하며, 이를 극복하기 위해 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP)를 추가 배치해야 하는 악순환이 발생했습니다. CPO(Co-Packaged Optics, 공동 패키징 광학)는 이러한 물리적 한계를 근본적으로 해결하기 위해 광학 소자와 반도체 스위치 칩을 하나의 패키지 기판(Substrate)에 통합하는 첨단 인터커넥트(Interconnect) 기술입니다.

1. Pluggable 방식 대비 CPO의 구조적 이점

CPO 기술의 핵심 가치는 전기적 신호 전송 거리를 최소화하여 전력 효율을 극대화하고 데이터 전송의 신뢰성을 높이는 데 있습니다.

가. 전력 소모의 혁신적 절감 (Power Efficiency)

현재 업계에서 도입 중인 112G 및 차세대 224G SerDes(Serializer/Deserializer) 기술 환경에서 구리 배선의 유효 전송 거리는 수 센티미터(cm) 수준으로 매우 짧아졌습니다. 기존 플러거블 방식은 칩에서 광모듈까지의 긴 경로를 보상하기 위해 막대한 전력을 소모하는 DSP 기능에 의존하며, 이는 네트워크 전체 전력 비중의 약 50%를 차지할 만큼 비중이 높습니다 [출처: 투자연구소 테크센터]. 반면, CPO는 광학 엔진을 스위치 칩과 인접하게 배치함으로써 신호 손실을 80% 이상 줄일 수 있습니다. 이를 통해 비트당 전력 소모(pJ/bit)를 50% 이상 절감할 수 있으며, 구체적인 사례로 800Gbps 포트당 전력을 기존 15W에서 5.5W 수준으로 낮추는 것이 가능합니다 [출처: AI 데이터센터의 차세대 광통신].

나. 지연 시간(Latency) 및 신호 무결성(Signal Integrity) 개선

전기적 신호가 구리 배선을 통해 이동할 때 발생하는 감쇠(Attenuation)와 왜곡은 데이터 전송 지연의 주원인입니다. CPO는 광학 소자를 패키지 내부에 직접 통합함으로써 전기적 경로를 극단적으로 단축합니다. 이는 신호의 정밀도를 높여 신호 무결성(SI)을 확보하고, 고속 데이터 전송 시 발생하는 지연 시간을 최소화하여 AI 클러스터와 같은 초저지연 환경에서 필수적인 성능을 제공합니다.

다. 열 밀도(Thermal Density) 관리의 용이성

기존 방식은 DSP와 리타이머가 추가됨에 따라 데이터센터 내의 열 밀도가 상승하는 부작용을 초래했습니다. CPO는 전력 소모가 큰 DSP 기능을 간소화하거나 완전히 제거할 수 있는 구조를 제공하여, 시스템 전체의 열 관리 효율을 높이고 냉각 비용을 절감하는 데 기여합니다 [출처: 투자연구소 테크센터].

2. 실리콘 포토닉스(Silicon Photonics, SiPh) 기술 원리

CPO를 구현하기 위한 핵심 엔진은 실리콘 포토닉스(Silicon Photonics) 기술입니다. 이는 기존의 CMOS 공정을 활용하여 실리콘 웨이퍼 위에 광학 소자(Waveguide, Modulator, Photodetector 등)를 집적하는 기술을 의미합니다.

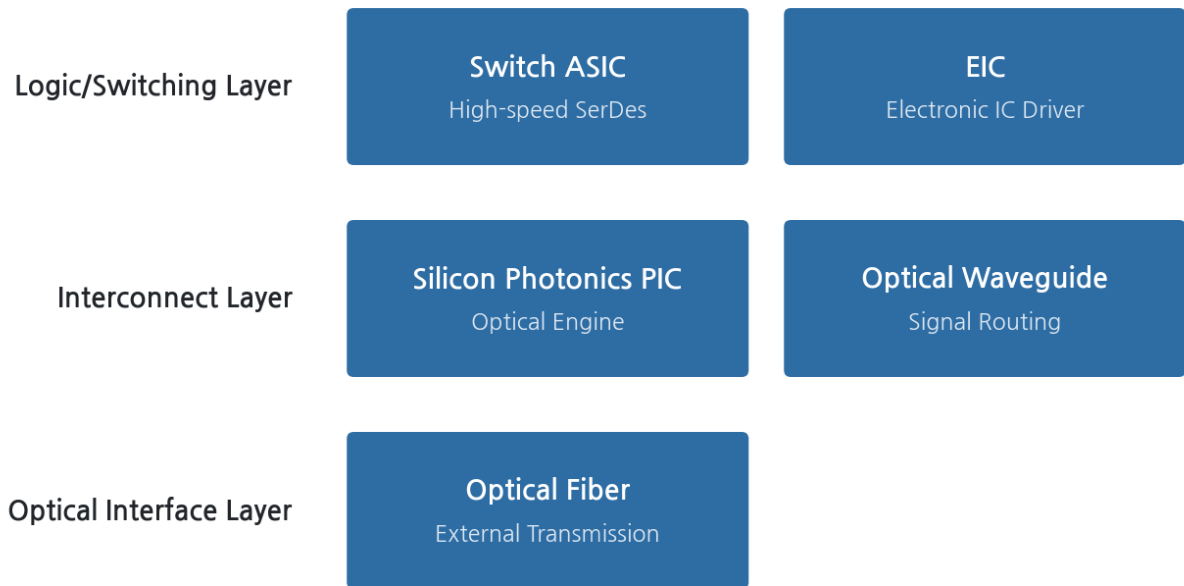
가. CMOS 공정과의 호환성 및 집적도

실리콘 포토닉스는 기존 반도체 제조 공정(Fab)과 높은 호환성을 가집니다. 이를 통해 광학 소자를 매우 작은 크기로 구현할 수 있으며, 전자 회로(Electronic IC, EIC)와 광학 회로(Photonic IC, PIC)를 하나의 기판 위에 고밀도로 집적할 수 있습니다. 최근에는 3.2 Tbps 및 6.4 Tbps급 실리콘 포토닉스 PIC와 이를 구동할 EIC를 개발하는 등 기술적 진보가 가속화되고 있습니다 [출처: 투자연구소 테크센터].

나. SerDes와 광 인터커넥트의 결합

CPO 시스템 내에서 SerDes는 고속 직렬 데이터를 병렬 데이터로 변환하거나 그 반대의 역할을 수행하며, 실리콘 포토닉스 모듈과 긴밀하게 연결됩니다. CPO 구조에서는 SerDes가 처리해야 할 전기적 경로가 매우 짧기 때문에, 훨씬 높은 대역폭을 유지하면서도 전력 효율을 극대화할 수 있는 환경이 조성됩니다. 이는 차세대 224G SerDes 환경에서 CPO가 선택이 아닌 필수가 되는 기술적 근거가 됩니다.

CPO(Co-Packaged Optics) 통합 아키텍처



Cressem · 결정론 렌더

그림 1. CPO(Co-Packaged Optics) 통합 아키텍처

3. 기술적 메커니즘 요약 비교

구분	Pluggable 방식 (기준)	CPO 방식 (차세대)	비고
연결 구조	칩 ↔ 구리 배선 ↔ 광모듈	칩 ↔ 광학 엔진 (통합 패키지)	CPO는 물리적 거리 최소화
주요 전력 소모원	DSP, Retimer, 긴 구리 경로	EIC (최소화된 DSP)	CPO는 전력 효율 약 50%↑
신호 손실	높음 (고속 SerDes 시 임계점 도달)	매우 낮음 (광 신호 직접 활용)	CPO는 신호 무결성 확보 유리
데이터 전송 효율	대역폭 확장 한계 존재	Tbps급 초고속 전송 가능	SiPh 기술 기반 집적도 향상
열 관리	광모듈 및 DSP 발열 집중	패키지 내 통합 열 관리 필요	CPO는 정밀한 Thermal 설계 필수

표 2. 기술적 메커니즘 요약 비교

글로벌 CPO 시장 규모 및 성장 전망

AI 가속기 및 초거대 데이터센터(Hyperscale Data Center)의 폭발적인 수요 증가로 인해, 데이터 전송의 병목 현상을 해결할 핵심 기술인 공동 패키지형 광학(CPO, Co-Packaged Optics) 시장은 전례 없는 고성장을 기록할 것으로 전망됩니다. 기존의 플러그블(Pluggable) 광모듈 방식이 대역폭 밀도(Bandwidth Density)와 전력 효율성 측면에서 물리적 임계점에 도달함에 따라, CPO는 단순한 기술적 대안을 넘어 차세대 네트워크 인프라의 필수

표준으로 자리 잡고 있습니다.

1. 시장 성장 규모 및 연평균 성장률(CAGR) 분석

글로벌 CPO 시장은 2024년을 기점으로 본격적인 상용화 단계에 진입하였으며, 향후 수년간 기하급수적인 규모 확장이 예상됩니다. 시장 조사 기관 및 주요 분석 데이터에 따르면, CPO 시장의 성장세는 다음과 같은 양상을 보입니다.

- **폭발적인 성장률(CAGR):** Yole Group의 분석에 따르면, CPO 시장은 2024년 약 4,600만 달러 규모에서 2030년에는 81억 달러 규모로 성장할 것으로 예측됩니다. 이는 연평균 성장률(CAGR)이 약 137%에 달하는 경이로운 수치입니다 [출처: 투자연구소 테크센터].
- **장기적 시장 전망:** 또 다른 시장 분석 데이터에 따르면, 2025년 약 9,504만 달러 규모로 평가되는 시장은 기술 성숙도가 높아짐에 따라 2034년에는 약 10억 5,511만 달러에 도달할 것으로 전망됩니다. 이 경우의 연평균 성장률(CAGR)은 약 30.66%로 추산되며, 이는 초기 시장 형성기 이후 안정적인 고성장 궤도에 진입함을 의미합니다 [출처: Precedenceresearch].

CPO 시장 성장 전망 (Yole Group 기준)



Cressem · 결정론 렌더

그림 2. CPO 시장 성장 전망 (Yole Group 기준)

2. 데이터 전송 속도 및 대역폭(Bandwidth) 중심의 시장 구조

CPO 시장의 성장은 단순히 전체 규모의 확대뿐만 아니라, 요구되는 데이터 전송 속도(Data Rate)의 비약적인 상승과 밀접하게 연관되어 있습니다. 현재 시장은 800Gbps급 솔루션이 주류를 이루기 시작했으며, 차세대 표준인 1.6Tbps 및 3.2Tbps, 나아가 6.4Tbps급 실리콘 포토닉스(Silicon Photonics) PIC(Photonic Integrated Circuit) 개발이 시장의 핵심 동력으로 작용하고 있습니다.

구분	현재(Current)	차세대(Next-Gen)	주요 기술적 동인
표준 데이터 속도	400Gbps / 800Gbps	1.6Tbps / 3.2Tbps+	SerDes 기술(112G → 224G) 고도화
주요 적용 분야	엔터프라이즈 데이터센터	AI 가속기, 초거대 AI 클러스터	고대역폭(High Bandwidth) 요구 증가
패키징 기술	Pluggable Optics 중심	CPO (Co-Packaged Optics)	전력 소모 및 지연 시간(Latency) 최소화

표 3. 데이터 전송 속도 및 대역폭(Bandwidth) 중심의 시장 구조

특히, NVIDIA GTC 2026 등 주요 기술 컨퍼런스를 기점으로 광학 통합 스위치(Optical Integrated Switch)가 공개되고 Broadcom 등의 선도 기업들이 CPO 솔루션의 양산 진입을 가시화하면서, 시장의 중심축은 점진적으로 고속·고밀도 대역폭을 지원하는 CPO 구조로 이동하고 있습니다 [출처: AI 데이터센터의 차세대 광통신].

3. 시장 성장의 핵심 동인: 전력 효율성 및 대역폭 밀도

CPO 시장이 이토록 가파르게 성장하는 근본적인 이유는 AI 연산 규모 확장에 따른 '**전력 밀도(Power Density)**'와 '**대역폭 밀도(Bandwidth Density)**'의 한계를 극복하기 위함입니다.

첫째, **전력 효율성(Power Efficiency)** 측면에서 CPO는 압도적인 우위를 점합니다. 기존의 플러거블 방식은 칩과 광모듈 사이의 긴 구리 배선에서 발생하는 신호 손실을 보상하기 위해 고성능 DSP(Digital Signal Processor)를 필수적으로 사용해야 하며, 이는 네트워크 전체 전력 소비의 약 50%를 차지할 정도로 막대한 부담을 줍니다. 반면, CPO는 광학 소자를 스위치 칩과 동일 패키지에 통합함으로써 신호 손실을 80% 이상 줄이고, 비트당 전력 소모(pJ/bit)를 50% 이상 절감할 수 있는 경제성을 제공합니다 [출처: 투자연구소 테크센터].

둘째, **대역폭 밀도(Bandwidth Density)**의 한계 극복입니다. 112G 및 차세대 224G SerDes 기술 환경에서는 구리 배선의 유효 전송 거리가 수 센티미터(cm) 수준으로 급격히 단축되는 물리적 제약이 발생합니다. CPO는 이러한 전기적 신호 전송의 한계를 광(Optical) 신호로 직접 전환하여 패키지 레벨에서 처리함으로써, 단위 면적당 훨씬 높은 데이터 처리량을 구현할 수 있습니다 [출처: 투자연구소 테크센터].

결론적으로, 글로벌 CPO 시장은 AI 인프라의 물리적 한계를 돌파하기 위한 필수 선택지로 인식되고 있으며, 데이터 전송 속도가 높아질수록 그 가치와 시장 점유율은 더욱 가속화될 것으로 분석됩니다.

주요 플레이어 및 기술 로드맵 분석

AI 데이터센터의 인프라가 폭발적으로 확장됨에 따라, 기존의 플러거블(Pluggable) 광모듈 방식이 가진 전력 효율 및 대역폭 밀도의 한계를 극복하기 위한 글로벌 빅테크 기업들의 CPO(Co-Packaged Optics) 기술 경쟁이 가속화되고 있습니다. 현재 시장은 고성능 스위치 칩을 설계하는 Broadcom과 AI 가속기 및 시스템 아키텍처를 주도하는 NVIDIA를 중심으로 기술 표준과 상용화 로드맵이 형성되고 있습니다.

1. 글로벌 선도 기업별 CPO 솔루션 현황

1.1. Broadcom: CPO 상용화의 선두주자

Broadcom은 CPO 기술을 실제 이더넷 스위치 제품군에 가장 먼저 통합하며 시장 주도권을 확보하고 있습니다. Broadcom의 전략은 기존의 전기 신호 기반 스위치 칩과 광학 엔진(Optical Engine)을 하나의 패키지로 통합하여, 칩과 광학 소자 사이의 구리 배선 길이를 최소화하는 데 집중되어 있습니다.

- **TH6-Davisson 시리즈:** Broadcom의 3세대 CPO 기술이 적용된 51.2 Tbps급 이더넷 스위치 솔루션입니다. 이 제품은 기존의 플러거블 방식과 비교했을 때 전력 소모를 최대 70%까지 절감하며, 데이터센터 내의 열 밀도 문제를 해결하는 데 핵심적인 역할을 합니다. [출처: engineering-ladder.tistory.com]

- **기술적 강점:** Broadcom은 실리콘 포토닉스(Silicon Photonics) 기술을 자사의 고성능 스위치 ASIC과 결합하여, 비트당 전력 소모(pJ/bit)를 획기적으로 낮추는 데 성공했습니다. 이는 대규모 AI 클러스터에서 발생하는 전력 및 냉각 비용을 직접적으로 절감할 수 있는 솔루션으로 평가받습니다.

1.2. NVIDIA: AI 가속기 중심의 광학 통합 전략

NVIDIA는 단순한 네트워크 스위치를 넘어, AI 연산의 핵심인 GPU와 데이터 전송 경로를 광학적으로 통합하는 방향으로 움직이고 있습니다. NVIDIA의 CPO 접근 방식은 GPU 간의 초고속 인터커넥트(Interconnect) 성능을 극대화하는 데 초점이 맞춰져 있습니다.

- **NVIDIA GTC 2026 및 광학 통합 스위치:** 최근 NVIDIA GTC 2026을 통해 공개된 광학 통합 스위치 기술은 AI 인프라 투자의 핵심 키워드로 부상했습니다. [출처: kai-search.tistory.com] 이는 GPU와 스위치 칩 사이의 병목 현상을 제거하기 위해 광학 소자를 패키지 레벨에서 통합하는 기술을 포함합니다.
- **기술적 방향성:** NVIDIA는 NVLink와 같은 독자적인 인터커넥트 기술을 광학적으로 구현함으로써, 수만 개의 GPU가 하나의 거대한 연산 장치처럼 동작할 수 있는 'Scale-up' 및 'Scale-out' 구조를 완성하고자 합니다.

2. 주요 플레이어 기술 비교 분석

글로벌 플레이어들은 각자의 주력 제품군에 따라 서로 다른 기술적 경로를 걷고 있으나, 궁극적으로는 전력 효율성 극대화와 대역폭 밀도 향상이라는 동일한 목표를 지향합니다.

비교 항목	Broadcom (Network-Centric)	NVIDIA (Compute-Centric)
주요 타겟	고성능 이더넷 스위치 (Ethernet Switch)	AI 가속기 및 GPU 클러스터 (AI Accelerator)
핵심 솔루션	51.2 Tbps급 CPO 기반 스위치 (TH6 등)	광학 통합 스위치 및 NVLink 광학화
기술적 지향점	데이터센터 네트워크 전력 및 지연 시간 절감	GPU 간 데이터 전송 병목 해소 및 대역폭 확장
상용화 단계	3세대 CPO 기술 기반 양산 진입 단계	차세대 AI 인프라 구축을 위한 통합 로드맵 진행 중

표 4. 주요 플레이어 기술 비교 분석

3. 차세대 기술 로드맵 및 전송 속도 전망

CPO 기술의 발전은 데이터 전송 속도의 단계적 상승과 궤를 같이합니다. 현재 업계는 112G SerDes(Serializer/Deserializer) 환경을 넘어 차세대 224G SerDes 기술로의 전환을 준비하고 있습니다.

- **SerDes 기술의 진화:** 112G에서 224G로 전송 속도가 높아질수록 구리 배선의 유효 전송 거리는 수 센티미터(cm) 수준으로 급격히 단축됩니다. 이는 기존의 리타이머(Retimer)나 고성능 DSP(Digital Signal Processor)를 추가 배치하는 방식으로는 감당할 수 없는 전력 소모와 열 문제를 야기합니다. [출처: engineering-ladder.tistory.com]
- **데이터 전송 속도별 로드맵:**
 - **현재(Current):** 800Gbps급 포트 중심의 Pluggable 광모듈 및 초기 CPO 도입 단계.
 - **단기(Near-term):** 1.6Tbps급 이상의 고대역폭 요구에 따른 CPO 솔루션의 본격적인 양산 및 확산.
 - **장기(Long-term):** 3.2 Tbps 및 6.4 Tbps급 실리콘 포토닉스 PIC(Photonic Integrated Circuit)와 EIC(Electronic Integrated Circuit)가 결합된 초고집적 CPO 시스템 구축.

이러한 로드맵에 따라 Broadcom과 NVIDIA는 단순한 칩 설계를 넘어, 패키징 공정 자체를 제어할 수 있는 기술력을 확보하기 위해 실리콘 포토닉스 기반의 소자 개발과 이종 집적(Heterogeneous Integration) 기술에 막대한 투자를 지속하고 있습니다. 특히 2.5D 및 3D 패키징 기술과의 결합은 CPO 구현을 위한 필수적인 선결 과제로 작용하고 있습니다.

CPO 패키징 공정의 기술적 난제

CPO(Co-Packaged Optics, 공동 패키징 광학) 기술은 광학 엔진(Optical Engine)을 반도체 스위치 칩과 동일한 패키지 기판 내에 통합함으로써 데이터 전송 효율을 극대화하는 혁신적인 기술입니다. 그러나 기존의 Pluggable(플러그블) 방식에서 벗어나 2.5D 및 3D 패키징 구조로 통합되는 과정에서, 공정 난이도는 기하급수적으로 상승하고 있습니다. 특히 광학 소자와 전기적 소자가 초정밀 수준에서 결합되어야 하므로, 정렬(Alignment) 오차, 열 관리(Thermal Management), 신호 무결성(Signal Integrity) 측면에서 복합적인 기술적 병목 현상이 발생하고 있습니다.

1. 초정밀 정렬(Alignment) 및 물리적 결합의 한계

CPO 구현을 위해서는 실리콘 포토닉스(Silicon Photonics, SiPh) 기반의 광학 소자와 고성능 ASIC(Application Specific Integrated Circuit) 또는 스위치 칩이 매우 근접한 거리에서 결합되어야 합니다. 이 과정에서 발생하는 정렬 문제는 CPO의 성능을 결정짓는 가장 치명적인 요소입니다.

- **Die-to-Die 및 Die-to-Substrate 정렬 오차:** 2.5D 패키징 구조에서 인터포저(Interposer) 위에 칩을 배치할 때, 광학 입출력 포트(Optical I/O port)의 위치가 나노미터(nm) 단위로 어긋날 경우 광 손실(Optical Loss)이 급격히 증가합니다. 특히 광섬유(Optical Fiber)와 실리콘 웨이퍼의 정렬, 또는 광학 엔진과 전기 칩 간의 정렬은 기존 반도체 패키징의 마이크로미터(μm) 단위를 넘어선 초정밀 제어를 요구합니다.
- **Hybrid Bonding 도입에 따른 정렬 난이도 상승:** 차세대 CPO 기술이 HBM4와 마찬가지로 하이브리드 본딩(Hybrid Bonding, Cu-to-Cu) 기술을 채택할 경우, 범프(Bump)가 없는 상태에서 구리(Cu) 패드 간의 직접 접합이 이루어집니다. 이 경우 미세한 정렬 오차(Misalignment)는 접합부의 Void(빈 공간) 형성이나 단락(Short)을 유발하며, 이는 곧 전체 광학 네트워크의 신뢰성 저하로 직결됩니다.
- **패키징 변형(Warping)에 의한 정렬 불량:** 적층 단수가 높아지고 패키지 크기가 커짐에 따라, 열처리(Annealing) 공정 중 발생하는 열팽창 계수(CTE) 차이로 인해 기판이나 다이(Die)가 휘어지는 워피지(Warping) 현상이 심화됩니다. 이는 정밀하게 설정된 정렬 위치를 물리적으로 이탈시켜 광학적 결합(Optical Coupling) 효율을 저하시키는 주요 원인이 됩니다.

2. 고밀도 집적에 따른 열 관리(Thermal Management) 이슈

CPO는 데이터센터의 전력 효율을 높이기 위해 도입되지만, 역설적으로 패키지 내부의 열 밀도(Heat Density)는 극도로 높아지는 문제를 안고 있습니다.

- **열 밀도의 집중 및 국소적 핫스팟(Hotspot) 형성:** 고성능 스위치 칩에서 발생하는 막대한 열량과 광학 엔진의 구동부에서 발생하는 열이 하나의 패키지 내에 공존하게 됩니다. 특히 광학 소자는 온도 변화에 매우 민감하여, 주변 전기 칩의 발열로 인해 온도 변화가 발생할 경우 파장(Wavelength) 드리프트(Drift) 현상이 나타나 통신 품질이 저하됩니다.
- **열-광학 결합 문제(Thermo-optic Effect):** 실리콘 포토닉스 소자는 온도 변화에 따라 굴절률이 변하는 열-광학 효과를 보입니다. 패키지 내부의 불균일한 온도 분포는 광학 소자의 성능을 불안정하게 만들며, 이를 보정하기 위해 별도의 열 제어 회로(Thermo-electric Cooler, TEC)를 추가할 경우, CPO 도입의 본래 목적인 '전력 절감' 효과가 상쇄될 위험이 있습니다.
- **방열 구조 설계의 복잡성:** 2.5D/3D 적층 구조에서는 열이 내부 칩에서 외부 히트싱크(Heat Sink)로 전달되는 경로가 매우 복잡합니다. 고밀도 배선과 미세 피치(Fine Pitch) 구조는 공기 흐름을 차단하고 열 저항(Thermal Resistance)을 높여, 패키지 내부의 열 배출을 방해하는 물리적 장벽으로 작용합니다.

3. 신호 무결성(Signal Integrity, SI) 및 전력 무결성(Power Integrity, PI)

CPO는 전기적 신호 전달 거리를 단축하여 신호 손실을 줄이는 것이 목적이지만, 패키지 내부의 고밀도 통합은 오히려 새로운 신호 간섭 문제를 야기합니다.

- **전기-광학 간 간섭(EMI/Crosstalk):** 고속 데이터 전송을 위해 112G 또는 224G SerDes 기술이 적용됨에 따라, 초고주파 신호가 흐르는 구리 배선과 민감한 광학 소자 간의 전자기 간섭(EMI) 및 크로스토크(Crosstalk) 문제가 심각해집니다. 패키지 내부의 미세한 배선들이 서로 인접해 있어, 신호 간의 간섭을 차단하기 위한 차폐(Shielding) 기술이 필수적입니다.
- **전력 무결성(PI) 확보의 어려움:** 대규모 스위치 칩과 광학 엔진이 동시에 구동될 때 발생하는 급격한 전류 변화(di/dt)는 전압 강하(IR Drop)나 전원 노이즈(Power Noise)를 유발할 수 있습니다. 이는 신호의 지터(Jitter)를 증가시켜 데이터 전송 오류율(BER, Bit Error Rate)을 높이는 직접적인 원인이 됩니다.
- **임피던스 매칭(Impedance Matching)의 정밀도 요구:** 전기 신호가 광 신호로 변환되는 EIC(Electronic Integrated Circuit)와 PIC(Photonic Integrated Circuit) 사이의 인터페이스에서 임피던스 불연속성이 발생할 경우, 신호 반사(Reflection)가 일어나 데이터 무결성이 파괴됩니다. 초미세 패키징 공정에서는 배선 구조의 미세한 변화만으로도 임피던스 값이 크게 변하므로, 설계와 제조 공정 모두에서 극도의 정밀도가 요구됩니다.

[요약: CPO 패키징 기술 난제 비교]

구분	주요 이슈 (Key Issue)	기술적 영향 (Impact)	요구되는 핵심 역량
정렬 (Alignment)	Die-to-Die 미세 오차, Warpage	광 손실(Optical Loss) 증가, 결합 불량	초정밀 3D AOI, Hybrid Bonding 정렬 기술
열 관리 (Thermal)	핫스팟 발생, 열-광학 효과	파장 드리프트, 소자 성능 저하	고효율 방열 설계, 정밀 온도 제어 솔루션
신호/전력 (SI/PI)	EMI/Crosstalk, 전압 강하	BER 상승, 데이터 지터(Jitter) 발생	고주파 임피던스 제어, 차폐(Shielding) 기술

표 5. 요약: CPO 패키징 기술 난제 비교

CPO의 성공적인 상용화를 위해서는 이러한 물리적, 전기적 한계를 극복할 수 있는 차세대 패키징 공정 제어 기술이 필수적이며, 이는 곧 검사 및 측정 기술의 고도화로 이어질 것으로 전망됩니다.

크레셈(CRESSEM)의 기술적 기회 및 대응 전략

차세대 광 I/O 기술인 CPO(Co-Packaged Optics)의 등장은 반도체 패키징의 패러다임을 전기적 연결에서 광학적 연결로 전환시키고 있습니다. 이는 단순히 인터커넥트 방식의 변화를 넘어, 광학 소자(Photonics)와 반도체 스위치 칩(Switch Chip)을 하나의 패키지 기판(Package Substrate) 내에 통합해야 하는 초고난도 패키징 공정을 요구합니다. 크레셈(CRESSEM)은 기존에 확보해 온 고정밀 광학 검사 기술과 AI 비전 알고리즘을 바탕으로, CPO 공정에서 발생하는 기술적 난제를 해결하고 차세대 검사 장비 시장의 핵심 플레이어로 도약할 수 있는 강력한 기술적 기회를 맞이하고 있습니다.

1. CPO 패키징 공정에서의 기술적 교두보 확보

CPO 기술의 핵심은 광학 엔진(Optical Engine)과 전기적 칩을 물리적으로 매우 근접하게 배치하는 것입니다. 이 과정에서 크레셈이 보유한 기존의 **FC-BGA 및 2.5D/3D 기판 검사 기술**은 CPO 패키징 검사 영역으로 확장될 수 있는 중요한 기술적 교두보가 됩니다. [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

특히, CPO는 실리콘 포토닉스(Silicon Photonics) 기반의 PIC(Photonic Integrated Circuit)를 사용하므로, 기존의 전기적 신호 경로보다 훨씬 미세한 정렬(Alignment)과 결합 검출이 요구됩니다. 크레셈은 다음과 같은 세부

영역에서 기술적 우위를 점할 수 있습니다.

- **Die-to-Die 및 광학 소자 정렬 검사:** CPO 패키지 내에서 광학 엔진과 전기적 로직 다이(Logic Die) 간의 미세한 위치 오차(Misalignment)를 측정하는 기술입니다. 이는 광 신호의 손실(Insertion Loss)을 최소화하기 위한 필수 공정입니다.
- **2.5D/3D 패키징 통합 검사:** CPO는 CoWoS(Chip on Wafer on Substrate)와 같은 고도화된 패키징 기술과 결합되는 경우가 많습니다. 크레셈은 이미 확보한 Interposer 및 Substrate 검사 역량을 통해 CPO용 인터포저 내의 미세 회로 패턴 및 TSV(Through Silicon Via) 결함을 검출하는 솔루션을 제공할 수 있습니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].
- **Warping(휨) 및 구조적 안정성 분석:** 고밀도 적층이 이루어지는 CPO 패키지 특성상, 열팽창 계수 차이로 인한 기판의 휨(Warping) 현상은 광학적 정렬을 방해하는 치명적인 요소입니다. 크레셈의 고정밀 스테이지 제어 기술과 3D 프로파일링 기술은 변형된 상태에서도 정확한 데이터를 추출하여 공정 안정성을 확보하는 데 기여할 수 있습니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

2. Hybrid Bonding 대응을 통한 초정밀 검사 시장 선점

CPO의 고도화는 결국 접합 방식의 진화로 이어집니다. 특히 차세대 패키징의 핵심인 **하이브리드 본딩(Hybrid Bonding, Cu-to-Cu)** 기술이 CPO와 결합될 경우, 기존의 범프(Bump) 방식보다 훨씬 높은 수준의 정밀도가 요구됩니다.

하이브리드 본딩은 범프 없이 구리(Cu)와 절연막(Dielectric)을 직접 접합하는 방식으로, 접합면의 미세한 이물질(Particle)이나 아주 작은 정렬 오차만으로도 전체 패키지의 신호 무결성(Signal Integrity)을 무너뜨릴 수 있습니다. 크레셈은 이를 위해 다음과 같은 전략적 R&D를 추진해야 합니다.

- **초고해상도 3D AOI(Automated Optical Inspection) 고도화:** Hybrid Bonding 공정 도입 시, Cu-to-Cu 접합면의 미세 간극 및 이물질을 검출하기 위해 Sub-micron(μm) 급 해상도를 가진 광학 검사 모듈을 개발해야 합니다 [출처: 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf].
- **비파괴 검사(Non-Destructive Inspection) 역량 강화:** 적층 내부의 미세한 Void(빈 공간)나 결함을 확인하기 위해 고해상도 3D X-ray(Computed Tomography) 기술을 CPO 검사 라인에 통합하는 기술적 대응이 필요합니다 [출처: 보고서_삼성전자HBM4전환에따른검사기술동향20260509001.pdf].

3. AI-Driven 비전 솔루션을 통한 수율 최적화(Yield Optimization)

CPO 패키징은 공정의 복잡도가 기하급수적으로 증가하기 때문에, 단순한 불량 판별을 넘어 **데이터 기반의 수율 관리**가 핵심 경쟁력이 됩니다. 크레셈은 하드웨어(검사 장비)와 소프트웨어(AI 알고리즘)를 통합한 '스마트 검사 솔루션'을 통해 고객사의 수율 향상에 직접적으로 기여해야 합니다.

- **Deep Learning 기반 결함 분류 및 과검(Over-kill) 방지:** CPO 공정은 광학적 특성상 발생하는 정상적인 노이즈와 실제 결함을 구분하기 매우 어렵습니다. 크레셈의 AI 비전 알고리즘은 딥러닝을 통해 미세 결함(Defect)과 정상 노이즈를 명확히 구분함으로써, 과검률을 획기적으로 낮추고 생산 효율을 극대화할 수 있습니다 [출처: 기업 분석 보고서 (주)크레셈 (CRESSEM)].
- **Root Cause Analysis(원인 역추적) 플랫폼:** 검사 데이터를 단순 리포팅하는 수준을 넘어, 결함의 패턴을 분석하여 전공정(Fab) 또는 패키징 공정의 어떤 파라미터에서 문제가 발생했는지 역추적할 수 있는 데이터 분석 플랫폼을 장비에 통합해야 합니다. 이는 고객사(SK하이닉스, 삼성전자, TSMC 등)의 공정 최적화를 돕는 강력한 락인(Lock-in) 전략이 됩니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

4. 전략적 대응 매트릭스

CPO 시장의 기술적 요구사항과 크레셈의 핵심 역량을 매칭한 전략적 대응 방향은 다음과 같습니다.

CPO 기술 난제 대응 전략 매트릭스

	고정밀 광학/스테이지	AI 비전 알고리즘	3D/X-ray 비파괴 검사
정렬(Alignment) 오차	● 핵심	○	○
접합부 결함(Void/Particle)	○	● 핵심	● 핵심
열 관리 및 휨(Warping)	● 핵심	○	● 핵심
데이터 폭증 및 검사 속도	○	● 핵심	○

Cressem · 결론론 렌더

그림 3. CPO 기술 난제 대응 전략 매트릭스

5. 결론: 차세대 검사 시장의 게임 체인저(Game Changer)

CPO 기술의 상용화는 반도체 후공정 검사 장비 시장의 기술적 진입장벽을 높이는 동시에, 고부가가치 시장으로의 전환을 의미합니다. 크레셈은 'Hybrid Bonding 대응 기술력', 'AI 기반 수율 분석 솔루션', 그리고 '고객 맞춤형 모듈화 설계'라는 세 가지 핵심 축을 중심으로 R&D를 집중해야 합니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

단순히 불량을 찾아내는 장비 제조사를 넘어, 고객사의 수율(Yield)을 책임지는 '데이터 기반의 수율 최적화 파트너'로 포지셔닝함으로써, AI 반도체 공급망 내에서 대체 불가능한 핵심 위치를 차지할 수 있을 것으로 전망됩니다.

결론 및 시사점

AI 인프라의 폭발적인 성장과 함께 데이터 전송의 물리적 한계를 극복하기 위한 공동 패키징형 광학(CPO, Co-Packaged Optics) 기술은 선택이 아닌 필수적인 기술적 전환점으로 자리 잡았습니다. 기존의 플러그블(Pluggable) 광모듈 방식이 가진 전력 효율성 및 대역폭 밀도의 한계는 데이터센터의 운영 비용(OPEX)과 열 관리 문제를 심화시키고 있으며, 이를 해결할 CPO 기술은 차세대 AI 가속기 및 고성능 스위치 시장의 핵심 경쟁력이 될 것입니다.

본 보고서에서 분석한 내용을 바탕으로, CPO 시장의 급격한 성장에 대응하기 위한 크레셈(CRESSEM)의 전략적 R&D 로드맵 및 시장 포지셔닝을 다음과 같이 제안합니다.

1. 차세대 검사 기술의 선제적 확보 (Strategic R&D Roadmap)

CPO는 광학 소자(Photonics)와 반도체 칩을 하나의 패키지 기판에 통합하는 고도의 이종 집적(Heterogeneous Integration) 기술을 요구합니다. 따라서 크레셈은 다음과 같은 기술 고도화에 집중해야 합니다.

- **초정밀 정렬(Alignment) 검사 솔루션:** 실리콘 포토닉스(SiPh)와 EIC(Electronic IC) 간의 미세한 정렬 오차를 검출하기 위해, 기존의 마이크로미터(μm) 단위를 넘어 나노미터(nm)급 해상도를 지향하는 **초고해상도 3D**

AOI(Automated Optical Inspection) 기술 개발이 필수적입니다.

- **Hybrid Bonding 대응 기술:** 향후 CPO 패키징에서 댄프(Bump) 없는 접합 방식인 **하이브리드 본딩(Hybrid Bonding)**이 확대됨에 따라, Cu-to-Cu 접합면의 미세 이물질(Particle) 및 결함을 실시간으로 판별할 수 있는 광학 검사 모듈을 확보해야 합니다.

2. AI 기반 지능형 검사 플랫폼 구축 (Smart Inspection Solution)

단순한 불량 검출을 넘어, 고객사의 수율(Yield)을 실질적으로 개선할 수 있는 **AI-Driven 검사 솔루션**으로 진화해야 합니다.

- **데이터 통합 및 역추적(Root Cause Analysis):** 검사 과정에서 수집된 방대한 데이터를 AI 알고리즘으로 분석하여, 전공정(Fab)이나 패키징 공정의 특정 파라미터가 결함에 미치는 영향을 역추적하는 데이터 분석 플랫폼을 장비에 통합해야 합니다. 이는 고객사의 수율 향상에 직접적으로 기여하여 크레셈 장비의 강력한 **락인(Lock-in) 효과**를 창출할 것입니다.
- **과검(Over-kill) 방지 솔루션:** 딥러닝 기반의 결함 분류 기술을 통해 정상적인 노이즈와 실제 결함을 명확히 구분함으로써, 생산 라인의 **택 타임(Tact Time)**을 극대화하고 검사 신뢰도를 높여야 합니다.

3. 시장 리더십 확보를 위한 포지셔닝 (Market Leadership)

크레셈은 이미 FC-BGA 및 2.5D 기판 검사 분야에서 축적된 고정밀 광학 기술과 AI 비전 역량을 보유하고 있습니다. 이러한 강점을 바탕으로 HBM4 및 CPO로 이어지는 **고부가가치 패키징 검사 시장**의 핵심 플레이어로 도약해야 합니다. 고객사(SK하이닉스, 삼성전자, TSMC 등)별로 상이한 공정 특성에 유연하게 대응할 수 있는 **모듈형 맞춤형 검사 시스템(Customized Inspection System)** 공급 전략을 통해, 차세대 AI 반도체 공급망 내에서 대체 불가능한 검사 솔루션 파트너로서의 입지를 공고히 해야 할 것입니다.

참고 자료

1. [Cpo 기술 동향 및 국내외 기업 분석 :: 투자연구소 테크센터](https://engineering-ladder.tistory.com/178)
2. [공동 패키징형 광학 (CPO) 기술동향 및 시장 전망 2025-2035 - IDTechEx](https://www.idtechex.com/ko/research-report/co-packaged-optics/1019)
3. [2026.03 Cpo (공동패키지광학) - Ai 데이터센터의 차세대 광통신 ...](https://kai-search.tistory.com/46)
4. [구리선의 한계와 반도체의 새로운 돌파구, Cpo 기술 심층 분석](https://alchonomics.com/cpo-semiconductor-optical-packaging-ai/)
5. [Co-Packaged Optics Market Size, Share and Growth Analysis](https://www.marketsandmarkets.com/Market-Reports/co-packaged-optics-market-28874835.html)
6. [Co Packaged Optics Market Report: Size, Growth, Trends & Forecast (2025-2033)](https://www.verifiedmarketresearch.com/product/co-packaged-optics-market/)
7. [Co-Packaged Optics (CPO) Market Size to Hit USD 1,055.11 Million by 2034](https://www.precedenceresearch.com/co-packaged-optics-market)
8. [Co Packaged Optics Market Size, Share | Growth Report [2034]](https://www.fortunebusinessinsights.com/co-packaged-optics-market-117954)
9. [PDF Co-Packaged Optics (CPO) 2025-2035: Technologies, Market, and Forecasts](http://www.sbdi.co.kr/email/2024/20240826/sample/IDTechExCoPackagedOpticsCPO.pdf)

10. [PDF IDTechEx Report](http://www.sbdi.co.kr/email/2026/20260526/sample/IDTechExCoPackagedOpticsCPO2.pdf)
11. [PDF Co-Packaged Optics Gain Traction in Data Centers](https://www.mitsui.com/mgssi/en/report/detail/_icsFiles/afieldfile/2026/04/01/2601bttsujie.pdf)
12. [PDF Gtc 2025에서 부각된 Cpo 기술 상용화](https://stock.mk.co.kr/uploads/20250321/1742510867b612c7d8f97fabda98dd.pdf)
13. IDTechExCoPackagedOpticsCPO.pdf (사내 자료)
14. IDTechExCoPackagedOpticsCPO2.pdf (사내 자료)
15. 2601bttsujie.pdf (사내 자료)
16. 1742510867b612c7d8f97fabda98dd.pdf (사내 자료)
17. 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf (사내 자료)
18. 매뉴얼HBMAAdvancedInspectionSyst20260509001.pdf (사내 자료)
19. 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf (사내 자료)
20. 분석_크레셈CRESSEM20260509001.pdf (사내 자료)
21. pdf_인하대학교컴퓨터공학과배승환20260509001.pdf (사내 자료)
22. ProfessorSeungHwanBaeReport.pdf (사내 자료)