

차세대 광 I/O(CPO) 기술 동향 분석 및 크레셈(CRESSEM)의 전략적 대응 방안

문서번호 CRSM-AI-2026-AUTO

작성일 2026-07-28

작성 Cresseem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

차세대 광 I/O(CPO) 기술 동향 분석 및 크레셈(CRESSEM)의 전략적 대응 방안	3
개요: AI 인프라의 병목 현상과 CPO의 부상	3
CPO 핵심 기술 메커니즘 및 비교 분석	4
CPO 시장 규모 및 성장 전망	6
글로벌 주요 플레이어 및 기술 로드맵	7
CPO 패키징 공정의 기술적 난제	9
크레셈(CRESSEM)의 기술적 기회 및 대응 전략	10
결론 및 시사점	12
참고 자료	13

차세대 광 I/O(CPO) 기술 동향 분석 및 크레셈(CRESSEM)의 전략적 대응 방안

AI 데이터센터의 전력 및 대역폭 한계를 극복하기 위한 차세대 인터커넥트 기술인 CPO(Co-Packaged Optics)의 기술적 메커니즘과 시장 전망을 분석합니다. 글로벌 주요 플레이어의 기술 로드맵을 검토하고, 크레셈의 기존 검사 솔루션을 활용한 고부가가치 시장 진입 전략을 제안합니다.

개요: AI 인프라의 병목 현상과 CPO의 부상

AI(Artificial Intelligence) 연산 규모가 기하급수적으로 폭발함에 따라, 데이터센터 내에서 칩과 칩, 혹은 칩과 네트워크를 연결하는 인터커넥트(Interconnect) 기술은 현대 반도체 산업의 가장 치명적인 병목 지점(Bottleneck)으로 부상하고 있습니다. 생성형 AI 모델의 파라미터 수가 증가하고 대규모 언어 모델(LLM)의 학습 및 추론 수요가 급증하면서, 연산 유닛(GPU/NPU) 자체의 성능 향상만큼이나 중요한 과제가 바로 '데이터 이동의 효율성'입니다. 현재의 AI 인프라 구조는 칩 내부의 연산 속도보다 이를 외부로 입출력(I/O)하는 과정에서 발생하는 전력 소모와 대역폭(Bandwidth) 제한 문제로 인해 물리적 임계점에 직면해 있습니다.

1. 구리 기반 전기 신호(Copper Interconnect)의 물리적 한계

수십 년간 데이터 전송의 표준으로 자리 잡았던 구리(Copper) 배선 기반의 전기 신호 전송 방식은 차세대 고속 통신 환경에서 심각한 기술적 한계를 드러내고 있습니다. 특히 112G 및 차세대 224G SerDes(Serializer/Deserializer) 기술 환경이 도래함에 따라, 구리 배선의 유효 전송 거리는 수 센티미터(cm) 수준으로 급격히 단축되었습니다 [출처: engineering-ladder.tistory.com].

이러한 신호 감쇠(Signal Attenuation)와 손실 문제를 극복하기 위해 기존 시스템은 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP, Digital Signal Processor)를 추가로 배치하여 신호의 무결성(Signal Integrity)을 유지해 왔습니다. 그러나 이는 다음과 같은 치명적인 부작용을 초래합니다.

- **전력 소비의 급증(Power Consumption Surge):** DSP는 네트워크 전체 전력 소비의 약 50%를 차지할 정도로 막대한 에너지를 소모합니다. 이는 데이터센터 운영 비용(OPEX) 상승의 주된 원인이 됩니다 [출처: engineering-ladder.tistory.com].
- **열 밀도 상승(Thermal Density Issue):** 전기 신호 전송 과정에서의 손실은 대부분 열 에너지로 전환되며, 이는 칩과 기판의 온도를 높여 시스템의 신뢰성을 저하시키고 냉각 시스템에 과도한 부하를 줍니다.
- **대역폭 밀도(Bandwidth Density)의 한계:** 물리적인 구리 배선의 밀도를 높이는 것에는 공간적 제약이 따르며, 신호 간 간섭(Crosstalk) 문제로 인해 단위 면적당 전송 가능한 데이터 양을 늘리는 데 한계가 있습니다.

2. CPO(Co-Packaged Optics)의 등장과 도입의 필연성

이러한 구리 기반 전기 신호의 한계를 돌파하기 위한 혁신적인 대안으로 공동 패키지형 광학(CPO, Co-Packaged Optics) 기술이 급부상하고 있습니다. CPO는 기존의 플러그블(Pluggable) 광모듈 방식과 달리, 광학 소자(Photonics)와 반도체 스위치 칩(Switch Chip)을 하나의 패키지 기판(Package Substrate)에 직접 통합하는 첨단 인터커넥트 기술입니다 [출처: kai-search.tistory.com].

CPO 기술은 칩과 광모듈 사이의 물리적 거리를 획기적으로 단축함으로써 다음과 같은 기술적 이점을 제공합니다.

비교 항목	기존 플러그블(Pluggable) 방식	차세대 CPO(Co-Packaged Optics) 방식
-------	-----------------------	--------------------------------

신호 전달 매체	긴 구리 배선 (Long Copper Trace)	단거리 전기 신호 + 광학 인터페이스
전력 효율성	DSP 및 리타이머로 인한 높은 전력 소모	DSP 기능 간소화/제거로 비트당 전력 절감
신호 손실	고속 전송 시 신호 감쇠 심화	광학 기반 전송으로 신호 손실 80% 이상 감소 [출처: engineering-ladder.tistory.com]
대역폭 밀도	물리적 공간 및 간섭 문제로 한계 존재	광학 통합을 통한 고밀도 대역폭 확보 가능
전력 소모 예시	800Gbps 포트당 약 15W 소모	800Gbps 포트당 약 5.5W로 절감 가능 [출처: kai-search.tistory.com]

표 1. CPO(Co-Packaged Optics)의 등장과 도입의 필연성

결과적으로 CPO는 비트당 전력 소모(pJ/bit)를 50% 이상 절감할 수 있는 잠재력을 가지고 있으며, 이는 AI 데이터센터의 에너지 효율성을 결정짓는 핵심 요소가 될 것입니다 [출처: engineering-ladder.tistory.com].

3. 결론: 패러다임의 전환

결론적으로, AI 인프라가 초거대화됨에 따라 '전기(Electrical) 중심'에서 '광(Optical) 중심'으로의 인터커넥트 패러다임 전환은 선택이 아닌 필연적인 흐름입니다. 구리 배선의 물리적 한계로 인한 전력 및 대역폭 병목 현상을 해결하기 위해, 반도체 칩 패키징 단계에서부터 광학 기술을 융합하는 CPO 기술은 차세대 AI 가속기 및 데이터센터 스위치 시장의 핵심 구원투수(Game Changer) 역할을 수행할 것으로 전망됩니다. 이러한 기술적 변화는 반도체 후공정(Advanced Packaging)의 난이도를 비약적으로 높이며, 이에 따른 초정밀 검사 및 패키징 솔루션의 중요성 또한 동반 상승할 것입니다.

CPO 핵심 기술 메커니즘 및 비교 분석

AI 연산 규모가 폭발적으로 증가함에 따라, 기존의 구리(Copper) 기반 전기 신호 전송 방식은 대역폭 확장과 전력 효율성 측면에서 임계점에 도달했습니다. 특히 112Gbps 및 차세대 224Gbps SerDes(Serializer/Deserializer) 기술 환경에서는 구리 배선의 유효 전송 거리가 수 센티미터(cm) 수준으로 급격히 단축되는 물리적 한계가 발생하고 있습니다 [출처: engineering-ladder.tistory.com]. 이를 극복하기 위해 등장한 공동 패키지형 광학(CPO, Co-Packaged Optics) 기술은 광학 소자(Photonics)와 반도체 스위치 칩을 하나의 패키지 기판(Package Substrate)에 통합하는 첨단 인터커넥트(Interconnect) 기술입니다 [출처: kai-search.tistory.com].

1. Pluggable Optics vs. CPO: 기술적 패러다임의 전환

전통적인 데이터센터 네트워크 구조에서 사용되는 플러그블(Pluggable) 광모듈 방식과 차세대 CPO 방식은 광 신호를 생성하고 전달하는 위치와 구조적 설계에서 근본적인 차이를 보입니다.

Pluggable Optics(플러그블 광모듈) 방식은 스위치 ASIC(Application-Specific Integrated Circuit)과 광모듈이 별도의 물리적 공간에 위치하며, 두 지점 사이를 구리 기반의 전기 신호(Electrical Signal)로 연결합니다. 이 구조에서는 신호 손실을 최소화하기 위해 리타이머(Retimer)나 고성능 디지털 신호 처리기(DSP, Digital Signal Processor)를 추가로 배치해야 합니다. 그러나 데이터 전송 속도가 높아질수록 DSP가 소비하는 전력 비중이 네트워크 전체의 약 50%에 육박하게 되며, 이는 데이터센터의 열 밀도(Thermal Density) 상승과 전력 소비 급증이라는 심각한 부작용을 초래합니다 [출처: engineering-ladder.tistory.com].

CPO(Co-Packaged Optics) 방식은 광학 엔진(Optical Engine)을 ASIC과 매우 근접한 위치, 즉 동일한 패키지 내에 통합하는 방식입니다. 실리콘 포토닉스(Silicon Photonics) 기술을 활용하여 칩 내부에서 직접 광 신호를 처리함으로써, ASIC과 광 모듈 사이의 전기적 경로(Electrical Trace)를 극단적으로 단축합니다. 이를 통해 신호 손실을 80% 이상 줄일 수 있으며, 전력 소모가 큰 DSP 기능을 간소화하거나 완전히 제거할 수 있어 비트당 전력 소모(pJ/bit)를 50% 이상 절감하는 혁신적인 효율성을 제공합니다 [출처: engineering-ladder.tistory.com].

2. 기술적 성능 및 효율성 정량 비교

Pluggable 방식과 CPO 방식의 주요 차이점을 전력 효율, 대역폭 밀도, 신호 무결성(Signal Integrity) 관점에서 비교하면 다음과 같습니다.

비교 항목	Pluggable Optics (기존 방식)	CPO (차세대 방식)	비고 및 기대 효과
연결 인터페이스	구리 기반 전기 신호 (Long Trace)	광 신호 직접 통합 (Short Trace)	CPO의 신호 경로 단축
DSP 의존도	매우 높음 (전력 소비의 주범)	매우 낮음 또는 제거 가능	CPO의 에너지 효율 극대화
800Gbps 포트당 전력	약 15W	약 5.5W	약 63% 전력 절감 [출처: kai-search.tistory.com]
신호 손실(Loss)	높음 (고속 전송 시 급격히 증가)	매우 낮음 (80% 이상 감소) [출처: engineering-ladder.tistory.com]	Signal Integrity 개선
대역폭 밀도	낮음 (물리적 공간 제약)	매우 높음 (패키지 내 통합)	I/O 밀도 및 성능 향상
열 관리(Thermal)	모듈 분리로 관리가 상대적으로 용이	칩과 광 소자 통합으로 열 밀도 높음	CPO의 핵심 기술적 과제

표 2. 기술적 성능 및 효율성 정량 비교

3. CPO의 핵심 메커니즘: Silicon Photonics와 통합 패키징

CPO 기술의 실질적인 구현은 **실리콘 포토닉스(Silicon Photonics)** 기술에 기반합니다. 이는 기존의 CMOS 공정을 활용하여 실리콘 웨이퍼 위에 광학 소자(변조기, 검출기, 광도파로 등)를 집적하는 기술입니다.

1. **광학 통합(Optical Integration)**: ASIC과 동일한 패키지 내에 실리콘 포토닉스 PIC(Photonic Integrated Circuit)를 배치합니다. 이를 통해 전기적 신호를 광 신호로 변환하는 과정에서의 지연(Latency)과 전력 손실을 최소화합니다.

2. **2.5D/3D 패키징 활용**: CPO는 고성능 인터포저(Interposer)를 사용하는 2.5D 패키징이나, 칩을 수직으로 적층하는 3D 패키징 기술과 결합됩니다. 이는 초고속 데이터 전송을 위한 물리적 기반을 제공하지만, 동시에 정렬(Alignment) 및 열 관리(Thermal Management)라는 고난도의 패키징 과제를 수반합니다 [출처: idtechex.com].

3. **에너지 효율성(Energy Efficiency)**: CPO는 전기 신호가 구리 배선을 타고 이동할 때 발생하는 저항 손실을 광학적 전송으로 대체함으로써, 데이터센터 운영 비용(OPEX)의 핵심인 전력 효율을 획기적으로 개선합니다. 특히 NVIDIA GTC 2026에서 공개된 광학 통합 스위치 기술이나 Broadcom의 3세대 CPO 솔루션(TH6-Davisson)은 기존 플러그형 대비 전력 소모를 최대 70%까지 절감하며 그 실효성을 입증하고 있습니다 [출처:

engineering-ladder.tistory.com, kai-search.tistory.com].

결론적으로 CPO는 단순한 부품의 교체가 아닌, 데이터센터의 아키텍처를 전기 중심에서 광 중심으로 전환하는 기술적 변곡점입니다. 이는 AI 가속기의 성능을 극대화하기 위한 필수적인 선택이며, 패키징 단계에서의 초정밀 검사 기술이 CPO 상용화의 성패를 가르는 핵심 변수가 될 것임을 시사합니다.

CPO 시장 규모 및 성장 전망

AI(인공지능) 연산량의 폭발적인 증가와 대규모 언어 모델(LLM)의 확산은 데이터센터의 인프라 구조를 근본적으로 변화시키고 있습니다. 기존의 구리(Copper) 기반 전기 신호 전송 방식이 대역폭 확장과 전력 효율성 측면에서 물리적 임계점에 도달함에 따라, 차세대 광 인터커넥트(Optical Interconnect) 기술인 CPO(Co-Packaged Optics, 공동 패키징형 광학) 기술은 단순한 대안을 넘어 데이터센터 생태계의 필수적인 표준으로 자리 잡고 있습니다. 이러한 기술적 필연성은 CPO 시장의 가파른 성장세로 직결되고 있습니다.

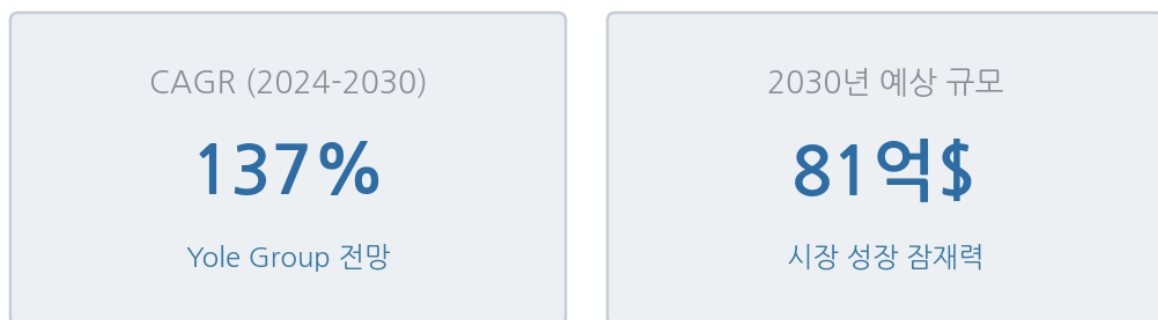
1. 글로벌 CPO 시장의 성장 추세 및 규모 전망

글로벌 CPO 시장은 현재 초기 도입 단계를 지나 본격적인 상용화 궤도에 진입하고 있습니다. 시장 조사 기관들의 분석에 따르면, CPO 시장은 향후 10년 동안 유례없는 고성장을 기록할 것으로 전망됩니다.

Yole Group의 분석에 따르면, CPO 시장은 2024년 약 4,600만 달러(USD 46M) 규모에서 시작하여 2030년에는 81억 달러(USD 8.1B) 규모에 도달할 것으로 예상됩니다. 이는 연평균 성장률(CAGR)이 무려 137%에 달하는 경이로운 수치입니다 [출처: engineering-ladder.tistory.com]. 이러한 폭발적 성장의 배경에는 AI 가속기(AI Accelerator)와 고성능 컴퓨팅(HPC)을 위한 데이터센터의 대규모 확장과, 기존 플러그블(Pluggable) 광모듈 방식이 가진 전력 소모 및 신호 무결성(Signal Integrity) 문제를 해결하려는 수요가 맞물려 있기 때문입니다.

또 다른 시장 전망 자료인 Precedence Research에 따르면, 2025년 기준 글로벌 CPO 시장 규모는 약 9,504만 달러로 평가되며, 2034년에는 약 10억 5,511만 달러(USD 1,055.11M)에 이를 것으로 예측됩니다. 이 경우 연평균 성장률(CAGR)은 약 30.66%로 산출되며, 이는 시장이 성숙기에 접어들면서도 지속적인 우상향 곡선을 그리며 안정적인 성장을 이어갈 것임을 시사합니다 [출처: precedenceresearch.com].

CPO 시장 성장 핵심 지표



Cressem · 결정론 렌더

그림 1. CPO 시장 성장 핵심 지표

2. 시장 성장을 견인하는 주요 동인 (Market Drivers)

CPO 시장의 성장을 뒷받침하는 핵심 동인은 크게 세 가지 관점으로 요약할 수 있습니다.

첫째, **데이터센터의 전력 밀도 및 효율성 문제**입니다. 기존의 플러거블 광모듈 방식은 칩과 광모듈 사이의 긴 구리 배선으로 인해 신호 손실이 발생하며, 이를 보상하기 위해 리타이머(Retimer)나 고성능 DSP(Digital Signal Processor)를 추가 배치해야 합니다. 이는 데이터센터 전체 전력 소비의 상당 부분(네트워크 장비 기준 약 50%)을 차지하며 열 밀도를 상승시키는 주범이 됩니다. CPO는 이러한 DSP 기능을 간소화하거나 제거함으로써 비트당 전력 소모(pJ/bit)를 50% 이상 절감할 수 있는 유일한 기술적 돌파구로 평가받고 있습니다 [출처: engineering-ladder.tistory.com].

둘째, **대역폭 밀도(Bandwidth Density)의 한계 극복**입니다. 112G SerDes를 넘어 차세대 224G SerDes 환경으로 진입함에 따라, 구리 배선의 유효 전송 거리는 수 센티미터(cm) 수준으로 급격히 단축되었습니다 [출처: engineering-ladder.tistory.com]. AI 모델의 파라미터 수가 증가할수록 칩 간, 혹은 칩과 스위치 간의 데이터 이동 속도가 전체 시스템 성능을 결정짓는 병목 현상(Bottleneck)이 발생하는데, CPO는 광학 소자와 반도체 스위치 칩을 하나의 패키지 기판에 통합함으로써 초고대역폭 통신을 가능하게 합니다 [출처: kai-search.tistory.com].

셋째, **AI 인프라 투자 가속화**입니다. NVIDIA GTC 2026 등 주요 컨퍼런스에서 광학 통합 스위치가 공개되고 Broadcom과 같은 주요 플레이어들의 CPO 솔루션이 본격적인 양산 단계에 진입함에 따라, AI 가속기 시장의 성장이 CPO 수요를 직접적으로 견인하고 있습니다 [출처: kai-search.tistory.com].

3. 시장 성장 전망 비교 요약

주요 조사 기관별로 시장 규모 산정 방식과 시계열에 차이가 있으나, 공통적으로 CPO 시장이 향후 10년 내에 반도체 패키징 및 인터커넥트 시장의 핵심 축으로 부상할 것이라는 점에는 이견이 없습니다.

구분	Yole Group 전망 (단기/중기)	Precedence Research 전망 (중기/장기)
기준 연도	2024년 → 2030년	2025년 → 2034년
예상 규모	4,600만 달러 → 81억 달러	9,504만 달러 → 10.55억 달러
연평균 성장률(CAGR)	약 137%	약 30.66%
주요 관점	초기 시장의 폭발적 성장세 강조	장기적이고 안정적인 시장 확장성 강조

표 3. 시장 성장 전망 비교 요약

결론적으로, CPO 시장은 AI 반도체의 성능 한계를 극복하기 위한 기술적 전환점과 맞물려 매우 가파른 성장 곡선을 그릴 것으로 보입니다. 특히 2.5D/3D 패키징 기술과 결합된 실리콘 포토닉스(Silicon Photonics) PIC(Photonic Integrated Circuit)의 발전은 CPO 시장의 규모를 더욱 확장시키는 촉매제가 될 것입니다.

글로벌 주요 플레이어 및 기술 로드맵

AI 연산 규모가 폭발적으로 증가함에 따라, 데이터센터 내 데이터 전송 효율을 결정짓는 핵심 기술로서 CPO(Co-Packaged Optics, 공동 패키지형 광학) 기술을 선도하는 글로벌 플레이어들의 움직임이 가속화되고 있습니다. 현재 시장은 기존의 플러거블(Pluggable) 광모듈 방식에서 칩과 광학 소자를 하나의 패키지로 통합하는 CPO 방식으로의 패러다임 전환기에 있으며, 이를 주도하기 위해 Broadcom, NVIDIA를 비롯한 주요 반도체 및 네트워크 기업들이 독자적인 솔루션과 양산 로드맵을 제시하고 있습니다.

1. 주요 기업별 CPO 솔루션 및 양산 현황 분석

1.1. Broadcom (브로드컴): CPO 상용화의 퍼스트 무버

Broadcom은 CPO 기술 분야에서 가장 앞선 상용화 단계에 진입한 기업으로 평가받습니다. 특히 브로드컴의 3세대 CPO 기술이 적용된 **TH6-Davisson** 모델은 시장의 주목을 받는 핵심 제품입니다.

- **TH6-Davisson 기술력:** 이 제품은 51.2 Tbps급 이더넷 스위칭 성능을 제공하며, 기존의 플러거블(Pluggable) 솔루션과 비교했을 때 전력 소모를 최대 70%까지 절감하는 혁신적인 성과를 보여주었습니다 [출처: engineering-ladder.tistory.com]. 이는 데이터센터의 전력 밀도 문제를 해결할 수 있는 실질적인 대안으로 작용하고 있습니다.
- **기술적 특징:** 브로드컴은 실리콘 포토닉스(Silicon Photonics) 기술을 기반으로 하여, 광학 엔진을 스위치 ASIC(Application-Specific Integrated Circuit)과 매우 근접하게 배치함으로써 신호 손실을 최소화하고 신뢰성을 극대화하는 전략을 취하고 있습니다.

1.2. NVIDIA (엔비디아): AI 인프라 중심의 광학 통합 전략

NVIDIA는 GPU 중심의 AI 가속기 생태계를 바탕으로, 연산 장치와 통신 장치를 유기적으로 결합하는 광학 통합 솔루션을 추진하고 있습니다.

- **NVIDIA GTC 2026 및 광학 통합 스위치:** 최근 NVIDIA GTC 2026 컨퍼런스에서는 차세대 AI 인프라의 핵심 키워드로 **광학 통합 스위치(Optical Integrated Switch)**가 공개되었습니다 [출처: kai-search.tistory.com]. 이는 단순한 네트워크 연결을 넘어, GPU 클러스터 간의 데이터 이동을 광학적으로 직접 처리하여 지연 시간(Latency)을 극단적으로 낮추려는 의도로 분석됩니다.
- **생태계 확장:** NVIDIA는 자체적인 CPO 기술 개발뿐만 아니라, 자사의 GPU 아키텍처와 최적화된 광학 인터커넥트 표준을 구축함으로써 AI 데이터센터 시장에서의 지배력을 공고히 하고 있습니다.

1.3. 기타 주요 플레이어 및 기술 동향

Broadcom과 NVIDIA 외에도 다양한 칩셋 제조사와 광통신 전문 기업들이 CPO 가치사슬(Value Chain) 내에서 경쟁하고 있습니다. 이들은 주로 3.2 Tbps 및 6.4 Tbps급 실리콘 포토닉스 PIC(Photonic Integrated Circuit)와 이를 구동하기 위한 EIC(Electronic Integrated Circuit) 개발에 집중하고 있으며, 이는 향후 초고속 데이터 전송을 위한 필수 요소가 될 전망입니다 [출처: engineering-ladder.tistory.com].

2. 기술 로드맵 및 시장 진입 단계

글로벌 플레이어들의 기술 로드맵은 크게 '**플러거블 고도화**' → '**CPO 과도기 기술**' → '**완전 통합형 CPO**'의 단계로 구분됩니다.

구분	1단계: Pluggable 중심	2단계: CPO 과도기 (Hybrid)	3단계: Full CPO 통합
주요 기술	800G/1.6T Pluggable Modules	Near-packaged Optics (NPO)	Co-Packaged Optics (CPO)
연결 방식	구리 배선 기반 전기 신호	짧은 거리의 고속 전기 인터페이스	광학 소자-칩 직접 통합
핵심 과제	전력 효율 및 대역폭 한계	열 관리(Thermal Management)	초정밀 정렬(Alignment) 및 수율
주요 타겟	일반 데이터센터	AI 가속기 클러스터	차세대 초거대 AI 인프라

표 4. 기술 로드맵 및 시장 진입 단계

현재 시장은 1단계에서 2단계로 넘어가는 과도기에 있으며, Broadcom과 같이 이미 51.2 Tbps급 솔루션을 선보인 기업들이 3단계인 완전 통합형 CPO 시장을 선점하기 위해 기술적 격차를 벌리고 있는 형국입니다.

3. 기술적 병목 현상과 해결을 위한 R&D 방향

글로벌 기업들이 공통적으로 직면한 기술적 난제는 **열 밀도(Thermal Density) 상승**과 **신호 무결성(Signal Integrity) 확보**입니다.

1. **열 관리 이슈:** CPO는 광학 소자가 반도체 칩과 동일한 패키지 내에 위치하므로, ASIC에서 발생하는 고열이 광학 소자의 성능(레이저 효율 및 파장 안정성)에 직접적인 영향을 미칩니다. 이를 해결하기 위해 액체 냉각(Liquid Cooling) 기술과의 결합이나, 열 발산이 용이한 새로운 패키징 소재 연구가 활발히 진행 중입니다.

2. **정밀 패키징 기술:** 2.5D 및 3D 패키징 기술을 활용한 CPO 구현 시, 광섬유(Optical Fiber)와 실리콘 포토닉스 칩 사이의 **정렬(Alignment) 오차**를 μm 단위 이하로 제어하는 것이 핵심입니다. 이는 공정 난이도를 급격히 상승시키며, 결과적으로 검사 장비의 중요성을 증대시키는 요인이 됩니다.

결론적으로, 글로벌 플레이어들은 단순한 통신 속도 향상을 넘어, 전력 소모를 줄이면서도(pJ/bit 절감) 데이터 처리량을 극대화할 수 있는 '**에너지 효율적 광 인터커넥트**' 구현을 향해 기술 로드맵을 집약하고 있습니다.

CPO 패키징 공정의 기술적 난제

차세대 광 인터커넥트(Optical Interconnect)의 핵심인 공동 패키징형 광학(CPO, Co-Packaged Optics) 기술은 광학 소자(Photonics)와 반도체 스위치 칩(Switch ASIC)을 하나의 패키지 기판(Package Substrate) 내에 통합하는 고도의 첨단 패키징 기술입니다 [출처: kai-search.tistory.com]. CPO는 기존의 플러그블(Pluggable) 광모듈 방식이 가진 물리적 한계를 극복하기 위해 등장하였으나, 2.5D 및 3D 패키징 기술이 적용됨에 따라 공정 난이도는 기하급수적으로 상승하고 있습니다. 특히 광 신호의 전송 효율을 결정짓는 정렬(Alignment) 정밀도와 고밀도 집적에 따른 열 관리(Thermal Management) 이슈는 CPO 상용화를 결정짓는 핵심 기술적 장벽입니다.

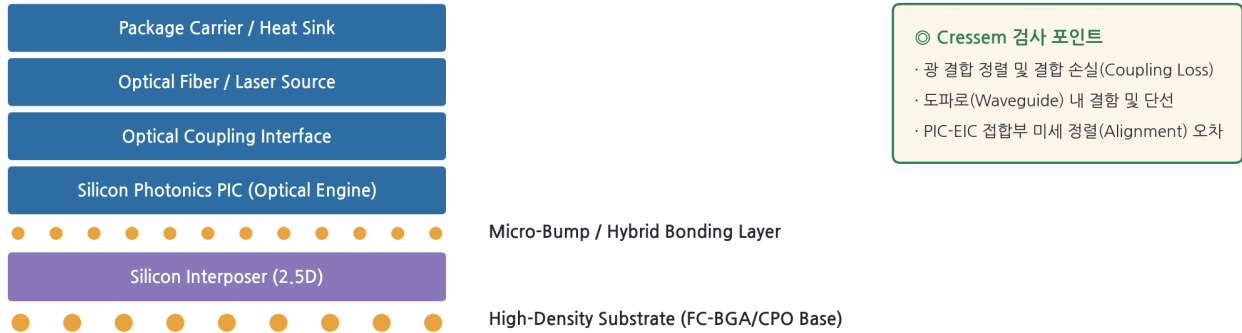
1. 초정밀 광 결합 및 정렬(Alignment Precision)의 한계

CPO 공정의 가장 큰 기술적 난제 중 하나는 실리콘 포토닉스(Silicon Photonics) 기반의 PIC(Photonic Integrated Circuit)와 EIC(Electronic Integrated Circuit)를 정밀하게 결합하는 과정에서 발생하는 정렬 문제입니다. 기존의 전기적 연결은 Bump나 TSV(Through Silicon Via)를 통한 미세한 오차 허용 범위가 존재하지만, 광학적 연결은 파장(Wavelength) 단위의 극미세한 정렬 오차만으로도 결합 손실(Coupling Loss)이 급격히 증가하여 신호 무결성(Signal Integrity)을 심각하게 저해합니다.

특히 2.5D 패키징 구조 내에서 인터포저(Interposer) 상에 배치된 광학 엔진과 로직 다이 사이의 정렬은 서브 마이크로미터($<1\mu\text{m}$) 단위의 정밀도를 요구합니다. 이러한 초정밀 정렬을 달성하기 위해서는 다음과 같은 세부적인 기술적 과제들이 수반됩니다.

- **광학적 결합 손실(Optical Coupling Loss) 제어:** 광섬유(Optical Fiber) 또는 웨이브가이드(Waveguide)와 칩 내부의 광학 소자가 만나는 지점에서 발생하는 정렬 오차는 광출력 저하의 직접적인 원인이 됩니다. 이는 데이터 전송 거리의 단축과 신호 대 잡음비(SNR) 악화로 이어집니다.
- **이종 집적(Heterogeneous Integration) 시의 기계적 변형:** 서로 다른 열팽창 계수(CTE, Coefficient of Thermal Expansion)를 가진 실리콘, 유기 기판(Organic Substrate), 그리고 광학 소자들이 결합된 상태에서 공정 중 발생하는 열 사이클(Thermal Cycle)은 미세한 정렬 변위(Displacement)를 유발합니다.
- **Die-to-Die 정렬 오차:** HBM4와 같이 고단 적층이 진행되는 구조와 유사하게, CPO 역시 다단 적층 또는 측면 결합 방식이 사용될 경우 다이 간의 위치 오차(Misalignment)가 발생하며, 이는 곧바로 데이터 전송 경로의 불연속성으로 연결됩니다.

CPO 2.5D 패키징 구조 및 광 결합 단면도



Cressem · 결정론 렌더

그림 2. CPO 2.5D 패키징 구조 및 광 결합 단면도

2. 고밀도 집적에 따른 열 관리(Thermal Management) 이슈

CPO는 데이터센터의 전력 소모를 줄이기 위해 도입되지만, 역설적으로 패키지 내부의 열 밀도(Heat Density)는 극도로 높아지는 구조적 모순을 안고 있습니다. 기존 플러거블 방식은 광모듈이 별도의 모듈 형태로 존재하여 독립적인 냉각이 가능했으나, CPO는 고성능 스위치 ASIC과 광학 엔진이 동일한 패키지 기판 위에 인접하여 배치됩니다.

이로 인해 발생하는 주요 열적 난제는 다음과 같습니다.

- **열 간섭(Thermal Crosstalk):** 고성능 로직 칩(ASIC)에서 발생하는 막대한 열이 인접한 광학 소자로 전달됩니다. 실리콘 포토닉스 소자는 온도 변화에 매우 민감하며, 온도가 상승할 경우 굴절률(Refractive Index)이 변하여 광학적 특성이 변하거나 파장 이동(Wavelength Shift) 현상이 발생합니다. 이는 통신 채널의 불안정성을 초래합니다.
- **국부적 핫스팟(Local Hotspots) 형성:** 칩의 고집적화로 인해 특정 영역에 열이 집중되는 핫스팟 현상이 심화됩니다. 이는 패키지 내부의 열팽창 불균형을 가속화하여, 앞서 언급한 정렬(Alignment)의 물리적 변형을 유발하는 악순환을 만듭니다.
- **방열 솔루션의 복잡성:** 광학 경로(Optical Path)를 방해하지 않으면서도 고성능 칩의 열을 효과적으로 배출하기 위한 방열 구조 설계가 필수적입니다. 액체 냉각(Liquid Cooling)이나 고성능 히트싱크(Heat Sink) 도입이 논의되고 있으나, 이는 패키지의 두께와 공정 비용을 상승시키는 요인이 됩니다.

3. 요약 및 기술적 시사점

CPO의 성공적인 양산을 위해서는 '정밀 정렬'과 '열 제어'라는 두 마리 토끼를 동시에 잡아야 합니다. 정렬의 정밀도를 높이기 위해서는 공정 중 실시간으로 광학적 특성을 피드백 받아 보정할 수 있는 초정밀 검사 기술이 요구되며, 열 관리 이슈를 해결하기 위해서는 열 변형을 최소화할 수 있는 소재 및 구조 설계가 병행되어야 합니다.

결과적으로 CPO 패키징은 단순한 부품의 결합을 넘어, 전기적·광학적·열적 특성을 동시에 최적화해야 하는 극도의 복합 공정이며, 이는 향후 반도체 후공정 검사 장비 기업들에게 기존의 기판 및 HBM 검사 기술을 뛰어넘는 새로운 차원의 고해상도·고속 검사 솔루션을 요구하게 될 것입니다.

크레셈(CRESSEM)의 기술적 기회 및 대응 전략

차세대 광 인터커넥트(Optical Interconnect) 기술인 CPO(Co-Packaged Optics, 공동 패키지형 광학)의 부상은 반도체 후공정(Back-end)의 패러다임을 다시 한번 변화시키고 있습니다. CPO는 광학 소자(Photonics)와 반도체

스위치 칩을 하나의 패키지 기판(Package Substrate)에 통합하는 초고난도 기술로, 이는 기존의 HBM(High Bandwidth Memory) 및 FC-BGA(Flip Chip Ball Grid Array) 검사 시장에서 축적된 크레셈(CRESSEM)의 기술력을 고부가가치 영역으로 확장할 수 있는 결정적 기회(Opportunity)를 제공합니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

1. 기존 검사 역량의 기술적 전이 (Technology Transfer)

크레셈은 이미 고난도 기판 및 메모리 검사 시장에서 검증된 광학 및 AI 비전 기술을 보유하고 있으며, 이를 CPO 공정에 다음과 같이 전이하여 기술적 우위를 확보할 수 있습니다.

가. HBM/2.5D 검사 기술의 확장

CPO는 본질적으로 2.5D 및 3D 패키징 기술을 기반으로 합니다. 크레셈이 기존에 보유한 CoWoS(Chip on Wafer on Substrate) 기반 HBM 적층 검사 기술 및 Interposer(인터포저) 검사 역량은 CPO의 핵심인 실리콘 포토닉스(Silicon Photonics) PIC(Photonic Integrated Circuit)와 EIC(Electronic Integrated Circuit) 간의 인터페이스를 검사하는 데 직접적으로 활용될 수 있습니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

나. 고정밀 정렬(Alignment) 및 미세 결함 검출

CPO 공정에서는 광학 엔진과 전기적 칩 간의 극도로 미세한 정렬이 요구됩니다. 이는 HBM4에서 도입되는 하이브리드 본딩(Hybrid Bonding, Cu-to-Cu) 공정의 초정밀 정렬 검사 기술과 궤를 같이합니다. 크레셈의 초고해상도 3D AOI(Automated Optical Inspection) 기술은 CPO 패키징 과정에서 발생할 수 있는 미세 정렬 오차(Misalignment)와 접합부의 이물질(Particle)을 검출하는 데 최적화된 솔루션이 될 것입니다 [출처: 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf].

2. CPO 전용 검사 모듈 개발을 위한 3단계 전략

크레셈은 단순한 검사 장비 공급업체를 넘어, CPO 공정의 수율(Yield)을 결정짓는 핵심 파트너로 도약하기 위해 다음과 같은 단계적 대응 전략을 수립해야 합니다.

[Step 1] Hybrid Bonding 기반의 초정밀 검사 솔루션 선점

CPO의 성능은 광학 소자와 반도체 칩 사이의 신호 손실을 최소화하는 데 달려 있습니다. 크레셈은 하이브리드 본딩 공정에서 발생할 수 있는 Bump 없는 접합부의 Void(공극) 및 미세 간극을 측정할 수 있는 차세대 검사 모듈 개발에 집중해야 합니다. 이는 기존의 Bump 방식 검사를 넘어선 Sub-micron 급의 해상도를 요구하는 영역입니다 [출처: 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf].

[Step 2] AI-Driven 비전 솔루션을 통한 과검(Over-kill) 방지

CPO 패키징은 구조가 복잡하고 검사 데이터의 밀도가 매우 높습니다. 기존의 Rule-based 검사 방식으로는 광학적 특성에 따른 노이즈와 실제 결함을 구분하기 어렵습니다. 크레셈의 강점인 Deep Learning 기반 결함 분류 알고리즘을 CPO 검사 장비에 통합하여, 정상적인 광학적 특성을 결함으로 오인하는 과검률을 획기적으로 낮추고 검사 신뢰성을 확보해야 합니다 [출처: 기업 분석 보고서 (주)크레셈 (CRESSEM): 차세대 반도체 패키징 검사 솔루션의 선두주자].

[Step 3] 고객 맞춤형(Customized) 모듈화 장비 공급

CPO는 제조사(NVIDIA, Broadcom 등)와 패키징 업체(TSMC 등)의 설계 방식에 따라 광학 엔진의 배치와 인터커넥트 구조가 상이합니다. 크레셈은 기성 제품(Off-the-shelf) 방식이 아닌, 고객사의 특정 공정 프로세스에 최적화된 모듈형 검사 시스템(Modular Inspection System)을 신속하게 공급함으로써 고객 락인(Lock-in) 효과를 극대화해야 합니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

3. CPO 대응 핵심 역량 매트릭스

CPO 시장 대응 역량 분석

	기존 HBM/FC-BGA	차세대 CPO	크레셈 대응 전략
검사 대상	● 핵심	●	● 핵심
정밀도 요구사항	○	● 핵심	● 핵심
핵심 기술 과제	●	● 핵심	● 핵심
솔루션 방향	○	●	● 핵심

Cressem · 결론론 렌더

그림 3. CPO 시장 대응 역량 분석

4. 결론: 수율 향상을 위한 데이터 통합 플랫폼 구축

최종적으로 크레셈의 전략은 단순한 '결함 검출(Defect Detection)'을 넘어 '수율 최적화(Yield Optimization)'로 향해야 합니다. CPO 검사 과정에서 수집된 방대한 양의 광학·전기적 데이터를 분석하여, 전공정(Fab)이나 패키징 공정의 결함 원인을 역추적(Root Cause Analysis)할 수 있는 데이터 분석 플랫폼을 장비에 통합해야 합니다 [출처: 분석_크레셈CRESSEM20260509001.pdf]. 이러한 AI 기반 스마트 팩토리 솔루션은 고객사의 수율 개선에 직접적으로 기여함으로써, 크레셈을 단순 장비 제조사가 아닌 AI 반도체 공급망 내의 대체 불가능한 핵심 파트너로 자리매김하게 할 것입니다.

결론 및 시사점

차세대 AI 인프라의 핵심 동력인 광 인터커넥트(Optical Interconnect) 기술은 기존 구리 배선 기반의 전기 신호 전송이 가진 물리적 한계—전력 소모 급증, 신호 손실(Signal Loss), 대역폭(Bandwidth) 병목 현상—을 극복하기 위한 필수적인 패러다임 전환점에 서 있습니다. 공동 패키징형 광학(CPO, Co-Packaged Optics) 기술은 단순한 통신 방식의 변화를 넘어, 반도체 패키징의 구조적 혁신을 요구하며, 이는 곧 검사(Inspection) 기술의 난이도를 기하급수적으로 상승시키는 결과를 초래할 것입니다.

본 보고서에서 분석한 바와 같이, CPO 시장은 2030년까지 폭발적인 성장이 예상되며, Broadcom과 NVIDIA를 필두로 한 글로벌 빅테크 기업들의 기술 로드맵은 이미 광학 소자와 실리콘 스위치 칩의 통합을 향해 가속화되고 있습니다. 이러한 변화는 기존의 Pluggable 방식과는 차원이 다른 초정밀 패키징 공정을 요구하며, 특히 2.5D/3D 패키징 내에서의 미세 정렬(Alignment) 및 열 관리(Thermal Management) 이슈는 수율(Yield) 확보를 위한 최대 관건이 될 전망입니다.

이러한 기술적 변곡점에서 크레셈(CRESSEM)은 다음과 같은 전략적 R&D 로드맵(Strategic Roadmap)을 통해 시장 리더십(Market Leadership)을 확보해야 합니다.

1. **검사 정밀도의 극대화(Inspection Precision):** HBM4 및 Hybrid Bonding 대응을 위해 축적해 온 초고해상도 3D AOI(Automated Optical Inspection) 기술을 CPO의 실리콘 포토닉스(Silicon Photonics) 및 EIC(Electronic IC) 통합 영역으로 확장해야 합니다. 특히 Cu-to-Cu 접합부의 미세 간극과 이물질을 검출할 수 있는 Sub-micron 급의 검사 솔루션 확보가 최우선 과제입니다.

2. **AI 기반 지능형 검사 솔루션 통합:** CPO 패키징 공정에서 발생하는 방대한 결함 데이터를 실시간으로 처리하고, 단순 불량 판정을 넘어 공정상의 근본 원인(Root Cause)을 역추적할 수 있는 AI-Driven 데이터 분석 플랫폼을 장비에 내재화해야 합니다. 이는 고객사의 수율 개선에 직접적으로 기여하는 핵심 경쟁력이 될 것입니다.

3. **모듈형 맞춤형 대응 체계 구축:** 고객사(SK하이닉스, 삼성전자, TSMC 등)마다 상이한 CPO 구현 방식과 패키징 프로세스에 유연하게 대응할 수 있도록, 기존의 FC-BGA 및 2.5D 기판 검사 장비에서 검증된 모듈형 설계(Modular Design) 역량을 활용하여 맞춤형(Customized) 검사 모듈을 신속하게 공급하는 전략이 유효합니다.

결론적으로, 크레셈은 기존의 고성능 머신비전 및 AI 알고리즘 역량을 바탕으로, CPO라는 고부가가치 영역으로의 기술적 전이를 성공적으로 완수함으로써 차세대 AI 반도체 공급망 내에서 대체 불가능한 **초정밀 검사 솔루션 파트너**로 도약해야 합니다.

참고 자료

1. [Cpo 기술 동향 및 국내외 기업 분석 :: 투자연구소 테크센터](<https://engineering-ladder.tistory.com/178>)
2. [공동 패키징 광학 (CPO) 기술동향 및 시장 전망 2025-2035 - IDTechEx](<https://www.idtechex.com/ko/research-report/co-packaged-optics/1019>)
3. [2026.03 Cpo (공동패키지광학) - Ai 데이터센터의 차세대 광통신 ...](<https://kai-search.tistory.com/46>)
4. [구리선의 한계와 반도체의 새로운 돌파구, Cpo 기술 심층 분석](<https://alchonomics.com/cpo-semiconductor-optical-packaging-ai/>)
5. [Co-Packaged Optics Market Size, Share and Growth Analysis](<https://www.marketsandmarkets.com/Market-Reports/co-packaged-optics-market-28874835.html>)
6. [Co Packaged Optics Market Size, Share | Growth Report [2034]](<https://www.fortunebusinessinsights.com/co-packaged-optics-market-117954>)
7. [Co-Packaged Optics (CPO) Market Size to Hit USD 1,055.11 Million by 2034](<https://www.precedenceresearch.com/co-packaged-optics-market>)
8. [Co Packaged Optics Market Report: Size, Growth, Trends & Forecast (2025-2033)](<https://www.verifiedmarketresearch.com/product/co-packaged-optics-market/>)
9. [PDF Co-Packaged Optics (CPO) 2025-2035: Technologies, Market, and Forecasts](<http://www.sbdi.co.kr/email/2024/20240826/sample/IDTechExCoPackagedOpticsCPO.pdf>)
10. [PDF IDTechEx Report](<http://www.sbdi.co.kr/email/2026/20260526/sample/IDTechExCoPackagedOpticsCPO2.pdf>)
11. [PDF Co-Packaged Optics Gain Traction in Data Centers](https://www.mitsui.com/mgssi/en/report/detail/_icsFiles/afiedfile/2026/04/01/2601bttusjie.pdf)
12. [PDF Gtc 2025에서 부각된 Cpo 기술 상용화](<https://stock.mk.co.kr/uploads/20250321/1742510867b612c7d8f97fabda98dd.pdf>)
13. IDTechExCoPackagedOpticsCPO.pdf (사내 자료)

14. IDTechExCoPackagedOpticsCPO2.pdf (사내 자료)
15. 2601bttstjie.pdf (사내 자료)
16. 1742510867b612c7d8f97fabda98dd.pdf (사내 자료)
17. 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf (사내 자료)
18. 매뉴얼HBMAAdvancedInspectionSyst20260509001.pdf (사내 자료)
19. 분석HBM4세대전환에따른크레셈CRESSEM의검사장20260509001.pdf (사내 자료)
20. 분석_크레셈CRESSEM20260509001.pdf (사내 자료)
21. pdf_인하대학교컴퓨터공학과배승환20260509001.pdf (사내 자료)
22. ProfessorSeungHwanBaeReport.pdf (사내 자료)