

차세대 반도체 패키징 기술 진화 분석: 2D에서 칩렛(Chiplet) 및 3D 적층까지

문서번호 CRSM-AI-2026-AUTO

작성일 2026-06-10

작성 Cressem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

차세대 반도체 패키징 기술 진화 분석: 2D에서 칩렛(Chiplet) 및 3D 적층까지	3
개요 및 패키징 기술의 패러다임 변화	3
단계별 패키징 구조 분석 (1D/2D/2.5D/3D)	3
패키징 고도화에 따른 검사(Inspection) 이슈	8
차세대 기술 전망: Hybrid Bonding 및 HBM4	10
결론 및 시사점	11

차세대 반도체 패키징 기술 진화 분석: 2D에서 칩렛(Chiplet) 및 3D 적층까지

반도체 미세 공정의 한계를 극복하기 위한 패키징 기술의 발전 과정을 1D부터 3D, 그리고 최신 칩렛(Chiplet) 구조까지 단계별로 비교 분석합니다. 각 기술의 구조적 특징, 인터커넥트 방식, 그리고 검사 기술의 난이도 변화를 심도 있게 다룹니다.

개요 및 패키징 기술의 패러다임 변화

반도체 산업은 지난 수십 년간 무어의 법칙(Moore's Law)을 준수하며, 동일한 면적의 웨이퍼 내에 더 많은 트랜지스터를 집적하는 '전공정 미세화(Front-end Scaling)'를 통해 성능 향상을 달성해 왔습니다. 그러나 공정 노드가 5nm, 3nm를 넘어 2nm 이하의 초미세 영역으로 진입함에 따라, 물리적 한계와 경제적 비용 문제라는 거대한 장벽에 직면하게 되었습니다. 회로 선폭을 줄이기 위해 투입되는 극자외선(EUV) 노광 장비의 천문학적인 도입 비용과 양자 터널링(Quantum Tunneling)과 같은 물리적 누설 전류 문제는 더 이상 전공정의 미세화만으로는 성능 향상과 비용 절감을 동시에 달성하기 어렵다는 것을 시사합니다.

이러한 기술적 임계점을 돌파하기 위한 대안으로 최근 반도체 산업의 핵심 패러다임은 '전공정 미세화'에서 '후공정(Back-end) 고도화', 즉 **첨단 패키징(Advanced Packaging)** 기술로 급격히 이동하고 있습니다. 과거의 패키징이 단순히 완성된 칩을 외부 환경으로부터 보호하고 전기적 신호를 연결하는 보조적인 역할에 머물렀다면, 현대의 첨단 패키징은 개별적으로 제조된 서로 다른 기능을 가진 칩들을 하나로 통합하여 시스템 전체의 성능을 극대화하는 **이종 집적(Heterogeneous Integration)**의 핵심 수단으로 진화하였습니다.

이종 집적 기술은 서로 다른 공정 노드에서 최적화된 칩렛(Chiplet)들을 하나의 패키지 내에 배치함으로써, 모든 회로를 최첨단 공정으로 만들 필요 없이 필요한 부분(예: 연산 로직)에만 미세 공정을 적용하고, 상대적으로 고성능이 덜 요구되는 부분(예: I/O, SRAM)은 성숙 공정(Mature Node)을 사용하여 제조 원가를 획기적으로 낮추는 전략을 가능하게 합니다. 이는 결과적으로 칩의 크기(Die Size)를 물리적으로 제한하는 레티클 한계(Reticle Limit) 문제를 극복하고, 단일 칩(Monolithic Die)으로는 구현 불가능했던 초거대 규모의 연산 능력을 제공하는 기반이 됩니다.

특히 인공지능(AI), 고성능 컴퓨팅(HPC), 데이터 센터 시장의 폭발적인 성장은 이러한 패러다임 변화를 가속화하고 있습니다. 대규모 언어 모델(LLM)을 처리하기 위한 AI 가속기에는 막대한 양의 데이터를 초고속으로 공급할 수 있는 고대역폭 메모리(HBM)와 이를 효율적으로 연결하는 2.5D 및 3D 패키징 기술이 필수적입니다. 이에 따라 반도체 제조사들은 단순히 칩을 만드는 것을 넘어, 어떻게 하면 더 정밀하게 칩을 쌓고(Stacking), 어떻게 하면 칩 사이의 연결 통로(Interconnect)를 미세화하여 신호 손실을 최소화할 것인가라는 새로운 기술적 과제에 집중하고 있습니다.

결론적으로, 현재의 반도체 기술 진화는 '단일 칩의 미세화'라는 선형적 발전 모델에서 벗어나, '다양한 칩의 효율적 통합'이라는 입체적이고 구조적인 발전 모델로 전환되었습니다. 이러한 흐름 속에서 첨단 패키징 기술은 단순한 후공정을 넘어, 반도체 성능을 결정짓는 핵심적인 경쟁 우위 요소로 자리매김하였으며, 이에 따른 공정 복잡도 증가와 새로운 결함 유형의 등장은 고정밀 검사 솔루션의 중요성을 더욱 증대시키고 있습니다.

단계별 패키징 구조 분석 (1D/2D/2.5D/3D)

반도체 패키징 기술은 단순히 칩을 보호하는 외장재의 역할을 넘어, 칩 간의 연결성(Interconnectivity)을 극대화하고 성능을 확장하는 핵심 공정으로 진화해 왔습니다. 패키징 기술의 발전 단계는 물리적인 배치 방식(Layout)과 전기적 연결을 구현하는 매개체(Interconnect)의 고도화 과정으로 요약할 수 있습니다. 본

섹션에서는 1D부터 3D에 이르는 단계별 구조적 특징과 각 세대를 구분 짓는 핵심 기술 요소를 심층적으로 분석합니다.

1. 1D 및 2D 패키징: 수평적 배치와 MCM(Multi-Chip Module)

초기 반도체 패키징 단계인 1D 및 2D 구조는 칩을 기판(Substrate) 위에 수평적으로 배치하는 방식입니다. 1D 개념은 단일 칩(Single Die)의 내부 배선을 의미하며, 본격적인 패키징 기술의 시작은 여러 개의 칩을 하나의 패키지에 내에 수평으로 나열하는 2D 패키징에서 비롯됩니다.

2D 패키징의 대표적인 형태는 **MCM(Multi-Chip Module)**입니다. MCM은 서로 다른 기능을 가진 여러 개의 반도체 칩(예: CPU와 메모리)을 하나의 기판 위에 배치하고, 기판 내의 회로 패턴을 통해 이들을 연결합니다. 이 방식은 칩을 수평적으로 배치하기 때문에 구현이 비교적 용이하고 비용이 저렴하다는 장점이 있습니다. 그러나 칩 간의 거리가 물리적으로 떨어져 있어 신호 전달 경로(Signal Path)가 길어질 수밖에 없으며, 이는 신호 지연(Latency) 증가와 전력 소모 상승이라는 한계로 이어집니다. 또한, 데이터 전송 대역폭(Bandwidth) 확장에 물리적인 제약이 따르기 때문에 고성능 컴퓨팅(HPC) 분야로의 확장이 어렵습니다.

2. 2.5D 패키징: 인터포저(Interposer)를 통한 고밀도 수평 연결

반도체 성능 요구사항이 급증함에 따라, 2D의 한계를 극복하기 위해 등장한 것이 **2.5D 패키징**입니다. 2.5D 패키징은 칩을 기판 위에 직접 올리는 대신, 칩과 기판 사이에 **인터포저(Interposer)**라는 중간 매개층을 삽입하는 기술입니다.

인터포저는 일반적인 유기 기판(Organic Substrate)보다 훨씬 미세한 회로 패턴을 구현할 수 있는 실리콘(Silicon) 또는 유기물 소재로 제작됩니다. 2.5D 구조에서는 여러 개의 칩렛(Chiplet)이 인터포저 위에 배치되며, 인터포저 내부의 미세한 배선을 통해 칩 간의 초고속 데이터 통신이 가능해집니다. 겉모습은 칩들이 수평으로 놓여 있는 2D와 유사해 보이지만, 내부적으로는 인터포저라는 고밀도 연결 통로를 사용하기 때문에 성능 면에서는 3D에 근접한 특성을 보입니다 [출처: m.blog.naver.com], [출처: snptech.kr].

2.5D 패키징의 핵심 변천사는 인터포저의 형태에 따라 다음과 같이 구분됩니다.

- **Silicon Interposer:** 실리콘 웨이퍼를 기반으로 하여 매우 미세한 배선 구현이 가능하며, TSV(Through Silicon Via) 기술과 결합하여 최상의 성능을 제공합니다. 다만, 제조 비용이 높고 웨이퍼 크기의 제약을 받습니다.
- **Silicon Bridge:** 인터포저 전체를 사용하는 대신, 칩과 칩 사이의 연결이 필요한 특정 구간에만 작은 실리콘 조각(Bridge)을 배치하는 방식입니다. 이는 전체 인터포저를 사용하는 것보다 비용 효율적이며, 최근 CoWoS(Chip on Wafer on Substrate) 등의 공정에서 중요하게 다뤄집니다.

3. 3D 패키징: 수직 적층과 TSV(Through Silicon Via)의 혁신

3D 패키징은 칩을 수평이 아닌 수직 방향으로 쌓아 올리는(Stacking) 구조를 의미합니다. 이는 공간 효율성을 극대화할 뿐만 아니라, 칩 간의 거리를 물리적으로 최소화하여 신호 전달 경로를 획기적으로 단축시킵니다.

3D 적층을 가능하게 하는 핵심 기술은 **TSV(Through Silicon Via, 실리콘 관통 전극)**입니다. TSV는 실리콘 웨이퍼 자체에 미세한 구멍을 뚫고 이를 구리(Cu) 등의 전도성 물질로 채워, 상단 칩과 하단 칩을 수직으로 직접 연결하는 통로 역할을 합니다. 기존의 와이어 본딩(Wire Bonding)이나 범프(Bump)를 이용한 수평 연결 방식과 비교했을 때, TSV 기반의 3D 구조는 다음과 같은 압도적인 이점을 가집니다.

비교 항목	2D/2.5D (Wire/Bump)	3D (TSV 기반)
연결 경로 길이	상대적으로 김 (수평 이동 필요)	매우 짧음 (수직 직결)
신호 지연(Latency)	높음	매우 낮음

전력 효율	낮음 (신호 감쇄 발생)	높음 (전력 소모 최소화)
데이터 대역폭	제한적	극대화 (수천 개의 TSV 활용)
공간 활용도	면적 점유율 높음	면적 대비 집적도 극대화

표 1.

특히 HBM(High Bandwidth Memory)은 이러한 3D 적층 기술의 결정체로, DRAM 칩을 수직으로 높게 쌓아 올려 초고속 데이터 전송 성능을 구현합니다. 하지만 3D 패키징은 적층 단수가 높아질수록 발생하는 **Warping(휨 현상)**, 적층 내부의 **Void(공극)**, 그리고 수직 연결 부위의 **Misalignment(정렬 오차)** 등 검사 난이도가 기하급수적으로 상승하는 기술적 난제를 동반합니다 [출처: 매뉴얼HBMAdvancedInspectionSyst20260509001.pdf].

4. 패키징 구조 진화 요약 및 비교

각 세대별 패키징 구조는 '연결의 밀도'와 '공간의 활용'이라는 두 가지 축을 중심으로 발전해 왔습니다. 2D가 개별 칩의 독립성을 유지하며 수평적으로 연결하는 단계였다면, 2.5D는 인터포저를 통해 칩 간의 경계를 허물기 시작한 단계이며, 3D는 공간의 차원을 수직으로 확장하여 물리적 한계를 돌파한 단계로 정의할 수 있습니다.

반도체 패키징 구조 진화 및 연결 방식 비교



그림 1. 반도체 패키징 구조 진화 및 연결 방식 비교

2.5D 패키징(CoWoS 기반) 적층 구조 단면도

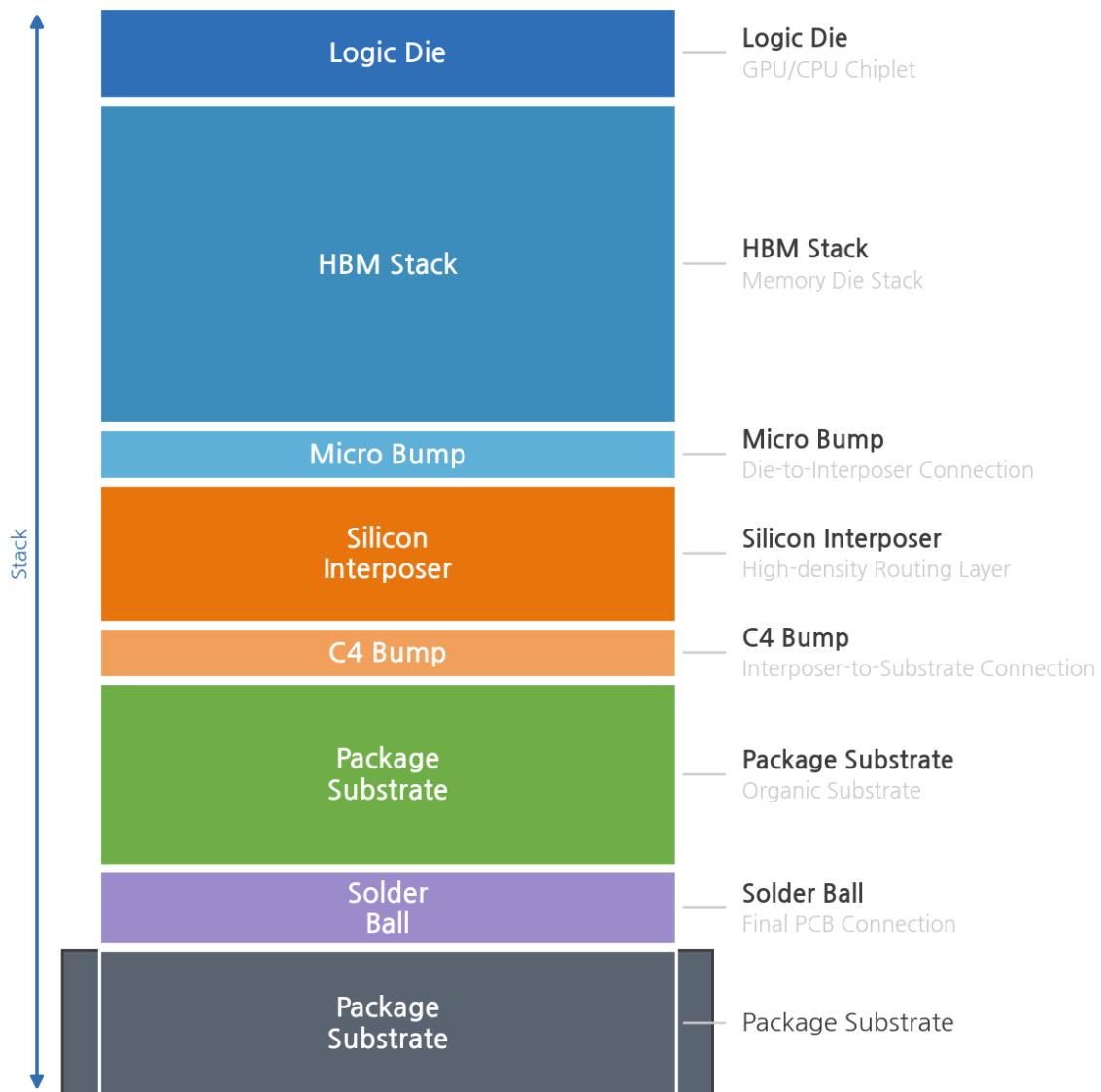


그림 2. 2.5D 패키징(CoWoS 기반) 적층 구조 단면도

칩렛 아키텍처 기반 이종 집적 프로세스

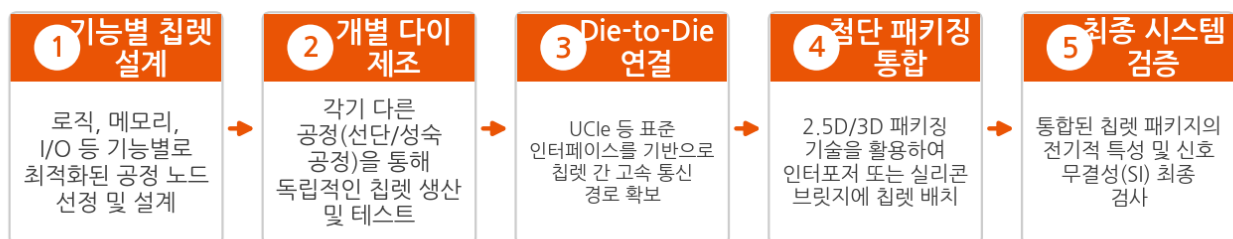


그림 3. 칩렛 아키텍처 기반 이중 집적 프로세스

2. Die-to-Die Interconnect: 칩렛 연결의 기술적 난제

칩렛 구조가 실질적인 성능을 발휘하기 위해서는 분리된 칩렛들이 마치 하나의 칩처럼 유기적으로 동작해야 합니다. 이를 결정짓는 핵심 요소가 바로 **다이 간 상호연결(Die-to-Die Interconnect)** 기술입니다. 칩렛 간의 통신은 물리적 거리, 대역폭(Bandwidth), 에너지 효율(Energy Efficiency), 그리고 지연 시간(Latency)이라는 네 가지 핵심 지표를 충족해야 합니다.

전통적인 패키징 방식에서의 연결은 상대적으로 느리고 전력 소모가 컸으나, 칩렛 아키텍처에서는 이를 극복하기 위해 매우 미세한 피치(Pitch)를 가진 연결 구조가 요구됩니다. 만약 칩렛 간 연결 성능이 충분하지 않다면, 개별 칩렛이 아무리 고성능이라 할지라도 데이터 병목 현상(Bottleneck)이 발생하여 전체 시스템 성능이 저하됩니다. 따라서 고밀도 인터커넥트를 구현하기 위한 실리콘 인터포저(Silicon Interposer), 실리콘 브릿지(Silicon Bridge), 그리고 차세대 하이브리드 본딩(Hybrid Bonding) 기술 등이 칩렛의 물리적 기반으로 중요하게 다뤄지고 있습니다 [출처: idtechex.com].

3. UCle(Universal Chiplet Interconnect Express) 표준의 등장과 의의

칩렛 기술이 개별 기업의 설계를 넘어 거대한 생태계로 확장되기 위해서는 '상호 운용성(Interoperability)' 문제가 반드시 해결되어야 합니다. 서로 다른 제조사가 만든 칩렛들을 조합하여 하나의 제품을 만들려면, 이들이 사용하는 통신 프로토콜과 물리적 인터페이스가 표준화되어 있어야 합니다. 이러한 배경에서 등장한 것이 바로 **UCle(Universal Chiplet Interconnect Express)** 표준입니다.

UCle는 다양한 칩렛 생태계의 파편화를 방지하고, 공급망(Supply Chain)의 유연성을 확보하기 위해 설계된 개방형 표준 인터페이스입니다. UCle의 주요 특징과 산업적 영향력은 다음과 같습니다.

구분	주요 특징 및 내용	기대 효과
표준화된 프로토콜	PCIe, CXL 등 기존 고속 인터페이스와의 호환성 유지	기존 소프트웨어 및 IP 자산의 재사용 용이
고대역폭/저지연	초고속 데이터 전송을 위한 물리 계층(PHY) 규격 정의	모놀리식 SoC에 근접한 통신 성능 구현
에너지 효율성	비트당 전력 소모(pJ/bit)를 극소화하는 설계 가이드라인	전력 밀도가 높은 AI/HPC 환경에서의 발열 제어
생태계 확장성	다양한 파운드리 및 OSAT 기업 간의 상호 운용성 보장	칩렛 기반의 'Plug-and-Play'식 맞춤형 반도체 제조 가능

표 2.

UCle의 도입은 반도체 제조 방식의 근본적인 변화를 예고합니다. 과거에는 설계부터 제조까지 모든 과정을 수직 계열화하여 통제해야 했으나, UCle 표준이 정착되면 설계 업체(Fabless)는 필요한 기능의 칩렛을 시장에서 구매하여 조합하는 '레고 블록' 방식의 설계를 수행할 수 있게 됩니다 [출처: swarttech.co.kr]. 이는 제품 출시 기간(Time-to-Market)을 단축시키고, 고객사의 요구사항에 즉각적으로 대응할 수 있는 맞춤형 반도체 시장의 폭발적인 성장을 견인할 것으로 전망됩니다.

결론적으로, 칩렛 아키텍처는 미세 공정의 경제적 한계를 돌파하기 위한 필연적인 진화이며, UCle는 이 진화가 개별 기업의 기술을 넘어 산업 전체의 표준으로 자리 잡게 하는 핵심 동력입니다. 이러한 기술적 흐름은 향후

HBM4와 같은 고대역폭 메모리와의 결합, 그리고 더욱 복잡해지는 2.5D/3D 패키징 공정의 난이도 상승으로 이어질 것이며, 이에 따른 정밀 검사 솔루션의 중요성 또한 더욱 커질 것입니다.

패키징 고도화에 따른 검사(Inspection) 이슈

반도체 패키징 기술이 2D 평면 구조에서 2.5D 및 3D 적층, 그리고 칩렛(Chiplet) 기반의 이종 집적(Heterogeneous Integration) 구조로 진화함에 따라, 제조 공정의 난이도는 기하급수적으로 상승하고 있습니다. 과거에는 패키지 외부의 물리적 결함이나 단순 회로 단선 여부를 확인하는 수준이었다면, 차세대 패키징 공정에서는 적층 내부의 미세한 물리적 변형, 초미세 접합부의 무결성, 그리고 다단 적층 시 발생하는 열적·기계적 스트레스를 실시간으로 검출해야 하는 과제에 직면해 있습니다. 특히 HBM4와 같은 고단 적층 제품으로 갈수록 결합 하나가 전체 스택(Stack)의 폐기로 이어지는 치명적인 손실을 초래하므로, 검사(Inspection) 기술의 정밀도와 속도는 수율(Yield) 확보의 핵심 변수가 되었습니다.

1. 구조 복잡도 증가에 따른 주요 결함 유형 및 물리적 이슈

패키징 기술이 고도화됨에 따라 발생하는 결함은 단순히 눈에 보이는 형태를 넘어, 구조적·물리적 메커니즘에 의한 복합적인 양상을 띕니다.

가. Warpage(휨) 및 기계적 변형

적층 단수가 증가함에 따라(예: HBM 12단, 16단 이상), 각 층의 열팽창 계수(CTE, Coefficient of Thermal Expansion) 차이로 인해 발생하는 Warpage 이슈가 심화되고 있습니다. 고단 적층 시 웨이퍼 및 패키지 전체에 가해지는 물리적 스트레스는 패키지의 평탄도를 저해하며, 이는 후속 공정에서의 정렬 불량이나 접합부 파손을 야기합니다. 특히 HBM4와 같은 차세대 제품에서는 적층 증가에 따른 Warpage 측정 및 보정 기술이 수율을 결정짓는 핵심 요소로 작용합니다 [출처: 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf].

나. Micro Bump 및 접합부 결함 (Void & Bridge)

2.5D 및 3D 패키징에서 칩과 인터포저, 또는 칩과 칩 사이를 연결하는 Micro Bump의 신뢰성은 매우 중요합니다.

- **Void(공극):** Bump 접합 과정에서 내부 기포나 미세한 빈 공간이 발생하는 현상으로, 전기적 연결을 방해하거나 열 방출 효율을 저하시킵니다.
- **Bridge(단락):** 인접한 Bump 사이가 미세한 잔여물이나 과도한 솔더로 인해 연결되는 현상으로, 전기적 쇼트(Short)를 유발합니다.
- **Misalignment(정렬 불량):** 칩렛 구조나 고밀도 기판(FC-BGA)에서 Bump의 위치가 설계된 좌표에서 벗어나는 현상으로, 데이터 전송 오류 및 신호 무결성(Signal Integrity) 저하의 주원인이 됩니다.

다. Hybrid Bonding 공정의 초정밀 결함

HBM4 등 차세대 공정에서 도입되는 Hybrid Bonding(구리 직접 접합)은 기존의 Bump 방식 대신 Cu-to-Cu 접합을 사용합니다. 이는 Bump가 없는 구조이기에 결함의 형태가 완전히 달라집니다. 접합면에 존재하는 극미세 Particle(이물질)이나 표면 거칠기, 그리고 나노미터(nm) 단위의 정렬 오차는 접합 불량으로 직결됩니다. 따라서 기존의 광학 검사 범위를 넘어서는 초고해상도 3D 검사 역량이 요구됩니다 [출처: 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf].

2. 검사 기술의 진화: AOI에서 AI 기반 지능형 검사로

결함의 유형이 미세화되고 복잡해짐에 따라, 검사 장비의 기술적 요구사항 또한 변화하고 있습니다.

구분	기존 검사 방식 (Traditional)	차세대 검사 방식 (Advanced)	비고
주요 기술	Rule-based AOI (자동 광학 검사)	AI-Driven Machine Vision	결함 분류 정확도 향상
해상도/정밀도	Micron (μm) 단위 정밀도	Sub-micron (μm) 및 Nano 단위	Hybrid Bonding 대응 필수
검사 차원	2D 평면 이미지 분석	3D AOI 및 X-ray (CT) 분석	적층 내부 Void 검출
데이터 처리	단순 불량/양품 판별	Root Cause Analysis (원인 역추적)	수율 향상을 위한 데이터 분석

표 3.

가. 고해상도 광학 및 비전 검사 (Optical & Vision Inspection)

Hybrid Bonding과 같은 공정에서는 Cu-to-Cu 접합면의 미세한 이물질을 잡아내기 위해 Sub-micron 급 해상도를 가진 광학 검사 장비가 필수적입니다. 또한, 2.5D/3D 구조의 복잡한 단면을 파악하기 위해 3D AOI(Automated Optical Inspection) 기술이 적극적으로 활용됩니다.

나. 비파괴 검사 (Non-Destructive Inspection)의 중요성

적층 내부의 Void나 미세 결함을 확인하기 위해서는 제품을 파괴하지 않고 내부를 들여다볼 수 있는 기술이 필요합니다. 고해상도 3D X-ray(Computed Tomography, CT) 기술은 공정 중간 단계에서 적층 내부의 물리적 결함을 확인하는 데 핵심적인 역할을 수행합니다 [출처: 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf].

다. AI 기반 결함 분류 및 스마트 팩토리

검사 데이터의 양이 폭증함에 따라, 인간이나 단순 알고리즘(Rule-based)으로는 실시간 대응이 불가능해졌습니다. 딥러닝(Deep Learning) 알고리즘을 활용하여 미세 결함(Defect)과 정상적인 노이즈를 구분함으로써 과검(Over-kill, 양품을 불량으로 판정)률을 획기적으로 낮추는 것이 핵심 기술입니다 [출처: 분석_크레셈CRESSEM20260509001.pdf]. 나아가, 검사 데이터를 분석하여 공정상의 불량 원인을 역추적(Root Cause Analysis)할 수 있는 데이터 분석 솔루션은 고객사의 수율(Yield) 향상에 직접적으로 기여하는 핵심 가치가 됩니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

3. 검사 난이도 상승에 따른 기술적 도전 과제

결론적으로, 패키징 고도화는 검사 장비 기업에게 다음과 같은 세 가지 기술적 도전 과제를 던지고 있습니다.

1. **검사 해상도와 Tact Time의 트레이드오프(Trade-off) 해결:** 결함을 더 미세하게 보기 위해 해상도를 높이면 검사 시간이 길어져 생산성(Tact Time)이 저하됩니다. 고속 광학 엔진과 정밀 조명 제어 기술을 결합하여 고속 스캔과 고해상도 검사를 동시에 달성해야 합니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

2. **Known Good Die (KGD) 확보를 위한 전(Pre) 적층 검사 강화:** HBM4와 같이 고단 적층 구조에서는 적층 후 불량이 발견될 경우 전체 스택을 폐기해야 하는 리스크가 큼니다. 따라서 적층 전 개별 Die의 전기적 특성을 완벽히 검증하는 Pre-stacking Test의 중요성이 극대화되고 있습니다 [출처: 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf].

3. **이종 집적(Heterogeneous Integration) 대응:** 칩렛 구조에서는 서로 다른 공정에서 제조된 칩들이 결합되므로, 각 칩의 특성과 인터페이스(UCIe 등)를 모두 고려한 복합적인 검사 레시피(Inspection Recipe) 설계

능력이 요구됩니다 [출처: 매뉴얼HBMAdvancedInspectionSyst20260509001.pdf].

차세대 기술 전망: Hybrid Bonding 및 HBM4

반도체 패키징 기술이 2.5D 및 3D 적층을 넘어 차세대 단계로 진입함에 따라, 기존의 물리적 한계를 극복하기 위한 혁신적인 접합(Bonding) 기술과 메모리 구조의 변화가 가속화되고 있습니다. 특히, 뚨프(Bump)를 제거하여 데이터 전송 효율을 극대화하는 **하이브리드 본딩(Hybrid Bonding)** 기술과, 이를 통해 구현될 **HBM4(6세대 고대역폭 메모리)**는 차세대 반도체 시장의 주도권을 결정짓는 핵심 기술적 변곡점이 될 것으로 전망됩니다.

1. Hybrid Bonding: 뚨프(Bump) 없는 Cu-to-Cu 접합의 시대

기존의 패키징 방식은 솔더 볼(Solder Ball)이나 마이크로 뚨프(Micro Bump)를 매개체로 하여 칩과 칩을 연결하는 방식이 주를 이루었습니다. 그러나 칩의 미세화와 적층 단수가 증가함에 따라 뚨프의 크기가 차지하는 면적이 전체 패키지 크기에서 차지하는 비중이 커지고, 뚨프 자체의 전기적 저항 및 신호 지연(Latency) 문제가 심화되고 있습니다.

하이브리드 본딩(Hybrid Bonding)은 이러한 한계를 극복하기 위해 중간 매개체인 뚨프를 제거하고, 구리(Cu) 패드와 절연막(Dielectric)을 직접 맞붙이는 **Cu-to-Cu(Copper-to-Copper) 접합** 방식을 채택합니다. 이 기술은 다음과 같은 기술적 우위를 제공합니다.

- **초고밀도 인터커넥트(Ultra-high Density Interconnect):** 뚨프가 차지하던 공간이 사라짐에 따라, 수직 연결 통로인 TSV(Through Silicon Via)의 피치(Pitch)를 획기적으로 줄일 수 있습니다. 이는 동일 면적 대비 훨씬 많은 수의 I/O(Input/Output)를 확보할 수 있음을 의미합니다.
- **전기적 성능 극대화:** 뚨프를 통한 신호 전달 과정에서 발생하는 기생 커패시턴스(Parasitic Capacitance)와 저항을 최소화하여, 신호 무결성(Signal Integrity, SI)을 높이고 전력 소모를 줄일 수 있습니다.
- **패키지 두께 감소:** 뚨프의 높이만큼 공간을 절약할 수 있어, 고단 적층 시에도 전체 패키지의 두께를 낮게 유지할 수 있습니다.

하지만 하이브리드 본딩은 공정 난이도가 극도로 높습니다. 접합면에 아주 미세한 이물질(Particle)만 존재해도 접합 불량 발생하며, Cu-to-Cu 접합 시 발생하는 미세한 정렬 오차(Misalignment)를 제어하기 위해 **Sub-micron** 급의 **초고해상도 검사 기술**이 필수적으로 요구됩니다 [출처: 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf].

2. HBM4: 16단 이상의 고단 적층과 구조적 변혁

HBM3E를 지나 차세대 규격인 **HBM4**로 진입함에 따라, 메모리 산업은 단순한 용량 증설을 넘어 구조적 패러다임의 변화를 맞이하고 있습니다. HBM4의 핵심은 적층 단수가 **12단에서 16단 이상**으로 급격히 증가한다는 점과, 베이스 다이(Base Die)의 역할이 변화한다는 점에 있습니다.

구분	HBM3E (현재)	HBM4 (차세대)	기술적 시사점
적층 단수	8단 ~ 12단	12단 ~ 16단 이상	적층 증가에 따른 Warping(휨) 및 두께 제어 난이도 급증
본딩 방식	TC-NCF / MR-MUF	Hybrid Bonding (Cu-to-Cu) 도입 가속화	뚨프 없는 접합을 통한 데이터 전송 속도(Bandwidth) 혁신

Base Die 구조	Standard DRAM 기반	Customized Logic Die (파운드리 공정 결합)	로직-메모리 간 인터페이스 검사 및 이중 집적 난이도 상승
목표 대역폭	9.2Gbps+	1.5TB/s+ (Target)	초고속 신호 전달을 위한 Signal Integrity(SI) 확보 필수

표 4.

[출처: 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf]

HBM4에서는 파운드리 공정과 메모리 공정이 결합된 **Customized Logic Die**가 도입됩니다. 이는 고객사(AI 가속기 제조사 등)의 요구에 맞춰 베이스 다이를 설계할 수 있음을 의미하며, 결과적으로 메모리가 단순한 저장 장치를 넘어 시스템 반도체의 일부로서 기능하게 됨을 뜻합니다. 이러한 변화는 제조 공정의 복잡도를 기하급수적으로 높이며, 적층 전 개별 Die의 품질을 완벽히 보장하는 **KGD(Known Good Die)** 확보의 중요성을 더욱 강조하고 있습니다 [출처: 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf].

3. 기술 진화에 따른 제조 및 검사 전략의 변화

하이브리드 본딩과 HBM4로 대변되는 차세대 기술 트렌드는 제조사들에게 두 가지 핵심 과제를 던져줍니다.

첫째, **수율(Yield) 관리의 정밀화**입니다. 적층 단수가 높아질수록 단 하나의 Die나 접합부에서 발생한 결함이 전체 스택(Stack)의 폐기로 이어지는 리스크가 커집니다. 따라서 적층 전 단계에서 개별 Die의 전기적 특성을 검증하는 Pre-stacking Test와, 적층 후 내부 결함을 확인하는 비파괴 검사(X-ray, CT 등)의 통합 솔루션이 요구됩니다 [출처: 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf].

둘째, **AI 기반의 지능형 검사 시스템 도입**입니다. 하이브리드 본딩 공정에서 발생하는 초미세 이물질이나 미세 정렬 오차는 기존의 Rule-based 검사 방식으로는 검출 속도와 정확도 면에서 한계가 있습니다. 따라서 딥러닝 알고리즘을 활용하여 양품과 불량(Void, Bridge, Misalignment)을 실시간으로 판별하고, 검사 데이터를 분석하여 공정상의 불량 원인을 역추적(Root Cause Analysis)할 수 있는 **AI-Driven Inspection** 기술이 차세대 패키징 라인의 필수 요소가 될 것입니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

결론 및 시사점

반도체 패키징 기술은 단순한 보호 기능을 넘어, 전공정 미세화의 물리적·경제적 한계를 극복하기 위한 핵심 성능 결정 요소로 진화하였습니다. 2D 패키징에서 시작하여 2.5D, 3D 적층, 그리고 칩렛(Chiplet) 기반의 이중 집적(Heterogeneous Integration)에 이르기까지의 기술적 진보는 반도체 산업의 패러다임을 '단일 칩(Monolithic Die) 중심'에서 '시스템 수준의 패키징(System-level Packaging) 중심'으로 완전히 전환시켰습니다.

이러한 기술적 진화에 따라 반도체 제조사와 검사 장비 기업은 다음과 같은 전략적 대응이 필요합니다.

1. 제조사(IDM 및 Foundry)의 대응 전략: 수율(Yield) 확보 및 최적 공정 설계

HBM4와 같은 차세대 고단 적층 구조와 Hybrid Bonding 기술이 도입됨에 따라, 제조사는 적층 시 발생하는 물리적 변형인 Warpage(휨) 제어와 초미세 접합부의 신뢰성 확보가 최우선 과제가 될 것입니다. 특히 칩렛 구조에서는 서로 다른 공정 노드에서 제조된 다이(Die)들을 하나의 패키지로 통합해야 하므로, 각 칩렛 간의 인터페이스 성능을 극대화하면서도 전체 시스템의 전력 효율(Power Efficiency)과 열 관리(Thermal Management)를 최적화하는 설계 역량이 경쟁력의 핵심이 될 것으로 전망됩니다.

2. 검사 장비 기업의 대응 전략: 고정밀·고속·AI 기반 검사 솔루션

패키징 구조가 복잡해질수록 결함의 유형 또한 미세화되고 다변화됩니다. 이에 따라 검사 장비 기업은 다음과 같은 기술 로드맵을 구축해야 합니다.

구분	주요 대응 기술	기대 효과
정밀도 향상	Sub-micron 급 3D 광학 검사 및 X-ray/CT 기술	Hybrid Bonding 및 초미세 Bump의 Void/정렬 오차 검출
검사 속도 최적화	고속 광학 엔진 및 고해상도 카메라 제어	생산 라인의 Tact Time 단축 및 생산성 극대화
지능형 검사	Deep Learning 기반 AI 비전 알고리즘	과검(Over-kill) 방지 및 결함 자동 분류(Classification)
데이터 활용	Root Cause Analysis(불량 원인 역추적) 솔루션	공정 데이터 분석을 통한 수율(Yield) 향상 기여

표 5.

3. 미래 전망 및 시사점

결론적으로, 향후 반도체 시장의 승자는 '얼마나 더 작게 만드느냐'가 아니라, '얼마나 더 정밀하게 연결하고, 이를 얼마나 높은 수율로 구현하느냐'에 의해 결정될 것입니다. 특히 HBM4로의 전환과 칩렛 기반 아키텍처의 확산은 검사 장비 기업에 있어 단순한 불량 검출을 넘어, 공정 전체의 신뢰성을 보증하는 '데이터 기반의 수율 관리 파트너'로서의 역할 변화를 요구하고 있습니다. 크레셈(CRESSEM)과 같은 전문 기업은 AI 비전과 고정밀 광학 기술을 결합하여, 고도화되는 패키징 공정의 기술적 난제를 해결하는 핵심 솔루션 프로바이더(Solution Provider)로서의 입지를 강화해야 합니다.