

차세대 패키징 기술 비교 분석: Silicon vs. Organ

문서번호 CRSM-AI-2026-AUTO

작성일 2026-05-29

작성 CresseM AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

차세대 패키징 기술 비교 분석: Silicon vs. Organic Interposer	3
개요 및 기술적 배경	3
Silicon Interposer 기술 분석	3
Organic Interposer 기술 분석	5
핵심 기술 지표 비교 (Comparative Analysis)	6
신뢰성 및 공정 이슈: CTE Mismatch	7
시장 트렌드 및 애플리케이션별 최적 솔루션	9
결론 및 기술적 시사점	10

차세대 패키징 기술 비교 분석: Silicon vs. Organic Interposer

HBM 및 2.5D/3D 패키징의 핵심 요소인 실리콘 인터포저와 유기(Organic) 인터포저의 기술적 특성, 물리적 한계 및 경제성을 비교 분석합니다. 미세 피치 구현 능력과 열팽창 계수(CTE) 정합성을 중심으로 차세대 반도체 공정의 기술 로드맵을 제시합니다.

개요 및 기술적 배경

최근 인공지능(AI), 고성능 컴퓨팅(HPC), 그리고 자율주행 시스템을 중심으로 데이터 처리 수요가 폭발적으로 증가함에 따라, 반도체 산업의 패러다임은 단일 칩의 미세 공정(Scaling) 중심에서 시스템 전체의 성능을 극대화하는 '어드밴스드 패키징(Advanced Packaging)' 중심으로 급격히 이동하고 있습니다. 과거에는 무어의 법칙(Moore's Law)에 따라 트랜지스터의 크기를 줄이는 것이 성능 향상의 핵심이었으나, 물리적 한계와 공정 비용의 기하급수적 상승으로 인해 이제는 서로 다른 기능을 가진 칩들을 하나의 패키지 내에 효율적으로 통합하는 기술이 핵심 경쟁력으로 부상하였습니다. 이러한 흐름 속에서 2.5D 패키징 기술은 로직(Logic) 칩과 고대역폭 메모리(HBM)를 수평적으로 배치하여 상호 연결성을 극대화하는 중추적인 역할을 수행하고 있습니다.

이러한 2.5D 패키징 구조 내에서 '인터포저(Interposer)'는 서로 다른 칩 사이를 연결하는 전기적 통로이자, 물리적 지지체로서의 결정적인 기능을 담당합니다. 인터포저는 로직 칩과 메모리 칩 사이의 데이터 전송 경로를 제공하며, 칩 간의 입출력(I/O) 밀도를 결정짓는 핵심 요소입니다. 고성능 AI 가속기에서는 수천 개 이상의 데이터 경로가 동시에 활성화되어야 하므로, 인터포저의 배선 밀도(Interconnect Density)와 신호 전달 속도, 그리고 전력 효율성이 전체 시스템의 성능(Throughput)을 좌우하게 됩니다. 따라서 인터포저 기술은 단순한 연결 매개체를 넘어, 시스템 반도체의 성능 한계를 돌파하기 위한 핵심 아키텍처로 정의됩니다.

현재 인터포저 기술은 크게 실리콘(Silicon) 기반과 유기물(Organic) 기반의 두 가지 경로로 발전하고 있습니다. 실리콘 인터포저는 TSV(Through Silicon Via) 기술을 활용하여 초미세 피치(Fine Pitch)를 구현함으로써 극한의 데이터 대역폭을 제공하지만, 제조 공정의 복잡성과 높은 비용이 수반됩니다. 반면, 유기 인터포저는 RDL(Redistribution Layer) 공정을 기반으로 대면적화가 용이하고 비용 효율성이 높으나, 실리콘 대비 배선 밀도 구현에 한계가 존재합니다. 본 보고서에서는 이 두 기술의 물리적, 전기적, 경제적 특성을 심층적으로 비교 분석하여, 향후 차세대 AI 반도체 시장을 주도할 최적의 인터포저 솔루션이 무엇인지 고찰하고자 합니다. [출처: Yole Group]

Silicon Interposer 기술 분석

실리콘 인터포저(Silicon Interposer)는 고성능 컴퓨팅(HPC)과 인공지능(AI) 가속기 시장에서 요구되는 초고대역폭(Ultra-High Bandwidth) 데이터 전송을 구현하기 위한 핵심적인 중계 플랫폼이다. 전통적인 패키징 방식이 단순히 칩을 기판에 연결하는 수준에 머물렀다면, 실리콘 인터포저는 반도체 제조 공정인 Front-End(FEOL) 및 Back-End(BEOL) 기술을 패키징 단계에 직접 도입함으로써, 칩과 칩 사이의 연결 밀도를 비약적으로 높인 기술이다. 이 기술의 핵심은 실리콘 웨이퍼 내부에 수직 관통 전극인 TSV(Through Silicon Via)를 형성하고, 그 상단과 하단에 미세한 금속 배선층인 RDL(Redistribution Layer)을 구축하여 초미세 피치(Fine Pitch)의 상호 연결을 실현하는 데 있다.

실리콘 인터포저 기술의 가장 강력한 경쟁력은 TSV를 통한 수직적 연결 구조에서 비롯된다. 기존의 유기 기판(Organic Substrate)이 PCB 패턴 기반의 상대적으로 넓은 간격을 가진 배선을 사용한다면, 실리콘 인터포저는 반도체 노광 공정(Photolithography)을 그대로 활용한다. 이를 통해 수 마이크로미터(um) 단위의 미세한 배선 간격을 구현할 수 있으며, 이는 곧 I/O(Input/Output) 밀도의 극대화로 이어진다. 특히 HBM(High Bandwidth Memory)과 같은 고성능 메모리를 GPU나 AI 가속기 옆에 배치할 때, 실리콘 인터포저는 수천 개 이상의 데이터

통로를 매우 좁은 면적 안에 밀집시킬 수 있어 데이터 병목 현상을 근본적으로 해결한다. 이러한 고밀도 연결은 대규모 병렬 연산이 필수적인 딥러닝 모델 학습 환경에서 데이터 전송 지연(Latency)을 최소화하고 처리량(Throughput)을 극대화하는 결정적인 요소가 된다.

전기적 특성 측면에서 실리콘 인터포저는 매우 우수한 신호 무결성(Signal Integrity)을 제공한다. 실리콘은 그 자체로 반도체 소재이기에, 상부의 금속 배선 층을 형성할 때 기존 웨이퍼 공정에서 검증된 고정밀 증착 및 식각 기술을 적용할 수 있다. 이는 배선 간의 기생 커패시턴스(Parasitic Capacitance)와 인덕턴스(Inductance)를 정밀하게 제어할 수 있음을 의미하며, 초고속 신호 전송 시 발생할 수 있는 신호 왜곡이나 크로스토크(Crosstalk) 문제를 효과적으로 억제한다. 또한, 실리콘 인터포저는 칩(Die)과 동일한 소재를 사용한다는 점에서 열팽창 계수(CTE, Coefficient of Thermal Expansion)의 일치성(Matching) 측면에서 압도적인 이점을 가진다. 칩과 인터포저 사이의 CTE 차이가 거의 없기 때문에, 동작 중 발생하는 열로 인한 물리적 변형이나 응력(Stress)이 최소화되며, 이는 반복적인 열 사이클(Thermal Cycling) 환경에서도 연결 부위의 물리적 신뢰성을 보장하는 핵심 근거가 된다.

기술적 구현의 관점에서 실리콘 인터포저는 크게 TSV 공정의 정밀도와 RDL의 밀도라는 두 가지 축으로 발전해 왔다. TSV 공정은 웨이퍼에 미세한 구멍을 뚫고 이를 구리(Cu)로 채워 넣는 과정으로, 이 구멍의 직경과 간격이 인터포저의 성능을 결정짓는다. 최근에는 TSV의 크기를 더욱 줄이면서도 전기적 저항을 낮추는 기술이 연구되고 있으며, 이는 더 많은 수의 I/O를 확보하기 위한 필수 과제이다. 동시에 상하단의 RDL 공정은 반도체 미세 패턴 기술을 응용하여 배선 간격을 더욱 좁히는 방향으로 진화하고 있다. 이러한 기술적 진보는 단순히 연결의 개수를 늘리는 것을 넘어, 칩 간의 거리를 물리적으로 더욱 가깝게 배치할 수 있는 공간적 자유도를 제공하며, 결과적으로 전체 패키지의 소형화와 고성능화를 동시에 달성하게 한다.

다만, 실리콘 인터포저 기술은 뛰어난 성능만큼이나 공정 난이도와 비용 측면에서의 도전 과제를 안고 있다. 실리콘 웨이퍼 자체의 단가가 높을 뿐만 아니라, TSV 형성 및 구리 충전(Filling), 그리고 웨이퍼를 매우 얇게 갈아내는 박화(Thinning) 공정에서 발생하는 수율(Yield) 관리가 매우 까다롭다. 또한, 인터포저의 면적이 커질수록(Large-size Interposer) 웨이퍼 한 장에서 얻을 수 있는 칩의 수가 줄어들고, 공정 중 웨이퍼의 휨(Warping) 현상이 발생할 가능성이 높아진다. 이를 극복하기 위해 최근 업계에서는 여러 개의 실리콘을 이어 붙이는 인터포저 확장 기술이나, 공정 단가를 낮추기 위한 새로운 식각 기술 도입 등을 활발히 진행하고 있다.

실리콘 인터포저의 주요 기술적 특성을 요약하면 다음과 같다.

구분	기술적 특징 및 상세 내용	비고
핵심 연결 구조	TSV(Through Silicon Via)를 통한 수직 관통 연결	고밀도 I/O 구현의 핵심
배선 기술	반도체 노광 공정 기반의 초미세 RDL(Redistribution Layer)	Fine Pitch 구현 가능
열팽창 계수(CTE)	실리콘 Die와 동일한 CTE 보유 (약 2.6 ppm/°C)	열 신뢰성 및 Warpage 방지에 유리
신호 무결성	낮은 기생 성분 및 정밀한 임피던스 제어 가능	고주파/고속 신호 전송 최적화
주요 한계점	높은 제조 원가, 공정 복잡도, 대면적화 시 수율 저하	비용 효율성 개선이 과제

결론적으로 실리콘 인터포저는 현재 AI 가속기, 고성능 서버용 CPU, 그리고 HBM 결합형 패키지(CoWoS 등)에서 대체 불가능한 표준 기술로 자리 잡고 있다. 비록 비용과 공정 난이도라는 장벽이 존재하지만, 데이터 처리량의

폭발적 증가를 요구하는 차세대 컴퓨팅 환경에서 실리콘 인터포저가 제공하는 초미세 피치와 전기적 안정성은 기술적 우위를 점하는 가장 강력한 동인이 되고 있다. [출처: Semiconductor Engineering]

Organic Interposer 기술 분석

고성능 컴퓨팅(HPC)과 인공지능(AI) 연산의 급격한 확대로 인해 데이터 처리량은 기하급수적으로 증가하고 있으며, 이는 반도체 칩과 칩 사이의 연결 밀도 및 면적에 대한 새로운 요구사항을 창출하고 있습니다. Silicon Interposer가 TSV(Through Silicon Via)를 활용하여 극도의 미세 피치(Fine Pitch)를 구현하는 데 강점이 있다면, Organic Interposer 기술은 유기 절연체와 RDL(Redistribution Layer, 재배포선층) 공정을 기반으로 하여 대면적화(Large Area)와 비용 효율성(Cost-effectiveness)을 극대화하는 데 초점을 맞추고 있습니다. 유기 인터포저는 기존의 PCB(Printed Circuit Board) 기술을 고도화한 형태로, 고분자 수지(Polymer Resin)와 구리(Cu) 배선을 활용하여 칩 간의 신호를 전달하는 중간 기판 역할을 수행합니다.

Organic Interposer의 핵심 메커니즘은 RDL 기술에 있습니다. 실리콘 인터포저가 웨이퍼 레벨의 공정을 통해 미세한 통로를 뚫는 방식이라면, 유기 인터포저는 유기 절연층 위에 미세한 구리 회로를 층층이 쌓아 올리는 적층(Build-up) 방식을 채택합니다. 이 과정에서 사용되는 RDL은 칩의 입출력(I/O) 단자를 더 넓은 간격의 패키지 기판으로 재배포치하거나, 반대로 기판의 넓은 패드를 칩의 미세한 패드에 연결할 수 있도록 전기적 경로를 재설계합니다. 최근에는 미세 회로 구현 능력을 높이기 위해 포토레지스트(Photoresist) 기반의 미세 패턴 형성 기술과 고해상도 노광 공정이 도입되면서, 유기 인터포저의 피치 한계 또한 과거에 비해 비약적으로 개선되고 있습니다.

기술적 측면에서 유기 인터포저가 갖는 가장 큰 차별점은 대면적 구현 능력과 경제성입니다. 실리콘 인터포저는 웨이퍼 크기(최대 300mm)라는 물리적 한계에 직면해 있으며, 대면적화할 경우 웨이퍼의 수율(Yield) 저하와 비용 상승이 선형적으로 증가하는 구조적 문제를 안고 있습니다. 반면, 유기 인터포저는 패널 레벨 패키징(Panels Level Packaging, PLP) 기술과 결합할 경우, 웨이퍼보다 훨씬 큰 면적인 패널 단위로 공정을 진행할 수 있어 한 번의 공정으로 생산할 수 있는 칩의 수를 극대화할 수 있습니다. 이는 단위 면적당 생산 비용을 획기적으로 낮추는 핵심 요인이 됩니다. 또한, 실리콘에 비해 상대적으로 낮은 유전율(Dielectric Constant)을 가진 유기 소재를 활용함으로써 신호 전달 속도를 높이고 신호 손실(Signal Loss)을 줄일 수 있는 잠재력을 보유하고 있습니다.

다음은 실리콘 인터포저와 유기 인터포저의 주요 기술적 특성을 비교한 표입니다.

비교 항목	Silicon Interposer	Organic Interposer
주요 기술 기반	TSV (Through Silicon Via)	RDL (Redistribution Layer)
피치 밀도 (Pitch Density)	초미세 (Sub-10um 가능)	중/미세 (10um~40um 수준)
최대 구현 면적	제한적 (Wafer Size 기반)	매우 높음 (Panel Level 가능)
제조 비용	매우 높음 (High Cost)	상대적 저렴 (Cost-effective)
전기적 특성	우수한 신호 무결성	유전율 조절을 통한 저손실 구현 가능
열팽창 계수 (CTE)	실리콘 칩과 유사 (약 2.6 ppm/°C)	상대적으로 높음 (약 12~17 ppm/°C)
주요 응용 분야	HBM, 초고성능 GPU, 하이엔드 AI 가속기	중고성능 AI 가속기, 서버용 CPU/GPU, 모바일 AP

유기 인터포저의 발전 방향은 크게 두 가지 경로로 나뉩니다. 첫째는 '미세화(Miniaturization)'입니다. RDL의 선폭(Line Width)과 간격(Space)을 줄여 실리콘 인터포저의 영역을 침범하기 위해 고해상도 공정을 적용하는

것입니다. 이를 위해 최근에는 유기 소재의 두께를 극도로 얇게 만드는 초박형(Ultra-thin) 기판 기술이 연구되고 있습니다. 둘째는 '고집적화(High Integration)'입니다. 다층 RDL 구조를 통해 더 복잡한 배선 경로를 확보함으로써, 단일 층에서는 불가능했던 고차원적인 신호 라우팅을 구현하는 것입니다. 이러한 기술적 진보는 유기 인터포저가 단순히 저가형 솔루션에 머무는 것이 아니라, 성능과 비용의 균형을 맞추어야 하는 중대형 AI 가속기 시장의 핵심 대안으로 부상하게 만드는 동력이 됩니다.

그러나 유기 인터포저가 해결해야 할 기술적 난제도 명확합니다. 가장 대표적인 문제는 앞선 섹션에서도 다루어질 '열팽창 계수(CTE) 불일치'입니다. 실리콘 칩의 CTE는 약 2.6 ppm/°C인 반면, 유기 소재는 대략 12~17 ppm/°C 수준으로 매우 높습니다. 이로 인해 작동 온도 변화에 따라 칩과 인터포저 사이의 물리적 변형(Warping)이 발생하며, 이는 범프(Bump)의 피로 파괴나 회로 단선과 같은 신뢰성 문제를 야기할 수 있습니다. 따라서 최근 업계에서는 CTE를 낮춘 특수 수지(Specialty Resin) 개발과 더불어, 열 변형을 최소적으로 억제할 수 있는 구조적 설계(Design for Reliability) 기술 확보에 사활을 걸고 있습니다. [출처: Semiconductor Engineering]

결론적으로 유기 인터포저는 RDL 기반의 유연한 공정 설계와 대면적화 가능성을 바탕으로, 실리콘 인터포저가 가진 높은 비용 장벽을 허물 수 있는 강력한 기술적 대안입니다. 비록 미세 피치 구현 능력과 열 신뢰성 측면에서 실리콘 대비 열세에 있으나, 공정 미세화 기술의 발전과 신소재 도입을 통해 그 격차를 빠르게 좁히고 있습니다. 향후 시장은 초고성능이 요구되는 최상위 제품군에는 실리콘 인터포저를, 성능과 경제성의 타협이 필요한 광범위한 AI 및 서버 시장에는 유기 인터포저를 채택하는 이원화된 구조로 재편될 것으로 전망됩니다.

핵심 기술 지표 비교 (Comparative Analysis)

차세대 패키징 솔루션의 선택은 단순히 기술적 우위를 넘어, 최종 제품의 성능 목표(Performance Target), 제조 비용(Cost Structure), 그리고 양산 수율(Yield) 사이의 복잡한 트레이드오프(Trade-off) 관계를 최적화하는 과정이다. Silicon Interposer와 Organic Interposer는 각각 미세 피치 구현을 통한 초고성능 연산 지원과 대면적화를 통한 경제적 양산성 확보라는 상이한 지향점을 가지고 있다. 본 섹션에서는 피치 밀도, 전기적 특성, 열 관리 능력, 그리고 제조 비용의 네 가지 핵심 지표를 중심으로 두 기술의 정량적·정성적 차이를 심층 분석한다.

첫째, 피치 밀도(Pitch Density) 및 상호 연결 밀도 측면에서 Silicon Interposer는 압도적인 우위를 점한다. 실리콘 인터포저는 반도체 전공정(Front-end) 기술을 그대로 활용하여 Through Silicon Via(TSV)를 형성하므로, 수 마이크로미터(um) 단위의 극미세 피치 구현이 가능하다. 일반적으로 실리콘 인터포저의 Bump Pitch는 40um 이하, 심지어 하이브리드 본딩 기술과 결합할 경우 수 마이크로미터 단위까지 축소될 수 있다. 이는 HBM(High Bandwidth Memory)과 GPU 사이의 초광대역 데이터 통로를 확보하는 데 필수적인 요소이다. 반면, Organic Interposer는 유기 수지(Resin)와 구리(Cu) RDL(Redistribution Layer)을 기반으로 하기에 미세 패턴 형성의 한계가 존재한다. 유기 기판의 특성상 미세 회로의 식각 및 증착 정밀도가 실리콘보다 낮으며, 통상적으로 100um 이상의 피치를 유지해야 안정적인 공정 수율을 확보할 수 있다. 따라서 초고성능 AI 가속기와 같이 데이터 대역폭이 성능의 임계치인 경우 실리콘 인터포저가 필수적으로 선택된다.

둘째, 전기적 특성 및 신호 무결성(Signal Integrity) 관점에서의 비교이다. 신호 전달 속도가 빨라지고 데이터 전송량이 증가함에 따라 신호 손실(Insertion Loss)과 간섭(Crosstalk)을 제어하는 능력이 핵심 지표로 부상하고 있다. 실리콘 인터포저는 결정질 실리콘(Crystalline Silicon)의 특성상 기판 자체의 전기적 저항과 정전 용량(Capacitance)이 존재하며, 이는 고주파 신호 전달 시 기생 성분(Parasitic elements)으로 작용하여 신호 왜곡을 유발할 수 있다. 하지만 TSV를 통한 수직 연결 구조는 신호 경로를 최소화하여 지연 시간(Latency)을 줄이는 데 매우 유리하다. 반면, Organic Interposer는 유전율(Dielectric Constant)이 낮은 유기 재료를 사용하기 때문에 고주파 신호의 전송 손실을 줄이는 데 유리한 측면이 있다. 그러나 유기 기판은 재료의 균질성(Homogeneity)이 실리콘에 비해 낮아, 대면적 설계 시 임피던스(Impedance) 불연속성 문제가 발생할 수 있으며, 이는 신호의 반사 및 왜곡을 초래하는 원인이 된다.

셋째, 열 관리(Thermal Management) 능력은 시스템의 신뢰성과 직결되는 요소이다. 반도체 칩에서 발생하는 열을 효과적으로 외부로 방출하지 못하면 성능 저하(Throttling) 및 소자 파괴가 발생한다. 실리콘은 열전도율(Thermal Conductivity)이 약 148 W/m·K 수준으로 매우 높아, 칩에서 발생한 열을 인터포저를 통해 빠르게 분산시키고 히트싱크로 전달하는 데 매우 탁월하다. 이는 고전력 소모가 극심한 AI 가속기 환경에서 강력한 이점으로 작용한다. 반면, Organic Interposer에 사용되는 에폭시 수지(Epoxy Resin) 계열의 재료는 열전도율이 약 0.2~0.5 W/m·K 수준으로 실리콘에 비해 수백 배 이상 낮다. 따라서 유기 인터포저를 사용하는 시스템은 열 축적(Heat Accumulation) 문제에 매우 취약하며, 이를 해결하기 위해 별도의 열 방출 경로를 설계하거나 고가의 열전도성 충전재(Filler)를 첨가해야 하는 기술적 난제가 존재한다.

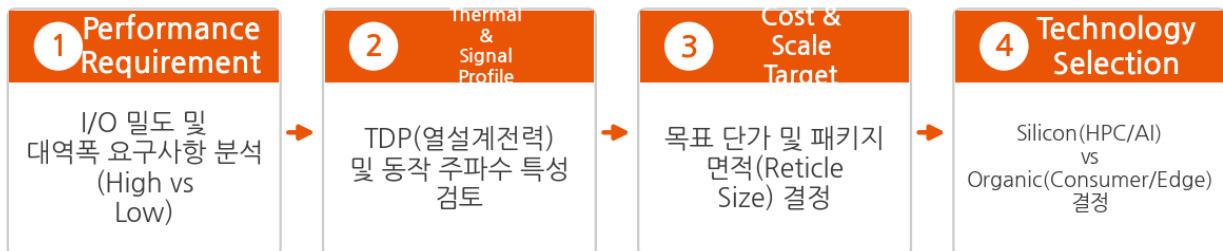
넷째, 제조 비용(Manufacturing Cost) 및 확장성 측면에서의 비교이다. 경제성 관점에서는 Organic Interposer가 명확한 우위를 가진다. 실리콘 인터포저는 고가의 웨이퍼를 사용하며, TSV 형성, 웨이퍼 박막화(Thinning), CMP(Chemical Mechanical Polishing) 등 복잡하고 비용이 많이 드는 공정을 거쳐야 한다. 또한, 웨이퍼 크기의 한계(Reticle Limit)로 인해 인터포저의 크기를 키우는 데 물리적·비용적 제약이 크다. 반면, Organic Interposer는 PCB(Printed Circuit Board) 제조 공정과 유사한 방식으로 생산되며, 대면적 패널(Panel Level) 공정을 통해 웨이퍼 대비 훨씬 넓은 면적을 저렴한 비용으로 구현할 수 있다. 이는 멀티 칩렛(Multi-chiplet) 구조에서 칩의 크기가 커짐에 따라 발생하는 비용 상승 압박을 완화할 수 있는 핵심 솔루션이다.

아래 표는 위에서 분석한 네 가지 핵심 지표를 정량적·정성적 기준으로 비교 요약한 결과이다.

비교 지표	Silicon Interposer	Organic Interposer	비교 (Key Driver)
Pitch Density	초미세 (< 40um)	중/대형 (> 100um)	데이터 대역폭 및 I/O 밀도
Signal Integrity	우수 (낮은 지연 시간)	양호 (낮은 유전 손실)	고주파 신호 및 기생 성분 제어
Thermal Management	매우 우수 (높은 열전도율)	취약 (낮은 열전도율)	고전력(TDP) 환경 대응력
Manufacturing Cost	높음 (TSV 및 웨이퍼 공정)	낮음 (RDL 및 패널 공정)	대면적화 및 양산 경제성
Scalability	제한적 (Reticle Limit 존재)	매우 높음 (Panel Level 가능)	칩렛(Chiplet) 통합 확장성

[출처: Yole Group, SEMI]

Interposer Technology Selection Framework



신뢰성 및 공정 이슈: CTE Mismatch

차세대 패키징 기술의 핵심인 인터포저 기술에서 실리콘(Silicon)과 유기(Organic) 기판을 선택할 때 직면하는 가장 치명적인 공학적 난제는 열팽창 계수(Coefficient of Thermal Expansion, CTE)의 불일치, 즉 CTE Mismatch 문제이다. 반도체 패키징은 구동 중 발생하는 열에 의해 물리적 팽창과 수축을 반복하는데, 이때 서로 다른 재료가 결합되어 있으면 각 재료의 팽창률 차이로 인해 물리적인 응력(Stress)이 발생한다. 이는 단순히 구조적 변형에 그치는 것이 아니라, 미세 피치(Fine Pitch) 구조를 가진 차세대 패키지의 전기적 연결성을 파괴하고 소자의 수명을 단축시키는 결정적인 신뢰성 저하 요인으로 작용한다.

실리콘 인터포저의 경우, 칩(Die)과 동일한 재료인 실리콘을 사용하기 때문에 CTE Mismatch 측면에서 매우 유리한 고지를 점한다. 실리콘의 CTE는 약 2.6 ppm/°C 수준으로 매우 낮고 안정적이며, 칩과 인터포저 간의 열적 정합성(Thermal Matching)이 뛰어나다. 따라서 고온의 동작 환경에서도 칩과 인터포저 사이의 상대적인 변형이 최소화되며, 이는 TSV(Through Silicon Via) 주변의 실리콘 균열(Cracking)이나 범프(Bump)의 피로 파괴를 억제하는 핵심 요소가 된다. 하지만 실리콘 인터포저 역시 하부의 PCB(Printed Circuit Board)나 상부의 유기 기판과 결합될 때는 극심한 CTE 차이를 경험하게 된다. 실리콘의 2.6 ppm/°C와 유기 기판의 약 12~17 ppm/°C 사이의 격차는 패키지 전체의 휨 현상인 Warpage를 유발하는 주된 원인이 된다.

반면, 유기 인터포저(Organic Interposer)는 대면적화에 유리한 특성을 갖지만, 재료 자체의 높은 CTE와 이질적인 물성으로 인해 신뢰성 관리 난도가 매우 높다. 유기 기판은 고분자(Polymer) 수지를 기반으로 하기 때문에 온도 변화에 따른 치수 안정성이 실리콘보다 현저히 떨어진다. 특히 RDL(Redistribution Layer) 공정 중에 형성되는 구리(Cu) 배선과 유기 절연층 간의 CTE 차이는 공정 중 응력을 발생시켜 미세 패턴의 박리(Delamination)나 배선 단선(Open)을 초래할 수 있다. 또한, 칩과 유기 인터포저 사이의 큰 CTE 차이는 열 사이클(Thermal Cycling) 테스트 과정에서 솔더 범프(Solder Bump)에 과도한 전단 응력(Shear Stress)을 가하게 되어, 범프의 피로 누적에 의한 크랙 발생 가능성을 높인다.

다음은 실리콘 인터포저와 유기 인터포저의 열적/기계적 특성 및 그에 따른 신뢰성 리스크를 비교한 표이다.

비교 항목	Silicon Interposer	Organic Interposer	비고
CTE (ppm/°C)	~2.6 (매우 낮음)	12 ~ 17 (높음)	재료 간 격차 발생
Warpage 관리	칩-인터포저 간 우수, PCB 결합 시 취약	칩-인터포저 간 매우 취약	공정 제어 핵심 요소
주요 신뢰성 이슈	TSV 주변 Crack, Die-to-Die Stress	Bump Fatigue, Delamination, RDL Crack	물리적 파손 형태 상이
Stress 집중 구간	TSV 및 Micro-bump 계면	RDL 및 Solder Joint 계면	응력 분포의 차이
열 관리 난이도	상대적으로 낮음 (열전도율 양호)	상대적으로 높음 (열전도율 낮음)	열 방산 설계 중요도 차이

이러한 Warpage 및 Stress 문제를 해결하기 위해 업계에서는 다양한 기술적 대응책을 강구하고 있다. 첫째, Warpage Control을 위해 기판의 적층 구조를 최적화하거나, CTE를 인위적으로 조절한 특수 유기 재료(Low CTE Organic Material)를 개발하여 사용한다. 둘째, Stress Analysis(응력 해석) 시뮬레이션을 공정 설계 단계에서부터 적극 도입하여, 열 사이클링 시 응력이 집중되는 지점을 사전에 파악하고 이를 분산시킬 수 있는 구조적 보완(Dummy Pattern 배치 등)을 수행한다. 셋째, Underfill(언더필) 소재의 물성을 개선하여 칩과 인터포저 사이의 빈 공간을 메움으로써, 외부 응력을 완화하고 열 전달 효율을 높이는 방식이 필수적으로 적용된다. 결론적으로, 인터포저 기술의 고도화는 단순히 미세 피치를 구현하는 것을 넘어, 재료 간의 열적 불일치를 어떻게 물리적/화학적으로 제어하느냐에 따라 그 성패가 결정된다고 볼 수 있다. [출처: SEMI 기술 보고서]

시장 트렌드 및 애플리케이션별 최적 솔루션

최근 생성형 AI(Generative AI)의 급격한 확산과 초거대 언어 모델(LLM)의 연산 수요 폭증은 반도체 패키징 시장의 패러다임을 근본적으로 변화시키고 있습니다. 과거 단순한 칩 보호와 전기적 연결을 목적으로 했던 패키징 기술은, 이제 프로세서(Logic)와 메모리(HBM) 간의 데이터 전송 대역폭을 극대화하고 지연 시간(Latency)을 최소화하기 위한 핵심 성능 결정 요소로 부상하였습니다. 특히 고성능 컴퓨팅(HPC) 및 AI 가속기 시장에서는 데이터 병목 현상을 해결하기 위해 인터포저의 미세 피치 구현 능력과 대면적 패키징 가능 여부가 제품의 경쟁력을 좌우하는 척도가 되고 있습니다. 이에 따라 시장은 요구되는 성능 수준과 경제적 타당성에 따라 Silicon Interposer와 Organic Interposer를 이분화하여 채택하는 양상을 보이고 있습니다.

현재 가장 강력한 수요를 형성하고 있는 AI 가속기 및 하이엔드 GPU 시장에서는 실리콘 인터포저(Silicon Interposer) 기반의 2.5D 패키징 기술이 표준으로 자리 잡고 있습니다. NVIDIA의 H100, B200 시리즈와 같은 플래그십 제품군은 초고대역폭 메모리인 HBM(High Bandwidth Memory)과의 긴밀한 통합이 필수적입니다. HBM은 수천 개의 마이크로 범프를 통해 로직 다이와 연결되어야 하므로, 극도로 미세한 피치(Pitch)를 구현할 수 있는 TSV(Through Silicon Via) 기반의 실리콘 인터포저가 불가피한 선택입니다. 실리콘 인터포저는 로직 다이 및 HBM과 동일한 실리콘 기판을 사용함으로써 열팽창 계수(CTE)를 일치시킬 수 있어, 고집적 상태에서 발생하는 열적 스트레스를 제어하는 데 매우 유리합니다. 이는 고성능 연산 시 발생하는 막대한 발열 환경에서도 패키지의 물리적 안정성을 보장하며, 결과적으로 시스템의 신뢰성을 높이는 핵심 동력이 됩니다. [출처: TrendForce]

반면, 데이터 센터의 확산과 함께 AI 연산의 하위 계층을 담당하는 추론용 가속기(Inference Accelerator) 및 클라우드 컴퓨팅 시장에서는 비용 효율성과 대면적화가 용이한 유기 인터포저(Organic Interposer) 및 RDL(Redistribution Layer) 기반 패키징 기술의 채택 비중이 빠르게 증가하고 있습니다. 실리콘 인터포저는 미세 피치 구현에는 탁월하나, 웨이퍼 크기의 제한으로 인해 패키지 크기를 키우는 데 한계가 있으며 제조 공정 비용이 매우 높다는 단점이 있습니다. 이에 따라 대규모 병렬 연산이 필요한 AI 모델의 추론용 칩에서는 굳이 초미세 피치가 필요하지 않은 경우, 유기 기판을 활용하여 패키지 크기를 대폭 확장(Large-scale Packaging)함으로써 더 많은 수의 코어와 메모리를 하나의 패키지에 집적하는 전략을 취하고 있습니다. 이는 단위 성능당 비용(Cost per Performance)을 최적화하려는 시장의 요구를 반영한 결과입니다.

애플리케이션별 요구 특성에 따른 인터포저 솔루션의 선택 기준을 비교하면 다음과 같습니다.

구분	AI 가속기 (Training/High-end GPU)	AI 추론기 및 클라우드 서버 (Inference/Cloud)	모바일 및 엣지 컴퓨팅 (Mobile/Edge AI)
주요 요구사항	극대화된 대역폭, 초미세 피치, 열 신뢰성	대면적 집적도, 비용 효율성, 확장성	소형화, 저전력, 공정 단순화
채택 솔루션	Silicon Interposer (2.5D/CoWoS)	Organic Interposer / Glass Interposer	Advanced Fan-out (FOWLP/FOPLP)
메모리 통합	HBM3/HBM3E 필수 통합	LPDDR5/LPDDR5X 및 고용량 DDR	통합형 메모리 (PoP 방식 등)
기술적 트렌드	Hybrid Bonding을 통한 피치 축소	RDL 미세화 및 대면적 기판 기술	SiP(System-in-Package) 고도화

결론적으로 시장은 '성능 극대화'와 '경제적 확장성'이라는 두 가지 트랙으로 분화되어 발전하고 있습니다. 최상위 성능을 지향하는 학습용 AI 가속기 시장은 실리콘 인터포저의 미세 공정 한계를 돌파하기 위해 Hybrid Bonding과

같은 차세대 접합 기술을 적극 도입하며 기술적 우위를 점하려 하고 있습니다. 동시에, 범용 AI 시장과 추론용 시장에서는 유기 기판의 물리적 한계를 극복하기 위한 고밀도 RDL 공정 기술이 발전하며 실리콘 인터포저의 영역을 빠르게 잠식하거나 보완하고 있습니다. 향후 시장의 승패는 각 애플리케이션이 요구하는 데이터 전송량(Throughput)과 제조 단가(Unit Cost) 사이의 최적의 균형점을 어떤 인터포저 기술이 더 효율적으로 제공하느냐에 달려 있습니다. [출처: Yole Group]

결론 및 기술적 시사점

반도체 패키징 기술의 패러다임이 단순한 칩 보호를 넘어 '시스템 성능의 결정적 요소'로 이동함에 따라, 실리콘 인터포저(Silicon Interposer)와 유기 인터포저(Organic Interposer) 사이의 기술적 선택은 제품의 목적과 경제성에 따라 더욱 정교하게 분화될 전망이다. 실리콘 인터포저는 TSV(Through Silicon Via) 기술을 기반으로 극도로 높은 피치 밀도를 제공함으로써 HBM(High Bandwidth Memory)과 고성능 GPU 간의 데이터 병목 현상을 해결하는 핵심적인 역할을 수행하고 있다. 반면, 유기 인터포저는 RDL(Redistribution Layer) 공정을 통해 대면적화(Large-scale)를 실현하고 제조 원가를 혁신적으로 낮춤으로써, 고성능 컴퓨팅(HPC) 시장의 범용성을 확대하는 데 기여하고 있다.

그러나 현재의 인터포저 기술은 미세 피치 구현을 위한 물리적 한계와 열팽창 계수(CTE) 차이로 인한 신뢰성 문제라는 공통된 기술적 난제에 직면해 있다. 이러한 한계를 극복하기 위한 차세대 기술 로드맵의 핵심은 'Hybrid Bonding' 기술의 상용화로 귀결된다. 기존의 솔더 범프(Solder Bump)를 사용하는 방식은 범프의 크기로 인해 피치 간격을 줄이는 데 물리적 제약이 존재하지만, 구리(Cu)와 구리를 직접 접합하는 Hybrid Bonding 기술은 범프 없는(Bumpless) 연결을 가능하게 하여 인터커넥트 밀도를 비약적으로 높일 수 있다. 이는 데이터 전송 속도를 극대화하고 전력 소모를 최소화해야 하는 AI 가속기 및 차세대 데이터센터용 프로세서 설계에서 필수적인 전환점이 될 것이다.

결론적으로, 향후 패키징 기술의 발전 방향은 단순히 개별 소재의 특성을 개선하는 수준을 넘어, 이종 집적(Heterogeneous Integration) 기술의 고도화를 통한 'Advanced Interconnect'의 완성에 집중될 것이다. 실리콘 기반의 초미세 공정과 유기 기판의 대면적·저비용 이점을 결합한 하이브리드 형태의 솔루션이 지속적으로 연구될 것이며, 기업들은 제품의 성능 요구치(Performance Tier)에 따라 최적의 인터포저 기술을 선택할 수 있는 포트폴리오를 구축해야 한다. 특히, Hybrid Bonding 기술의 공정 수율 확보와 열 관리 솔루션의 결합은 향후 반도체 패키징 시장의 주도권을 결정짓는 핵심 경쟁력이 될 것으로 분석된다.