

차세대 패키징 기술 비교 분석: Silicon vs Organi

문서번호 CRSM-AI-2026-AUTO

작성일 2026-05-29

작성 CresseM AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

차세대 패키징 기술 비교 분석: Silicon vs Organic Interposer	3
개요 및 기술적 배경	3
Silicon Interposer 기술 분석	3
Organic Interposer 기술 분석	5
핵심 기술 지표 비교 (Performance Metrics)	6
공정 및 제조 난이도 비교	7
경제성 및 시장성 평가 (Cost Analysis)	8
기술적 한계 및 해결 과제	9
결론 및 향후 전망	11

차세대 패키징 기술 비교 분석: Silicon vs Organic Interposer

HBM 및 2.5D/3D 패키징의 핵심 요소인 실리콘 인터포저와 유기(Organic) 인터포저의 기술적 특성, 공정 차이 및 경제성을 심층 비교합니다. 각 기술의 물리적 한계와 차세대 반도체 공정에서의 적용 가능성을 분석하여 최적의 솔루션을 제안합니다.

개요 및 기술적 배경

최근 인공지능(AI), 고성능 컴퓨팅(HPC), 그리고 데이터 센터 시장이 폭발적으로 성장함에 따라, 반도체 성능 향상의 패러다임이 단일 칩의 미세 공정(Scaling) 중심에서 '어떻게 연결할 것인가'라는 패키징(Packaging) 중심으로 급격히 이동하고 있습니다. 무어의 법칙(Moore's Law)이 물리적 한계와 경제적 한계에 직면하면서, 개별 다이(Die)의 트랜지스터 밀도를 높이는 것만으로는 연산 성능과 메모리 대역폭을 동시에 확보하기 어려워졌기 때문입니다. 이러한 배경 속에서 등장한 핵심 솔루션이 바로 2.5D 및 3D Advanced Packaging 기술이며, 그 중심에는 다수의 칩과 메모리를 고속으로 연결하는 '인터포저(Interposer)' 기술이 자리 잡고 있습니다.

인터포저는 로직 다이(Logic Die)와 고대역폭 메모리(HBM) 사이에서 전기적 신호를 전달하는 중간 매개체 역할을 수행합니다. 기존의 PCB(Printed Circuit Board) 기반 연결 방식은 배선 간격(Line/Space)이 넓어 미세한 피치(Pitch)를 구현하기 어렵고, 이는 곧 데이터 전송 속도의 저하와 신호 손실로 이어집니다. 따라서 초미세 피치의 배선을 통해 I/O(Input/Output) 밀도를 극대화하고, 칩 간의 거리를 물리적으로 단축하여 지연 시간(Latency)을 최소화하는 인터포저의 역할은 차세대 반도체 아키텍처의 성패를 결정짓는 핵심 요소가 되었습니다.

현재 시장은 실리콘 웨이퍼를 기반으로 하여 TSV(Through Silicon Via) 기술을 활용하는 Silicon Interposer 방식과, 유기물(Organic) 기판을 활용하여 비용 효율성을 극대화된 Organic Interposer 방식으로 양분되어 발전하고 있습니다. Silicon Interposer는 극도로 미세한 배선 구현이 가능하여 최첨단 AI 가속기 및 하이엔드 GPU 시장을 주도하고 있으나, 제조 비용이 높고 대면적화에 제약이 있다는 단점이 존재합니다. 반면, Organic Interposer는 상대적으로 저렴한 공정 비용과 대면적 패키징에 유리한 특성을 지니고 있어, 성능과 비용 사이의 최적의 균형점을 찾는 것이 기술적 화두로 떠오르고 있습니다. 본 보고서에서는 이 두 가지 핵심 인터포저 기술의 물리적, 전기적, 경제적 특성을 심층 비교 분석하여 향후 기술 로드맵을 제시하고자 합니다. [출처: Yole Group]

Silicon Interposer 기술 분석

Silicon Interposer 기술은 고성능 컴퓨팅(HPC) 및 인공지능(AI) 가속기 시장에서 요구되는 초고대역폭(High Bandwidth)과 초미세 연결성(Ultra-fine Connectivity)을 구현하기 위한 핵심 솔루션으로 자리 잡았다. 이 기술의 근간은 기존 반도체 제조 공정인 CMOS 공정을 인터포저 제작에 그대로 활용할 수 있다는 점에 있다. 실리콘 인터포저는 칩과 칩 사이의 전기적 연결을 담당하는 중간 기판으로서, 단순한 배선층을 넘어 TSV(Through Silicon Via)라는 혁신적인 수직 관통 전극 기술을 통해 데이터 전송 경로를 획기적으로 단축시킨다. 이를 통해 데이터 처리 속도를 극대화하고 전력 소모를 최소화하는 2.5D 패키징 구조를 완성한다.

실리콘 인터포저의 가장 독보적인 경쟁력은 '미세 피치(Fine Pitch)' 구현 능력에 있다. 실리콘 웨이퍼 기반의 포토공정(Photolithography)을 활용하기 때문에, 유기물 기판에서는 구현하기 어려운 수 마이크로미터(um) 단위의 미세한 배선 간격과 범프 피치를 실현할 수 있다. 이는 HBM(High Bandwidth Memory)과 같은 고성능 메모리 솔루션을 로직 다이(Logic Die)와 결합할 때 필수적인 요소이다. TSV 기술은 실리콘 웨이퍼를 수직으로 관통하여 상단과 하단의 입출력(I/O) 단자를 직접 연결함으로써, 기존 와이어 본딩(Wire Bonding)이나 플립칩(Flip-chip) 방식이 가진 물리적 거리와 기생 성분(Parasitic elements)의 한계를 극복하였다. 결과적으로 인터포저는 수천 개에서 수만 개의 입출력 통로를 제공하여 데이터 병목 현상을 근본적으로 해결한다.

물리적 신뢰성 측면에서 실리콘 인터포저는 '열팽창계수(CTE, Coefficient of Thermal Expansion) 매칭'이라는 강력한 이점을 보유한다. 반도체 칩(Die)은 기본적으로 실리콘 소재로 제작되는데, 인터포저 역시 동일한 실리콘 소재를 사용함으로써 열적 특성이 일치하게 된다. 이는 패키징 공정 중 발생하는 고온 환경이나 실제 동작 중 발생하는 열 사이클(Thermal Cycling) 상황에서 칩과 기판 사이의 열팽창 차이로 인해 발생하는 응력(Stress)을 최소화한다. 만약 CTE가 상이한 유기물 기판을 사용할 경우, 온도 변화에 따른 팽창/수축 차이로 인해 범프(Bump)의 피로 파괴나 칩의 휨(Warping) 현상이 발생할 수 있으나, 실리콘 인터포저는 이러한 물리적 변형 리스크를 극도로 낮추어 장기적인 신뢰성을 보장한다.

기술적 세부 사항을 살펴보면, 실리콘 인터포저는 크게 TSV의 밀도와 배선 층수(Layer count)에 따라 성능이 결정된다. TSV의 직경이 작아질수록 그리고 피치가 촘촘해질수록 단위 면적당 데이터 전송 용량은 기하급수적으로 증가한다. 또한, 반도체 전공정 기술을 응용하여 인터포저 내부에 다층 금속 배선(RDL, Redistribution Layer)을 형성할 수 있는데, 이는 신호 무결성(Signal Integrity)을 높이는 데 결정적인 역할을 한다. 미세한 배선은 신호의 경로를 짧게 유지하여 정전 용량(Capacitance)과 인덕턴스(Inductance)를 줄임으로써 고주파 신호의 손실을 방지한다. 이러한 특성 덕분에 실리콘 인터포저는 초고속 데이터 전송이 필수적인 GPU, AI 가속기, 그리고 하이엔드 서버용 프로세서 패키징의 표준으로 채택되고 있다.

구분	상세 특성	기술적 영향 및 효과
연결 구조	TSV (Through Silicon Via)	수직 관통 전극을 통한 데이터 경로 단축 및 대역폭 극대화
배선 정밀도	Fine Pitch (um 단위)	초미세 I/O 구현을 통한 고밀도 데이터 병렬 전송 가능
열적 안정성	CTE Matching (2.6 ppm/°C)	칩-인터포저 간 열팽창 계수 일치로 물리적 변형 방지
신호 품질	Low Parasitics	짧은 경로와 미세 배선을 통한 신호 무결성(SI) 확보
제조 공정	Wafer-level CMOS Process	기존 반도체 양산 라인 활용을 통한 고정밀 패턴 형성

[출처: TSMC CoWoS 기술 백서]

그러나 실리콘 인터포저 기술은 뛰어난 성능에도 불구하고 몇 가지 명확한 기술적/경제적 도전 과제를 안고 있다. 첫째는 '크기(Reticle Limit)의 제약'이다. 실리콘 인터포저는 노광 장비의 최대 노광 영역(Reticle size) 내에서 제작되어야 하므로, 초대형 AI 가속기를 구성하기 위해 인터포저의 크기를 무한정 키우는 데 한계가 있다. 이를 극복하기 위해 여러 개의 실리콘 조각을 이어 붙이는 'Interposer Stitching' 기술이 연구되고 있으나, 이는 공정 복잡도를 가중시킨다. 둘째는 '비용(Cost) 문제'이다. 고가의 실리콘 웨이퍼를 사용하고, TSV 형성 및 CMP(Chemical Mechanical Polishing) 등 복잡한 전공정 기술이 요구되므로 단위 면적당 단가가 매우 높다. 마지막으로, 실리콘 자체의 낮은 열전도율은 칩에서 발생하는 열을 외부로 방출하는 데 있어 병목 구간이 될 수 있어, 고성능 칩의 발열 관리를 위한 추가적인 열 설계(Thermal Design)가 수반되어야 한다.

결론적으로 실리콘 인터포저는 현존하는 패키징 기술 중 가장 높은 수준의 전기적, 물리적 성능을 제공하는 기술이다. 미세 피치 구현과 CTE 매칭을 통한 신뢰성 확보는 AI 및 HPC 시장의 기술 요구사항을 충족하는 유일한 대안으로 평가받는다. 비록 비용과 크기의 한계가 존재하지만, 이를 해결하기 위한 Stitching 기술과 3D 적층 기술의 진보는 실리콘 인터포저의 지배력을 더욱 공고히 할 것으로 전망된다.

Organic Interposer 기술 분석

Organic Interposer 기술은 기존의 실리콘 기반 인터포저가 가진 높은 비용 구조와 물리적 크기의 한계를 극복하기 위해 등장한 차세대 패키징 솔루션이다. 이 기술은 반도체 칩을 직접 연결하는 실리콘 웨이퍼 대신, 유기 고분자 물질(Organic Polymer)을 기반으로 한 기판(Substrate)을 인터포저로 활용한다. 유기물 기반 인터포저는 전통적인 PCB(Printed Circuit Board) 제조 공정의 연장선상에 있으면서도, 고성능 컴퓨팅(HPC) 요구사항을 충족하기 위해 미세 회로 구현 능력을 비약적으로 향상시킨 형태를 띤다. 특히 AI 가속기나 데이터센터용 프로세서와 같이 칩의 크기가 거대해지는 '칩렛(Chiplet)' 시대에 접어들면서, 실리콘 인터포저의 크기 제한(Reticle Limit)을 우회할 수 있는 핵심 대안으로 급부상하고 있다.

유기 인터포저의 가장 큰 기술적 강점은 대면적화(Large Area)의 용이성이다. 실리콘 인터포저는 노광 공정의 한계로 인해 단일 웨이퍼 상에서 구현할 수 있는 면적이 엄격히 제한되며, 이를 확장하기 위해서는 여러 개의 실리콘 다이를 이어 붙이는 복잡한 공정이 추가되어 수율과 비용에 악영향을 미친다. 반면, 유기 인터포저는 유기 소재의 유연성과 가공성을 바탕으로 수십 센티미터 단위의 대면적 기판을 제조하는 것이 상대적으로 용이하다. 이는 다수의 HBM(High Bandwidth Memory)과 대형 로직 다이를 하나의 인터포저 위에 배치해야 하는 차세대 AI 가속기 설계에서 매우 중요한 요소이다. 대면적화가 가능해지면 단일 패키지 내에 더 많은 컴퓨팅 자원을 통합할 수 있어, 시스템 전체의 데이터 전송 대역폭을 극대화할 수 있는 구조적 이점을 제공한다.

전기적 특성 측면에서 유기 인터포저는 실리콘 인터포저와 차별화된 특성을 보인다. 실리콘은 반도체 소재 특성상 기생 커패시턴스(Parasitic Capacitance)가 높게 형성되어 고주파 신호 전달 시 신호 손실(Loss)이나 왜곡이 발생할 가능성이 높다. 그러나 유기 절연체는 실리콘에 비해 유전율(Dielectric Constant)이 낮아 신호 무결성(Signal Integrity, SI) 확보에 유리하며, 고주파 대역에서의 신호 감쇄를 줄이는 데 효과적이다. 다만, 유기물은 실리콘에 비해 미세 피치(Fine Pitch) 구현 능력이 낮다는 단점이 존재한다. 실리콘은 TSV(Through Silicon Via)와 포토 공정을 통해 수 마이크로미터(um) 단위의 초미세 배선을 구현할 수 있지만, 유기 인터포저는 소재의 물리적 한계와 공정 정밀도로 인해 배선 간격(Line/Space)을 확보하는 데 한계가 있다. 이를 해결하기 위해 최근 업계에서는 유기 기판 위에 미세 회로를 형성하는 RDL(Redistribution Layer) 기술을 고도화하거나, 유기 기판과 실리콘 칩을 혼합하는 하이브리드 방식을 연구하고 있다.

경제성 관점에서의 분석은 유기 인터포저 도입의 가장 강력한 동기 중 하나이다. 실리콘 인터포저는 고가의 웨이퍼 공정, TSV 형성, CMP(Chemical Mechanical Polishing) 등 고난도의 반도체 전공정 기술이 집약되어 있어 제조 단가가 매우 높다. 반면 유기 인터포저는 상대적으로 저렴한 유기 소재를 사용하며, 이미 성숙한 PCB 및 패키지 기판 제조 생태계를 활용할 수 있다. 이는 대량 생산 체제에서 단위당 원가(Unit Cost)를 획기적으로 낮출 수 있음을 의미한다. 따라서 성능 요구치가 극단적으로 높지 않으면서도 대면적화와 비용 효율성이 중요한 중상급(Mid-to-High end) 애플리케이션 시장에서는 유기 인터포저가 실리콘 인터포저를 빠르게 대체하거나 보완할 것으로 예측된다.

유기 인터포저의 주요 기술적 특성을 요약하면 다음과 같다.

구분	Organic Interposer	Silicon Interposer
주요 소재	유기 고분자 (ABF, Epoxy 등)	단결정 실리콘 (Si)
최대 면적	매우 넓음 (Large Area 가능)	제한적 (Reticle Limit 존재)
배선 미세도	상대적으로 낮음 (Medium Pitch)	매우 높음 (Ultra Fine Pitch)
유전율 (Dk)	낮음 (신호 손실 저감 유리)	높음 (기생 성분 발생 가능)

제조 비용	상대적으로 저렴 (Cost-effective)	매우 높음 (High-cost)
주요 공정	PCB/Substrate 기반 공정	Wafer-level/TSV 공정

기술적 난제 또한 존재한다. 유기물은 열팽창계수(CTE, Coefficient of Thermal Expansion)가 실리콘과 크게 다르다. 반도체 칩(Si)과 인터포저(Organic) 사이의 열팽창 계수 차이는 작동 온도 변화에 따라 물리적인 응력(Stress)을 발생시키며, 이는 범프(Bump)의 피로 파괴나 칩의 휨(Warpage) 현상을 유발하여 패키지의 신뢰성을 저하시키는 원인이 된다. 이를 제어하기 위해 열팽창 계수를 실리콘과 유사하게 맞춘 특수 유기 복합 소재 개발과, 응력을 분산시킬 수 있는 구조적 설계 기술이 핵심 과제로 다뤄지고 있다. 결과적으로 유기 인터포저 기술은 '비용과 면적'이라는 실리콘의 약점을 파고드는 동시에, '미세 피치와 열 신뢰성'이라는 유기물의 약점을 극복해 나가는 방향으로 발전하고 있다. [출처: Yole Développement]

핵심 기술 지표 비교 (Performance Metrics)

차세대 패키징 솔루션의 성패를 결정짓는 핵심 요소는 인터포저가 제공하는 전기적 신호의 품질, 열 방출 효율, 그리고 물리적 구조의 안정성이다. Silicon Interposer와 Organic Interposer는 각각 상이한 재료적 특성과 공정 메커니즘을 보유하고 있으며, 이는 고성능 컴퓨팅(HPC) 및 AI 가속기 환경에서 극명한 성능 차이로 나타난다. 본 섹션에서는 Signal Integrity(SI), Thermal Management, Electrical Conductivity를 중심으로 두 기술의 정량적 및 정성적 성능 지표를 심층 비교한다.

먼저 신호 무결성(Signal Integrity, SI) 측면에서 Silicon Interposer는 압도적인 우위를 점한다. 실리콘 인터포저는 반도체 전공정(Front-end) 기술을 그대로 활용하여 TSV(Through Silicon Via)를 통한 미세 피치(Fine Pitch) 구현이 가능하다. 이는 범프(Bump) 간격을 수십 마이크로미터(um) 단위로 축소할 수 있음을 의미하며, 데이터 전송 경로를 극도로 단축시켜 신호 지연(Latency)을 최소화한다. 반면, Organic Interposer는 유기물 기반의 기판 특성상 미세 회로 패턴 형성(L/S, Line/Space)에 한계가 있어, 실리콘 대비 상대적으로 넓은 피치를 가질 수밖에 없다. 이는 고속 데이터 전송 시 신호 간 간섭(Crosstalk)을 유발하거나 신호 감쇄를 일으키는 요인이 된다. 특히 고주파 대역(mmWave 등)으로 갈수록 유기물의 유전율(Dielectric Constant) 변화와 유전 손실(Dielectric Loss)이 신호 왜곡을 심화시키기 때문에, 초고속 데이터 처리가 필수적인 AI 가속기 영역에서는 실리콘 인터포저가 필수적인 선택지로 간주된다.

열 관리(Thermal Management) 관점은 두 기술이 상충하는 지점이다. Silicon Interposer는 실리콘 웨이퍼 자체의 높은 열전도율(Thermal Conductivity)을 바탕으로 칩에서 발생하는 열을 인터포저를 통해 빠르게 확산시킬 수 있는 구조적 이점을 가진다. 하지만 칩과 인터포저, 그리고 기판 사이의 열팽창계수(CTE, Coefficient of Thermal Expansion) 불일치 문제는 여전히 해결해야 할 과제다. 실리콘의 CTE는 약 2.6 ppm/°C 수준으로 반도체 다이(Die)와 유사하여 열적 스트레스를 최소화할 수 있지만, 이를 지지하는 하부 유기 기판(Organic Substrate)과의 CTE 차이가 매우 커서 열 사이클링(Thermal Cycling) 과정에서 인터커넥트의 피로 파괴를 유발할 수 있다. 반면, Organic Interposer는 재료 자체의 열전도율이 실리콘에 비해 현저히 낮아(약 0.2~0.5 W/m·K 수준), 고집적화된 칩에서 발생하는 국소적 열점(Hot-spot)을 해소하는 데 취약하다. 따라서 유기물 기반 솔루션은 열 방출을 위한 별도의 방열 구조(Heat Sink)나 고성능 TIM(Thermal Interface Material)의 적용이 필수적이다.

전기적 전도성(Electrical Conductivity) 및 전력 무결성(Power Integrity, PI) 측면에서의 비교는 인터포저의 전력 공급 안정성을 결정한다. Silicon Interposer는 TSV를 통해 수직 방향으로 매우 짧은 경로를 형성하므로, 전력 공급 시 발생하는 임피던스(Impedance)를 낮추고 전압 강하(IR Drop)를 효과적으로 억제할 수 있다. 이는 AI 연산 시 발생하는 급격한 전류 변화(di/dt)에 대응하여 안정적인 전압을 유지하는 데 결정적인 역할을 한다. 반면 Organic Interposer는 구리(Cu) 배선을 사용하더라도 회로의 경로가 상대적으로 길고, 유기물의 유전 특성으로 인해 전력 공급망의 임피던스 관리가 실리콘 대비 까다롭다. 다만, 최근에는 유기물 기판 내부에 빌트인 캐패시터(Embedded

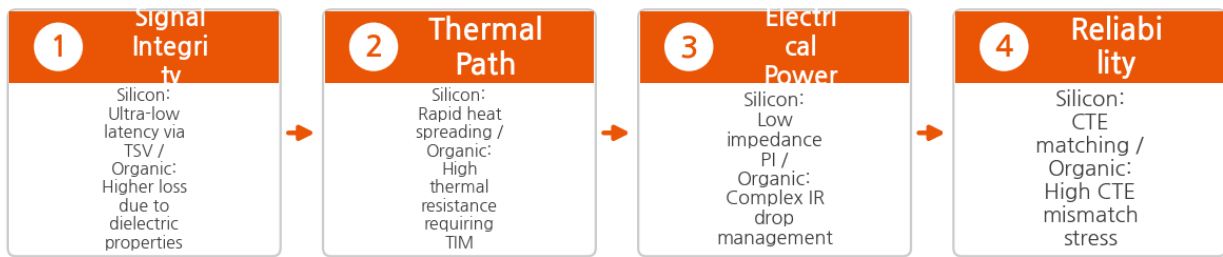
Capacitor) 기술을 적용하여 PI 성능을 보완하려는 시도가 이어지고 있다.
아래 표는 주요 성능 지표에 따른 두 기술의 비교 요약이다.

성능 지표 (Metric)	Silicon Interposer	Organic Interposer	비고
미세 피치 구현 (Fine Pitch)	매우 우수 (Sub-10um 가능)	보통 (20~50um 수준)	실리콘이 고집적도에 유리
신호 무결성 (Signal Integrity)	매우 높음 (낮은 손실/지연)	보통 (고주파 손실 발생 가능)	고속 데이터 전송 성능 차이
열 전도율 (Thermal Cond.)	높음 (약 149 W/m·K)	낮음 (약 0.2~0.5 W/m·K)	열 방출 효율의 핵심 차이
CTE 정합성 (CTE Matching)	우수 (Die와 유사)	낮음 (기판-Die 간 격차 큼)	열 피로 및 신뢰성 이슈
전력 무결성 (Power Integrity)	매우 우수 (낮은 IR Drop)	보통 (임피던스 관리 필요)	전압 안정성 측면
신호 손실 (Dielectric Loss)	매우 낮음	상대적으로 높음	유전체 특성에 따른 차이

[출처: IEEE Xplore / Semiconductor Engineering]

결론적으로, 극도의 대역폭과 미세 공정이 요구되는 최첨단 AI 프로세서 및 HBM(High Bandwidth Memory) 결합 구조에서는 Silicon Interposer가 기술적 표준을 유지할 것이며, 비용 효율성과 대면적화가 우선시되는 범용 서버용 프로세서나 모바일 AP의 경우에는 Organic Interposer 기반의 기술(예: 2.5D/3D Hybrid)이 시장의 주류를 형성할 것으로 분석된다.

Performance Trade-off Architecture



공정 및 제조 난이도 비교

차세대 패키징의 핵심 요소인 인터포저 기술은 제조 공정의 근간이 되는 기반 기술에 따라 제조 복잡도와 수율, 그리고 스케일링(Scaling) 가능성 측면에서 극명한 차이를 보인다. 실리콘 인터포저(Silicon Interposer)는 반도체 전공정(Front-end)의 웨이퍼 레벨(Wafer-level) 공정 기술을 그대로 계승하며, 반면 유기 인터포저(Organic Interposer)는 전통적인 인쇄회로기판(PCB) 및 패키지 기판(Package Substrate)의 공정 메커니즘을 기반으로 한다. 이러한 공정적 기원의 차이는 제품의 생산성(Throughput)과 단위 면적당 집적도, 그리고 최종 양산 수율을 결정짓는 결정적인 변수로 작용한다.

실리콘 인터포저의 제조 공정은 고도의 정밀도를 요구하는 TSV(Through Silicon Via) 형성 공정이 핵심이다. 이는 웨이퍼 상에 미세한 구멍을 뚫고 절연막을 증착한 뒤, 구리(Cu)를 채워 넣는 복잡한 단계를 거친다. 이 과정에서

식각(Etching), 증착(Deposition), CMP(Chemical Mechanical Polishing) 등 반도체 팹(Fab) 내의 고가 장비와 초정밀 공정 제어가 필수적이다. 특히 TSV의 종횡비(Aspect Ratio)가 높아질수록 내부 결함을 제어하고 구리 충전의 균일성을 확보하는 것이 매우 어려워지며, 이는 곧 공정 난이도의 급격한 상승으로 이어진다. 그러나 실리콘 기반 공정은 이미 수십 년간 고도화된 반도체 제조 생태계를 공유하고 있어, 미세 피치(Fine Pitch) 구현에 있어서는 압도적인 신뢰성을 보여준다. 즉, 공정의 난이도는 매우 높으나, 나노미터(nm) 단위의 미세 패턴을 반복적으로 구현할 수 있는 공정 재현성(Repeatability) 측면에서는 유기물 대비 우위에 있다.

반면, 유기 인터포저는 PCB 제조 공정에서 사용되는 에칭, 도금, 라미네이션(Lamination) 기술을 확장하여 적용한다. 실리콘 인터포저와 달리 웨이퍼 형태가 아닌 대면적 패널(Panel) 또는 시트(Sheet) 단위로 공정이 진행되므로, 한 번의 공정 사이클에서 얻을 수 있는 면적 효율이 매우 높다. 하지만 유기물 소재의 물리적 특성상 미세 회로를 형성하는 데 있어 한계가 명확하다. 유기 절연층은 실리콘에 비해 열팽창계수(CTE)가 크고 소재 자체가 유연하며 물리적 변형에 취약하기 때문에, 미세한 회로 패턴을 형성할 때 패턴의 왜곡(Distortion)이나 층간 정렬(Alignment) 오류가 발생할 가능성이 높다. 이를 극복하기 위해 최근에는 미세 회로 형성을 위한 고해상도 노광 기술과 레이저 드릴링 기술이 도입되고 있으나, 이는 공정 단계를 추가하여 제조 복잡도를 높이는 결과를 초래한다. 두 기술의 공정 특성을 제조 복잡도, 수율, 스케일링 관점에서 비교하면 다음과 같다.

비교 항목	Silicon Interposer (Wafer-level)	Organic Interposer (PCB-level)
주요 공정 기술	TSV, Photolithography, CMP, Etching	Lamination, Plating, Laser Drilling, SMT
제조 복잡도	매우 높음 (반도체 전공정 수준)	중간 (패키지 기판 공정 기반)
미세 피치 구현	우수 (Sub-10um 구현 용이)	제한적 (Fine pitch 구현 시 난이도 급증)
수율(Yield) 특성	웨이퍼 크기에 따른 결함 민감도 높음	대면적화 시 균일도 제어 어려움
스케일링(Scaling)	미세 패턴 스케일링에 최적화	면적 스케일링(Large Area)에 최적화
생산량(Throughput)	웨이퍼 단위의 제한적 생산량	패널/시트 단위의 높은 생산량

결과적으로 실리콘 인터포저는 '미세화(Miniaturization)'를 위한 공정 난이도가 극심하며, 이는 높은 단위당 제조 원가와 낮은 생산 속도로 이어진다. 반면 유기 인터포저는 '대면적화(Large-scale)'를 위한 공정 난이도가 핵심이며, 미세 피치를 확보하려는 시도가 오히려 유기물 특유의 공정 안정성을 해치는 트레이드오프(Trade-off) 관계에 놓여 있다. 따라서 제조 관점에서의 선택은 요구되는 I/O 밀도와 목표로 하는 제품의 타겟 시장(HPC vs Consumer Electronics)에 따라 결정된다. [출처: Semiconductor Engineering]

경제성 및 시장성 평가 (Cost Analysis)

차세대 반도체 패키징 시장에서 인터포저 기술의 채택 여부를 결정짓는 가장 결정적인 요인은 단순히 성능(Performance)의 우위가 아니라, 최종 제품의 목표 시장(Target Market)에 부합하는 경제적 타당성(Economic Viability)이다. 현재 반도체 산업은 초고성능을 지향하는 AI 가속기 시장과 대량 생산을 통한 수익 극대화가 필요한 소비자용(Consumer) 시장으로 양분되어 있으며, 이에 따라 실리콘(Silicon) 인터포저와 유기(Organic) 인터포저가 점유하는 경제적 영역 또한 명확히 구분되는 양상을 보인다.

실리콘 인터포저 기술은 고가의 웨이퍼 공정을 기반으로 하기 때문에 단위 면적당 비용(Cost per mm²)이 매우 높다. 이는 실리콘 웨이퍼 자체의 원가뿐만 아니라, 미세 피치 구현을 위한 TSV(Through Silicon Via) 형성 공정, CMP(Chemical Mechanical Polishing), 그리고 고도의 노광 장비(Lithography)를 활용한 미세 패턴 형성 과정에서

발생하는 막대한 자본 지출(CAPEX)에 기인한다. 실리콘 인터포저는 공정 특성상 웨이퍼 크기의 제한을 받기 때문에, 대면적화(Large-size)를 시도할수록 수율(Yield)이 급격히 하락하며 이는 곧 제조 원가의 기하급수적인 상승으로 이어진다. 따라서 실리콘 인터포저는 단위 면적당 비용을 감수하더라도 극도의 신호 무결성과 미세 피치가 필수적인 데이터센터용 GPU, HPC(High-Performance Computing)용 AI 가속기 등 고부가가치 제품군에 국한되어 적용되는 경향을 보인다.

반면, 유기 인터포저(Organic Interposer) 및 고성능 기판 기술은 기존 PCB(Printed Circuit Board) 제조 공정의 노하우를 계승하며, 상대적으로 저렴한 원자재와 검증된 공정 인프라를 활용한다. 유기 기판은 실리콘 대비 훨씬 큰 면적을 단일 공정으로 구현할 수 있어, 대면적화에 따른 면적당 비용 효율성이 매우 뛰어나다. 특히, 실리콘 인터포저가 웨이퍼 레벨(Wafer-level) 공정에 의존하는 것과 달리, 유기 인터포저는 패널 레벨(Panel-level) 또는 기판 레벨 공정을 통해 규모의 경제(Economies of Scale)를 달성하기 용이하다. 이는 운영 비용(OPEX) 측면에서도 유리하게 작용하며, 서버용 CPU나 고성능 PC용 프로세서와 같이 성능과 가격 경쟁력을 동시에 확보해야 하는 범용 시장에서 강력한 시장 지배력을 갖는다.

두 기술의 경제적 특성을 주요 지표별로 비교하면 다음과 같다.

비교 항목	Silicon Interposer	Organic Interposer
주요 비용 동인 (Cost Driver)	TSV 공정, 미세 노광, 웨이퍼 원가	소재(Resin/Copper) 비용, 대면적 공정 수율
단위 면적당 비용 (Cost per mm2)	매우 높음 (High)	상대적으로 낮음 (Low to Medium)
면적 확장성 (Scalability)	제한적 (Wafer Size Limit)	매우 높음 (Panel/Large Substrate)
CAPEX 요구 수준	매우 높음 (최첨단 Fab 시설 필요)	중간 (기존 기판 설비 활용 가능)
주요 타겟 시장	AI 가속기, 초고성능 HPC	서버 CPU, PC, Automotive, Mobile

시장 트렌드 측면에서 살펴보면, 최근 AI 산업의 폭발적 성장으로 인해 실리콘 인터포저를 활용한 CoWoS(Chip on Wafer on Substrate)와 같은 첨단 패키징 수요가 공급을 상회하는 병목 현상이 발생하고 있다. 이는 실리콘 인터포저의 높은 제조 난이도와 생산 Capa의 한계가 경제적 리스크로 작용하고 있음을 시사한다. 이에 따라 시장에서는 실리콘의 미세 피치 성능을 유지하면서도 유기물의 경제성을 결합하려는 시도가 활발히 진행되고 있다. 예를 들어, 실리콘 인터포저의 크기를 최소화하고 그 하단에 유기 기판을 배치하는 하이브리드 구조나, 유기 기판의 미세 패턴 기술을 극한으로 끌어올려 실리콘의 역할을 대체하려는 R&D 투자가 가속화되고 있다. 결과적으로 향후 시장은 '최고 성능을 위한 실리콘'과 '최적 비용을 위한 유기물'이라는 이분법적 구조를 유지하면서도, 그 경계선상에서 비용 효율성을 극대화하기 위한 차세대 하이브리드 패키징 솔루션이 주도권을 다투는 양상으로 전개될 전망이다 [출처: TrendForce].

기술적 한계 및 해결 과제

차세대 패키징 기술의 양대 축인 실리콘 인터포저(Silicon Interposer)와 유기 인터포저(Organic Interposer)는 각각의 물리적 특성에 기인한 고유한 기술적 장벽에 직면해 있다. 고성능 컴퓨팅(HPC)과 생성형 AI 모델의 파라미터 수가 기하급수적으로 증가함에 따라, 인터포저가 담당해야 하는 데이터 대역폭(Bandwidth)과 입출력(I/O) 밀도는 비약적으로 높아지고 있다. 그러나 현재의 기술 수준으로는 실리콘의 물리적 크기 제약과 유기물의 미세 공정 한계가 상충하는 지점에 놓여 있으며, 이를 극복하기 위한 차세대 솔루션 도출이 업계의 핵심 과제로 부상하고 있다.

실리콘 인터포저 기술의 가장 큰 기술적 난제는 스케일링 한계(Scaling Limit)와 물리적 크기의 제약이다. 실리콘 인터포저는 반도체 웨이퍼 공정 기술을 그대로 활용하기 때문에 매우 미세한 피치(Pitch)의 TSV(Through Silicon Via)와 RDL(Redistribution Layer)을 구현할 수 있다는 강력한 장점이 있다. 하지만 이는 역설적으로 웨이퍼의 크기(Diameter)를 넘어서는 대면적 패키징을 불가능하게 만든다. 최근 AI 가속기 설계에서는 단일 칩의 크기를 키우는 'Reticle Limit' 문제를 해결하기 위해 여러 개의 다이(Die)를 하나의 인터포저 위에 올리는 기술이 필수적이다. 이때 인터포저의 크기가 웨이퍼 크기에 종속되다 보니, 초거대 AI 칩을 구현하기 위해 필요한 대면적 인터포저를 제작할 경우 웨이퍼 활용률(Net Die per Wafer)이 급격히 저하되어 제조 단가가 기하급수적으로 상승하는 경제적 한계에 직면하게 된다. 또한, 실리콘은 열전도율은 높지만 열팽창 계수(CTE)가 반도체 칩과 유사하여 칩 자체의 열 변형에는 유리하나, 인터포저와 외부 기판(PCB) 사이의 CTE 차이로 인해 발생하는 열적 응력 문제는 여전히 해결해야 할 숙제이다.

반면, 유기 인터포저(Organic Interposer)는 실리콘 대비 저렴한 비용과 대면적화가 용이하다는 강점이 있으나, 상호 연결 밀도(Interconnect Density)의 한계라는 치명적인 약점을 안고 있다. 유기 기판은 PCB 공정과 유사한 방식인 Build-up 공정을 통해 제작되는데, 이는 실리콘 기반의 포토공정(Photolithography)에 비해 회로 선폭(Line Width)과 간격(Space)을 미세하게 가져가는 데 근본적인 제약이 따른다. 현재 유기 인터포저는 실리콘 인터포저가 제공하는 수 마이크로미터(μm) 단위의 미세 피치를 구현하기 어려우며, 이는 고대역폭 메모리(HBM)와 로직 칩 간의 데이터 전송 속도를 저하시키는 요인이 된다. 특히, 입출력 단자(I/O)의 밀도가 낮아지면 동일한 성능을 내기 위해 더 많은 핀(Pin)이 필요하게 되고, 이는 패키지의 전체 크기를 다시 키우는 악순환을 초래한다.

또한, 유기 소재의 물리적 특성인 휨 현상(Warping) 제어는 대면적화 과정에서 가장 난도가 높은 과제 중 하나이다. 유기 기판은 실리콘에 비해 강성(Stiffness)이 낮고 열팽창 계수(CTE)가 매우 높다. 패키징 공정 중 발생하는 열 사이클(Thermal Cycle) 과정에서 기판이 휘어지는 현상이 발생하면, 미세하게 형성된 범프(Bump)의 접합 불량이나 RDL 회로의 단선(Open/Short)을 유발한다. 이는 수율(Yield) 저하의 직접적인 원인이 되며, 특히 다수의 칩을 적층하는 3D 또는 2.5D 패키징 구조에서는 미세한 휨이 전체 시스템의 신뢰성을 무너뜨릴 수 있다. 따라서 유기 소재의 열적 안정성을 높이면서도 미세 회로를 구현할 수 있는 새로운 유전체 소재(Low-k Dielectric) 개발과 공정 제어 기술이 필수적으로 요구된다.

아래 표는 두 기술이 직면한 핵심 기술적 한계점을 요약하여 비교한 것이다.

구분	실리콘 인터포저 (Silicon)	유기 인터포저 (Organic)
주요 기술적 한계	스케일링 한계 및 대면적화 제약	미세 피치(Fine Pitch) 구현 능력 부족
물리적 이슈	Reticle Limit에 따른 면적 제한	열팽창 계수(CTE) 차이로 인한 Warpage
연결 밀도	매우 높음 (High Interconnect Density)	상대적으로 낮음 (Low Interconnect Density)
제조 공정 난제	TSV 형성 및 웨이퍼 수율 관리	미세 RDL 형성 및 기판 평탄도 유지
주요 해결 과제	Chiplet 기술을 통한 대면적화 구현	신규 소재 도입 및 미세 회로 공정 고도화

결과적으로, 향후 반도체 패키징 시장은 실리콘의 미세 공정 능력과 유기물의 경제적/물리적 확장성을 결합하려는 시도로 이어질 전망이다. 실리콘의 한계를 극복하기 위해 칩렛(Chiplet) 기반의 다이-투-다이(Die-to-Die) 연결 기술이 고도화될 것이며, 유기 인터포저 측면에서는 기존 PCB 공정을 넘어서 초미세 회로 구현을 위해 유기 기판 내에 미세한 구리 관통 전극을 형성하거나, 실리콘과 유기물을 혼합하는 하이브리드 구조에 대한 연구가 가속화될 것으로 보인다. [출처: Yole Group]

결론 및 향후 전망

차세대 반도체 패키징 시장은 단순히 칩을 보호하는 단계를 넘어, 인터포저(Interposer) 기술이 전체 시스템의 성능과 비용 구조를 결정짓는 핵심 변수로 부상하였다. Silicon Interposer와 Organic Interposer는 각각 미세 피치 구현 능력과 경제적 확장성이라는 상충하는 강점을 보유하고 있어, 모든 애플리케이션에 단일 기술이 적용되기보다는 요구되는 성능 지표(Performance Metric)에 따른 '목적별 분화(Application-specific Segmentation)'가 가속화될 전망이다.

애플리케이션별 최적 인터포저 선정 가이드를 살펴보면, 첫째, AI 가속기 및 고성능 컴퓨팅(HPC) 영역에서는 실리콘 인터포저의 지배력이 유지될 것이다. 초미세 피치(Fine Pitch)를 통한 대역폭(Bandwidth) 확보가 필수적인 LLM(Large Language Model) 학습용 칩셋의 경우, TSV(Through Silicon Via) 기술이 적용된 실리콘 기반 솔루션이 신호 무결성(SI) 측면에서 독보적인 우위를 점하기 때문이다. 둘째, 모바일 및 소비자 가전 분야에서는 비용 효율성과 패키지 두께 최적화가 관건이므로, 유기물 기반의 인터포저 혹은 고성능 기판(High-density Substrate) 기술이 주류를 이룰 것이다. 셋째, 데이터센터용 서버 및 범용 컴퓨팅 영역에서는 성능과 비용 사이의 균형을 맞추기 위해 Organic Interposer의 대면적화 기술이나 실리콘과 유기물을 결합한 하이브리드 형태의 솔루션이 채택될 가능성이 높다.

향후 기술 로드맵(Technology Roadmap)의 핵심은 두 기술의 한계를 극복하기 위한 '융합'과 '차세대 접합 기술'에 있다. 실리콘 인터포저의 고비용 및 크기 제한 문제를 해결하기 위해, 기존의 솔더 범프(Solder Bump)를 대신하여 구리-구리 직접 접합을 수행하는 하이브리드 본딩(Hybrid Bonding) 기술이 상용화 단계로 진입하고 있다. 이는 피치 간격을 더욱 좁혀 데이터 전송 효율을 극대화할 수 있는 핵심 동력이 될 것이다. 동시에, 유기 인터포저는 미세 회로 구현의 한계를 극복하기 위해 Glass(유리) 기판 기술과의 연계나 RDL(Redistribution Layer) 공정의 고도화를 통해 실리콘 인터포저의 성능 영역을 점진적으로 침범할 것으로 예상된다. 결론적으로, 향후 패키징 산업은 단일 기술의 승패가 아닌, 칩렛(Chiplet) 구조의 복잡도를 얼마나 효율적으로 제어하며 전력 대비 성능(Performance per Watt)을 최적화할 수 있는가에 따라 재편될 것이다. [출처: TechInsights]