

# 차세대 패키징 기술 비교 분석: Silicon vs Organi

문서번호 CRSM-AI-2026-AUTO

작성일 2026-05-29

작성 CresseM AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

# 목 차

---

차세대 패키징 기술 비교 분석: Silicon vs Organic Interposer	3
개요 및 기술적 배경	3
Silicon Interposer: 기술적 메커니즘 및 장점	3
Organic Interposer: 기술적 메커니즘 및 장점	4
핵심 기술 지표 비교 분석 (Comparative Analysis)	6
공정 및 제조 난이도 비교	7
시장 트렌드 및 적용 사례 (Use Cases)	8
결론 및 기술적 시사점	10

## 차세대 패키징 기술 비교 분석: Silicon vs Organic Interposer

HBM 및 2.5D/3D 패키징의 핵심 요소인 실리콘 인터포저와 유기물(Organic) 인터포저의 기술적 특성, 경제성 및 적용 한계를 심층 비교합니다. 공정 미세화에 따른 기술적 변곡점을 분석하여 최적의 패키징 솔루션을 제안합니다.

### 개요 및 기술적 배경

최근 인공지능(AI), 빅데이터 분석, 그리고 고성능 컴퓨팅(HPC) 시장이 폭발적으로 성장함에 따라, 반도체 산업의 패러다임은 단순히 개별 칩(Die)의 미세 공정을 개선하는 단계를 넘어, 여러 개의 칩을 어떻게 효율적으로 통합하느냐는 '어드밴스드 패키징(Advanced Packaging)' 기술로 급격히 이동하고 있다. 과거에는 프로세서(CPU/GPU)와 메모리(DRAM)가 독립적인 패키지 형태로 메인보드에 실장되었으나, 데이터 처리 속도의 병목 현상(Bottleneck)을 해결하기 위해서는 칩 간의 데이터 전송 대역폭을 극대화하고 전력 소모를 최소화하는 초고속 연결 기술이 필수적이다. 이러한 요구사항을 충족하기 위해 등장한 핵심 솔루션이 바로 2.5D 및 3D 패키징 기술이며, 그 중심에서 칩과 기판 사이의 전기적 연결 통로 역할을 수행하는 '인터포저(Interposer)'의 중요성이 그 어느 때보다 강조되고 있다.

인터포저는 서로 다른 피치(Pitch)를 가진 미세한 반도체 칩과 상대적으로 거친 피치를 가진 패키지 기판(Substrate) 사이를 중재하는 중간 계층 구조를 의미한다. 현대의 고성능 AI 가속기는 고대역폭 메모리(HBM)와 고성능 로직 다이(Logic Die)를 매우 근접한 거리에서 수천 개의 통로로 연결해야 한다. 이때 인터포저는 단순한 물리적 지지체를 넘어, 신호 무결성(Signal Integrity)을 유지하면서도 초미세 배선을 통해 막대한 양의 데이터를 지연 없이 전달하는 핵심 데이터 고속도로 역할을 수행한다. 인터포저의 기술적 구현 방식에 따라 실리콘(Silicon) 기반의 정밀한 접근법과 유기물(Organic) 기반의 경제적·대면적 접근법으로 나뉘며, 이는 향후 반도체 성능의 한계를 결정짓는 중대한 기술적 분기점이 되고 있다.

현재 반도체 업계는 무어의 법칙(Moore's Law)이 물리적 한계에 다다름에 따라, 'More than Moore' 전략의 일환으로 패키징 기술을 통한 성능 향상에 사활을 걸고 있다. 특히 HBM과 같은 적층형 메모리가 GPU와 결합되는 구조에서는 인터포저의 배선 밀도와 열 관리 능력이 시스템 전체의 성능을 좌우한다. 실리콘 인터포저는 TSV(Through Silicon Via) 기술을 활용하여 극한의 미세 연결성을 제공하지만 높은 비용과 공정 난이도가 수반되며, 반면 오가닉 인터포저는 대면적 구현과 비용 효율성 측면에서 강점을 가지나 신호 손실과 미세 피치 구현의 한계를 극복해야 하는 과제를 안고 있다. 따라서 본 보고서에서는 차세대 컴퓨팅 아키텍처의 핵심 동력인 인터포저 기술의 두 축을 심도 있게 비교 분석하고자 한다. [출처: Yole Développement]

### Silicon Interposer: 기술적 메커니즘 및 장점

고성능 컴퓨팅(HPC)과 인공지능(AI) 연산의 폭발적인 증가로 인해 데이터 처리 속도와 대역폭 확보가 반도체 패키징의 핵심 과제로 부상하였다. 이러한 요구사항을 충족하기 위해 등장한 실리콘 인터포저(Silicon Interposer) 기술은 기존의 패키징 한계를 극복하고, 칩과 칩 사이의 연결 밀도를 극대화할 수 있는 핵심 솔루션으로 자리 잡았다. 실리콘 인터포저는 반도체 웨이퍼 공정 기술을 그대로 활용하여, 초미세 회로를 구현함으로써 HBM(High Bandwidth Memory)과 같은 고대역폭 메모리와 GPU/NPU 간의 초고속 데이터 통로를 제공한다.

실리콘 인터포저의 기술적 핵심은 TSV(Through Silicon Via, 실리콘 관통 전극) 기술에 있다. TSV는 실리콘 기판을 수직으로 관통하는 미세한 구멍을 뚫고 그 내부를 구리(Cu)와 같은 도전성 물질로 채워 넣는 공정이다. 기존의 Wire Bonding이나 Flip Chip 방식이 칩의 외곽(Periphery)을 통해서만 신호를 전달하여 연결 밀도가 낮았던 것과 달리, TSV 기반의 실리콘 인터포저는 칩의 하단부 전체를 통해 수직적 연결을 수행한다. 이를 통해 신호의 이동 거리를 획기적으로 단축하고, 수천 개에서 수만 개에 달하는 I/O(Input/Output) 단자를 구현할 수 있다. 이러한 고밀도 수직

연결은 데이터 전송 시 발생하는 지연 시간(Latency)을 최소화하며, 단위 면적당 전송 가능한 대역폭을 극대화하는 결정적인 역할을 수행한다.

실리콘 인터포저의 가장 강력한 장점 중 하나는 미세 피치(Fine Pitch) 구현 능력이다. 실리콘은 포토공정(Photolithography)을 통해 나노미터(nm) 단위의 초미세 패턴을 형성할 수 있는 재료이다. 이를 인터포저에 적용하면 범프(Bump) 간의 간격인 피치를 수십 마이크로미터(um) 수준으로 매우 좁게 설계할 수 있다. 이러한 초미세 피치는 칩과 인터포저 사이의 연결 밀도를 높여 데이터 병목 현상을 해결하는 핵심 동력이 된다. 특히 HBM3 및 차세대 HBM 기술이 요구하는 초고속 인터페이스를 구현하기 위해서는 실리콘 인터포저 수준의 미세 회로 구현 능력이 필수적이다.

또한, 실리콘 인터포저는 열팽창 계수(CTE, Coefficient of Thermal Expansion) 측면에서 탁월한 안정성을 제공한다. 반도체 칩(Die) 자체는 실리콘 소재로 제작되는데, 인터포저 역시 동일한 실리콘 소재를 사용함으로써 칩과 인터포저 간의 CTE 매칭(Matching)이 완벽하게 이루어진다. 이는 반도체 소자가 동작 중에 발생하는 열로 인해 팽창하거나 수축할 때, 서로 다른 재질에서 발생하는 열팽창 차이로 인한 응력(Stress) 문제를 근본적으로 차단한다. 이러한 특성은 칩의 뒤틀림(Warpage) 현상을 방지하고, 반복적인 열 사이클(Thermal Cycling) 환경에서도 범프 연결부의 피로 파괴를 줄여 제품의 신뢰성을 획기적으로 향상시킨다.

기술적 메커니즘을 구체적으로 분석하면, 실리콘 인터포저의 구조는 크게 상부의 Redistribution Layer(RDL), 중간부의 TSV, 그리고 하부의 Micro-bump 연결부로 구분된다. RDL은 실리콘 표면에 형성된 미세 회로층으로, 칩의 I/O를 인터포저 내의 TSV로 재배치(Redistribution)하는 역할을 한다. 이 과정에서 사용되는 금속 배선은 극도로 얇고 정밀하게 형성되어 신호 무결성(Signal Integrity)을 유지한다. TSV는 이 RDL을 통해 전달된 신호를 인터포저 하단부의 패키지 기판(Substrate)으로 전달하는 수직 통로가 된다. 이 일련의 구조적 결합은 데이터가 이동하는 경로를 최단 거리로 최적화하며, 전기적 저항과 인덕턴스를 최소화하여 고주파 신호 전송 시 발생하는 손실을 억제한다.

실리콘 인터포저의 주요 기술적 특징을 요약하면 다음과 같다.

구분	기술적 특징 및 메커니즘	기대 효과
연결 방식	TSV (Through Silicon Via) 기반 수직 관통	I/O 밀도 극대화 및 전송 경로 단축
회로 구현	포토공정(Photolithography) 활용 RDL 형성	초미세 피치(Fine Pitch) 구현 및 고대역폭 확보
열적 안정성	Die와 동일한 실리콘 재질 사용 (CTE Matching)	열팽창 차이에 의한 응력 및 Warpage 최소화
신호 품질	짧은 신호 경로 및 정밀 배선 제어	신호 무결성(SI) 향상 및 저지연(Low Latency) 달성

결론적으로 실리콘 인터포저는 단순히 칩을 받쳐주는 기판의 역할을 넘어, 칩 간의 유기적인 결합을 가능케 하는 '고성능 통신 플랫폼'으로서의 기능을 수행한다. 비록 공정 비용이 높고 제조 난이도가 까다롭다는 단점이 있으나, 초고성능 AI 가속기와 HPC 시장에서 요구하는 극단적인 데이터 처리 성능을 구현하기 위한 대체 불가능한 핵심 기술로 평가받고 있다. [출처: TSMC 기술 백서 및 업계 분석 자료]

### Organic Interposer: 기술적 메커니즘 및 장점

Organic Interposer 기술은 전통적인 PCB(Printed Circuit Board) 및 패키지 기판 제조 공정을 고도화하여, 실리콘 인터포저의 한계를 극복하고자 하는 차세대 패키징 솔루션이다. 실리콘 인터포저가 TSV(Through Silicon Via)를 통해 극도로 미세한 연결성을 확보하는 데 집중한다면, Organic Interposer는 유기 절연체(Organic Dielectric)와 고밀도 재배선층(RDL, Redistribution Layer)을 활용하여 경제성과 대면적화라는 두 마리 토끼를 잡는 것을 핵심 메커니즘으로 삼는다. 이 기술은 주로 에폭시 수지(Epoxy Resin) 기반의 유기 기판 위에 구리(Cu) 배선을 형성하는 RDL 공정을 중심으로 전개되며, 최근에는 칩렛(Chiplet) 구조의 확산에 따라 다수의 다이(Die)를 하나의 거대한 기판 위에 배치해야 하는 요구사항을 충족하기 위한 핵심 기술로 부상하고 있다.

Organic Interposer의 기술적 핵심 메커니즘은 RDL(Redistribution Layer)의 정밀도와 층수(Layer Count)에 의해 결정된다. 실리콘 인터포저가 웨이퍼 레벨에서 수직 관통 전극을 형성하는 것과 달리, Organic 방식은 유기 절연층을 적층하고 그 사이에 미세한 구리 패턴을 형성하는 방식을 취한다. 이때 사용되는 절연체는 낮은 유전율(Low-k)과 낮은 유전 손실(Low Loss)을 가진 고성능 폴리머 재료로, 고주파 신호 전송 시 발생하는 신호 왜곡을 최소화하는 역할을 수행한다. RDL 공정은 포토레지스트(Photoresist)를 이용한 미세 패턴 형성 기술과 도금(Electroplating) 기술을 결합하여 수행되며, 이를 통해 실리콘 기반 기술보다는 다소 넓지만, 일반적인 패키지 기판보다는 훨씬 정밀한 피치(Pitch)를 구현할 수 있다. 특히 최근에는 유기 기판의 두께를 극단적으로 낮추고 배선 밀도를 높인 'Advanced Organic Substrate' 기술이 적용되면서 실리콘 인터포저의 영역을 빠르게 잠식하고 있다.

Organic Interposer의 가장 강력한 장점은 대면적 구현 가능성(Large Area Scalability)이다. 실리콘 인터포저는 웨이퍼 크기(보통 300mm)라는 물리적 한계에 갇혀 있다. 만약 초거대 AI 가속기를 만들기 위해 인터포저의 크기를 키우고자 한다면, 웨이퍼 한 장에서 얻을 수 있는 칩의 개수가 급격히 줄어들어 경제성이 심각하게 저하되는 'Reticle Limit' 문제에 직면하게 된다. 반면, Organic Interposer는 패널 레벨(Panel Level) 공정이나 대형 기판 제조 공정을 그대로 활용할 수 있어, 실리콘 웨이퍼 크기를 훨씬 상회하는 대면적 인터포저 제작이 가능하다. 이는 수십 개의 칩렛을 하나의 인터포저 위에 통합해야 하는 'Multi-die Package' 설계에서 결정적인 이점을 제공한다. 대면적화가 가능해짐에 따라 인터포저 내부에 배치할 수 있는 I/O(Input/Output)의 총량이 비약적으로 증가하며, 이는 곧 시스템 전체의 대역폭(Bandwidth) 확장으로 이어진다.

비용 효율성(Cost-effectiveness) 측면에서도 Organic Interposer는 압도적인 우위를 점한다. 실리콘 인터포저 제조 공정은 고가의 웨이퍼 비용, TSV 형성 및 충전(Filling)을 위한 복잡한 식각/증착 공정, 그리고 웨이퍼를 다시 절단(Dicing)하는 과정에서 발생하는 손실이 매우 크다. 반면 Organic 기술은 이미 성숙한 PCB 및 반도체 패키징 기판 제조 생태계를 활용한다. 유기 소재 자체의 단가가 실리콘 웨이퍼에 비해 현저히 낮으며, 공정 단계 역시 실리콘 기반의 고난도 공정에 비해 단순화할 수 있어 단위 면적당 생산 단가를 획기적으로 낮출 수 있다. 이러한 비용 구조의 이점은 고가의 하이엔드 AI 가속기뿐만 아니라, 일정 수준 이상의 성능이 요구되는 서버용 CPU, 고성능 PC용 GPU 등 광범위한 시장으로의 확산을 가능케 하는 동력이 된다.

전기적 특성 및 신호 무결성(Signal Integrity) 관점에서의 분석을 살펴보면, Organic Interposer는 유전체 소재의 선택에 따라 실리콘의 단점을 보완할 수 있는 잠재력을 지닌다. 실리콘은 반도체 소재 특성상 전도성을 띠기 때문에, 미세 배선 간의 간섭(Crosstalk)을 막기 위해 별도의 절연층을 두껍게 형성해야 하는 번거로움이 있다. 하지만 Organic 소재는 그 자체로 우수한 절연 특성을 보유하고 있어, 배선 간의 간격을 최적화하면서도 신호 간섭을 효과적으로 제어할 수 있다. 또한, 최근에는 유전 손실을 극도로 낮춘 특수 폴리머를 도입하여 초고주파 대역에서의 신호 감쇄를 억제하는 기술이 발전하고 있으며, 이는 데이터 전송 속도가 기하급수적으로 빨라지는 차세대 통신 및 컴퓨팅 환경에서 매우 중요한 요소로 작용한다.

마지막으로, Organic Interposer는 열 관리(Thermal Management) 측면에서 실리콘과 상이한 접근 방식을 요구한다. 실리콘은 열전도율이 우수하여 칩에서 발생하는 열을 외부로 방출하는 데 유리하지만, Organic 소재는 상대적으로 열전도율이 낮다는 약점이 있다. 이를 극복하기 위해 업계에서는 유기 기판 내부에 열 전도성 필러(Filler)를 혼합하거나, 열 방출을 돕는 구리 코어(Copper Core)를 삽입하는 등 다양한 하이브리드 구조를

연구하고 있다. 비록 열 관리 난이도는 존재하지만, 대면적 설계 시 열원을 분산 배치할 수 있는 공간적 여유를 활용한다면 시스템 레벨에서의 냉각 설계 최적화가 가능하다는 측면에서 충분한 경쟁력을 확보하고 있다.

구분	Silicon Interposer (TSV 기반)	Organic Interposer (RDL 기반)
주요 소재	Monocrystalline Silicon	Epoxy Resin / Polymer
연결 메커니즘	TSV (Through Silicon Via)	RDL (Redistribution Layer)
최대 면적	웨이퍼 크기 제한 (Reticle Limit)	패널 레벨 확장 가능 (Large Area)
배선 밀도	초고밀도 (Fine Pitch)	중·고밀도 (Medium-High Pitch)
제조 비용	매우 높음 (High Cost)	상대적 저렴 (Cost-effective)
주요 타겟	HBM 결합형 초고성능 AI 가속기	대면적 칩렛 통합, 서버/PC용 프로세서

[출처: Yole Group, SemiAnalysis]

### 핵심 기술 지표 비교 분석 (Comparative Analysis)

차세대 패키징 기술의 핵심인 실리콘 인터포저(Silicon Interposer)와 유기물 인터포저(Organic Interposer)는 설계 목적과 물리적 한계치에서 극명한 차이를 보인다. 고성능 컴퓨팅(HPC)과 AI 가속기 시장이 요구하는 성능 지표는 단순히 데이터 전송 속도에 국한되지 않으며, 전력 효율, 열 방출 능력, 그리고 대량 생산 시의 경제적 타당성을 모두 포함한다. 본 섹션에서는 피치(Pitch), 신호 무결성(Signal Integrity), 열 관리(Thermal Management), 그리고 비용 구조(Cost Structure)라는 네 가지 핵심 기술 지표를 중심으로 두 기술의 정량적 및 정성적 차이를 심층 분석한다.

가장 먼저 주목해야 할 지표는 배선 밀도를 결정하는 피치(Pitch)와 미세 공정 능력이다. 실리콘 인터포저는 반도체 전공정(Front-end) 기술인 포토공정(Photolithography)을 그대로 활용한다. 이를 통해 TSV(Through Silicon Via)와 미세 RDL(Redistribution Layer)을 구현하며, 수 마이크로미터(um) 단위의 초미세 피치를 달성할 수 있다. 반면, 유기물 인터포저는 PCB 또는 고성능 기판 제조 공정을 기반으로 하므로, 회로의 선폭과 간격이 실리콘 대비 현저히 넓다. 이는 데이터 전송 통로의 개수와 직결되며, 고대역폭 메모리(HBM)와 로직 칩 사이의 초고속 데이터 인터페이스를 구축할 때 실리콘 인터포저가 압도적인 우위를 점하는 근거가 된다.

신호 무결성(Signal Integrity, SI) 측면에서는 두 기술이 서로 다른 트레이드오프(Trade-off) 관계를 형성한다. 실리콘 인터포저는 미세한 배선 밀도를 통해 신호 전달 경로를 최적화하고 지연 시간(Latency)을 최소화할 수 있으나, 실리콘 자체의 기생 커패시턴스(Parasitic Capacitance) 문제가 발생할 수 있다. 유기물 인터포저는 유전율(Dielectric Constant)이 낮은 소재를 사용하여 신호 손실을 줄이고 고주파 대역에서의 신호 전송 특성을 개선할 수 있는 잠재력을 가진다. 하지만 배선 간의 간격이 넓어짐에 따라 신호 간 간섭(Crosstalk)을 제어하기 위한 설계 복잡도가 증가하며, 대면적화될 경우 신호의 왜곡을 방지하기 위한 정교한 임피던스 매칭 기술이 필수적으로 요구된다.

열 관리(Thermal Management)는 AI 가속기의 성능 유지와 직결되는 가장 치명적인 요소이다. 실리콘은 금속과 유사한 높은 열전도율을 보유하고 있어, 칩에서 발생하는 열을 인터포저를 통해 기판이나 히트싱크로 전달하는 데 매우 유리하다. 특히 HBM과 로직 칩이 밀집된 구조에서는 국소적인 열점(Hotspot)을 해소하는 능력이 중요한데, 실리콘 인터포저는 이러한 열 확산(Heat Spreading)에 탁월한 성능을 보인다. 반면, 유기물 소재는 열전도율이 매우 낮아 열 축적 문제가 심각할 수 있다. 유기물 기반 패키징에서는 열 팽창 계수(CTE) 차이로 인한 휨(Warping) 현상이 발생하기 쉬우며, 이는 열 관리와 구조적 안정성을 동시에 저해하는 요인이 된다.

마지막으로 비용 구조(Cost Structure)는 기술 채택의 결정적인 변수이다. 실리콘 인터포저는 웨이퍼 단위의 공정이 진행되므로 제조 단가가 매우 높으며, 특히 TSV 형성 공정과 웨이퍼 다이싱(Dicing) 과정에서 발생하는 손실률이 비용 상승의 주원인이다. 반면 유기물 인터포저는 기존의 PCB 및 반도체 기판 제조 인프라를 활용할 수 있어 규모의 경제를 달성하기 용이하며, 대면적 구현 시에도 실리콘 대비 훨씬 저렴한 비용으로 생산이 가능하다. 따라서 고성능이 필수적인 하이엔드 AI 칩에는 실리콘이, 성능과 비용의 균형이 중요한 서버 및 소비자용 고성능 칩에는 유기물이 채택되는 양극화 현상이 나타난다.

비교 항목	실리콘 인터포저 (Silicon Interposer)	유기물 인터포저 (Organic Interposer)	비고
미세 피치 (Pitch)	초미세 (um 단위 구현 가능)	상대적 조밀함 제한 (sub-mm ~ tens of um)	실리콘 우위
신호 무결성 (SI)	고밀도 연결로 지연 시간 최소화	저유전율 소재 활용 가능, 고주파 유리	상당한 장점
열 관리 (Thermal)	높은 열전도율, 열 확산 우수	낮은 열전도율, Warpage 위험 존재	실리콘 우위
제조 비용 (Cost)	매우 높음 (TSV 및 Wafer 공정 기반)	상대적 저렴 (Substrate 공정 기반)	유기물 우위
대면적화 (Scaling)	웨이퍼 크기 제한으로 난이도 높음	대면적 구현 용이 및 경제적	유기물 우위
주요 적용처	HBM 결합형 AI 가속기, 초고성능 CPU	고성능 서버, PC용 AP, 데이터센터용 SoC	시장 구분

[출처: Yole Group, SEMI]

### 인터포저 기술 지표 결정 메커니즘 아키텍처



### 공정 및 제조 난이도 비교

차세대 패키징의 핵심 요소인 인터포저 기술은 그 구현 방식에 따라 반도체 웨이퍼 레벨(Wafer-level) 공정과 전통적인 PCB/Substrate 기반 공정으로 극명하게 나뉜다. Silicon Interposer는 전형적인 전공정(Front-end) 및 후공정(Back-end)의 기술적 교차점에 위치하며, 극도로 미세한 회로 패턴을 형성하기 위해 웨이퍼 기반의 식각(Etching) 및 증착(Deposition) 기술을 사용한다. 반면 Organic Interposer는 기존의 고성능 기판 제조 기술을 확장하여 대면적화와 저비용화를 목표로 하며, 화학적 도금 및 적층(Lamination) 공정이 주를 이룬다. 이러한 공정적

차이는 단순히 제조 방식의 차이를 넘어, 최종 제품의 수율(Yield)과 제조 복잡도(Complexity), 그리고 향후 스케일링(Scaling) 가능성에 결정적인 영향을 미친다.

Silicon Interposer의 제조 공정은 TSV(Through Silicon Via) 형성 단계에서부터 극도의 정밀도를 요구한다. 웨이퍼에 수천 개의 미세 구멍을 뚫고 이를 구리로 채우는 과정에서 발생하는 물리적 스트레스와, 이를 보호하기 위한 절연막(Dielectric layer) 형성 과정은 공정 난이도를 기하급수적으로 높이는 요인이다. 특히, 미세 피치(Fine Pitch)를 구현하기 위해 회로 선폭을 줄일수록 노광(Photolithography) 공정의 해상도 한계에 직면하게 되며, 이는 곧 공정 단계의 증가와 비용 상승으로 이어진다. 또한, 웨이퍼 기반 공정의 특성상 단일 결함(Defect)이 전체 인터포저의 기능 상실로 이어질 확률이 높기 때문에, 수율 관리가 매우 까다롭다. 웨이퍼 크기가 커질수록 가장자리(Edge) 부분의 균일성(Uniformity)을 확보하는 것이 기술적 난제로 작용하며, 이는 대면적화 시 수율 저하를 야기하는 핵심 원인이 된다. [출처: Yole Group]

Organic Interposer는 Silicon 방식에 비해 상대적으로 성숙한(Mature) 기판 제조 기술을 활용하므로 공정의 복잡도 측면에서는 우위를 점한다. 주로 Build-up 공정을 통해 층간 절연체와 구리 회로를 적층하는 방식을 사용하며, 이는 반도체 웨이퍼 공정보다는 PCB 제조 공정에 가깝다. Organic 재료의 특성상 미세 회로 구현에는 한계가 있으나, 상대적으로 큰 피치를 허용함으로써 제조 공정의 유연성을 확보할 수 있다. 특히, 대면적 기판을 제조할 때 웨이퍼 방식보다 물리적 변형(Warpage) 제어가 용이하며, 이는 대형 패키지 구현 시 수율을 안정적으로 유지할 수 있는 강력한 이점이 된다. 하지만 최근 고성능 컴퓨팅 수요로 인해 Organic 인터포저에서도 미세 회로 구현을 위한 고난도 도금(Plating) 기술과 미세 Via 형성 기술이 요구되면서, 공정 난이도가 점차 상승하는 추세에 있다.

두 기술의 제조 측면에서의 핵심 차이점을 요약하면 다음과 같다.

비교 항목	Silicon Interposer	Organic Interposer
주요 공정 기반	Wafer-level (Lithography, Etching, TSV)	Substrate-level (Build-up, Lamination, Plating)
회로 미세화(Scaling)	매우 높음 (초미세 피치 구현 가능)	제한적 (Organic 재료의 물리적 한계 존재)
제조 복잡도	매우 높음 (TSV 및 웨이퍼 정밀 제어 필요)	상대적으로 낮음 (기존 기판 공정 활용)
수율(Yield) 특성	결함에 민감하며 대면적화 시 수율 저하 위험	대면적화에 유리하며 공정 안정성 높음
주요 기술적 난제	TSV 신뢰성, 웨이퍼 Warpage, 공정 비용	미세 피치 구현 한계, 신호 손실 제어

결론적으로, Silicon Interposer는 제조 복잡도가 매우 높고 수율 확보를 위한 고도의 공정 제어가 필수적이지만, 초고성능 AI 가속기와 같이 극한의 연결 밀도가 필요한 영역에서는 대체 불가능한 기술적 가치를 지닌다. 반면, Organic Interposer는 제조 난이도와 비용 측면에서 효율적인 대안을 제공하며, 기술적 성숙도를 바탕으로 대면적 패키징 시장에서 높은 수율과 경제성을 무기로 영역을 확장하고 있다. 향후 시장은 요구되는 성능의 임계치(Threshold)에 따라 두 기술이 상호 보완적으로 공존하거나, 특정 영역에서 기술적 돌파구를 찾는 방향으로 전개될 것이다.

### 시장 트렌드 및 적용 사례 (Use Cases)

현재 반도체 패키징 시장은 단순한 칩 보호의 영역을 넘어, 서로 다른 기능을 가진 다수의 칩을 하나의 패키지 내에 통합하여 성능을 극대화하는 '칩렛(Chiplet)'과 '2.5D/3D 패키징' 기술이 주도하고 있습니다. 이러한 기술적 변곡점에서 인터포저(Interposer)의 선택은 해당 제품이 타겟팅하는 시장의 요구 성능과 경제적 가치에 따라 극명하게 갈리고 있습니다. 시장의 흐름은 크게 초고대역폭이 필수적인 AI 가속기 중심의 Silicon Interposer 시장과, 대면적화 및 비용 효율성이 중시되는 고성능 서버 및 데이터센터용 Organic Interposer 시장으로 양분화되는 양상을 보입니다.

먼저, Silicon Interposer는 현재 AI 인프라의 핵심인 고성능 컴퓨팅(HPC) 및 생성형 AI 가속기 시장을 독점적으로 점유하고 있습니다. 특히 HBM3(High Bandwidth Memory)를 넘어 HBM3E와 같은 차세대 메모리 규격이 도입됨에 따라, 메모리와 로직 다이(Logic Die) 사이의 초미세 연결(Fine-pitch Interconnect) 요구사항이 기하급수적으로 증가했습니다. NVIDIA의 H100, B200과 같은 최첨단 AI 가속기는 수천 개의 TSV(Through Silicon Via)를 통해 실리콘 인터포저 상에서 메모리와 연산 엔진을 연결합니다. 이 과정에서 실리콘 인터포저는 수 마이크로미터(um) 단위의 미세 피치를 제공함으로써 데이터 전송 병목 현상을 최소화하고, 대규모 병렬 처리를 가능하게 하는 핵심 가교 역할을 수행합니다. 따라서 실리콘 인터포저 시장은 HBM의 세대 교체 주기와 밀접하게 연동되어 있으며, AI 모델의 파라미터 규모가 커질수록 더 높은 밀도의 실리콘 인터포저 수요가 발생하고 있습니다 [출처: TrendForce].

반면, Organic Interposer는 고성능 서버, 클라우드 컴퓨팅용 프로세서, 그리고 고사양 PC용 AP(Application Processor) 시장을 중심으로 빠르게 영역을 확장하고 있습니다. 실리콘 인터포저가 가진 물리적 크기의 한계(Reticle Limit)는 대형 AI 가속기를 설계할 때 큰 걸림돌이 되는데, 이를 극복하기 위해 유기 기판(Organic Substrate) 기반의 인터포저 기술이 대안으로 급부상했습니다. Organic Interposer는 실리콘에 비해 훨씬 큰 면적을 저렴한 비용으로 구현할 수 있어, 다수의 칩렛을 하나의 패키지에 담아야 하는 대면적 패키징(Large-scale Packaging) 트렌드에 최적화되어 있습니다. 최근에는 고성능 CPU나 GPU의 패키징에서 실리콘 인터포저를 사용하는 대신, 고밀도 유기 기판(High-density Organic Substrate)을 활용하여 비용 효율성을 높이면서도 성능 저하를 최소화하는 방식이 채택되고 있습니다.

두 기술의 시장 적용 영역을 구체적인 세그먼트별로 비교하면 다음과 같습니다.

시장 세그먼트 (Market Segment)	주요 적용 기술 (Interposer Type)	핵심 요구 특성 (Key Requirements)	대표적 제품 예시 (Examples)
초고성능 AI 가속기	Silicon Interposer (2.5D)	초미세 피치, HBM 결합성, 극단적 대역폭	NVIDIA H/B-series, AMD Instinct MI-series
HPC 및 데이터센터 CPU	Hybrid (Silicon + Organic)	대면적 구현, 다중 칩렛 통합, 비용 최적화	Intel Sapphire Rapids, AMD EPYC
고성능 서버/PC용 GPU	Organic Interposer / Bridge	신호 무결성(SI), 대면적 패키징, 수율 확보	Consumer-grade High-end GPUs
모바일 및 에지 AI	Organic Interposer / Substrate	저전력, 소형화, 원가 경쟁력	Mobile SoC, Edge AI Accelerators

결론적으로, 시장은 '성능 극대화'와 '규모의 경제'라는 두 갈래의 요구사항에 따라 분화되고 있습니다. HBM3E를 포함한 초고대역폭 메모리 솔루션이 필수적인 AI 가속기 시장은 실리콘 인터포저의 기술적 우위를 바탕으로 고부가가치 시장을 형성하고 있으며, 반대로 칩렛 기술의 확산으로 인해 패키지 크기가 커지고 제조 단가 압박이 심화되는 범용 고성능 컴퓨팅 시장에서는 Organic Interposer 및 유기 기판 기반의 하이브리드 솔루션이 시장 점유율을 빠르게 확대하고 있습니다. 향후 시장의 관전 포인트는 실리콘 인터포저의 면적 한계를 극복하기 위한 패널

레벨 패키징(PLP) 기술과, Organic 인터포저의 미세 피치 한계를 극복하기 위한 유기 재료의 전기적 특성 개선 여부가 될 것입니다.

## 결론 및 기술적 시사점

차세대 반도체 패키징 시장의 핵심 동력인 인터포저 기술은 단일 솔루션의 독주가 아닌, 응용처의 요구 성능과 경제적 타당성에 따른 '이원화된 기술 로드맵'을 형성할 것으로 전망된다. 현재 반도체 산업은 무어의 법칙이 물리적 한계에 봉착함에 따라, 개별 칩의 미세화보다는 이들을 어떻게 효율적으로 연결하고 통합하느냐는 'More than Moore' 전략이 핵심 경쟁력으로 부상하였다. 이러한 맥락에서 Silicon Interposer와 Organic Interposer는 상호 배타적인 관계가 아닌, 성능과 비용이라는 양립하기 어려운 가치를 최적화하기 위한 상호 보완적 선택지로 기능하고 있다.

기술 로드맵에 따른 전략적 의사결정(Strategic Decision)을 위해서는 제품의 목표 성능 지표를 명확히 정의해야 한다. 초고대역폭 메모리(HBM)와 로직 다이(Logic Die) 간의 극도로 높은 데이터 전송 속도와 초미세 피치 연결이 필수적인 AI 가속기 및 하이엔드 GPU 시장에서는 Silicon Interposer 기반의 2.5D 패키징 기술이 여전히 지배적인 위치를 점할 것이다. TSV(Through Silicon Via)를 통한 고밀도 연결성은 물리적 한계치에 근접한 데이터 처리량을 보장하기 때문이다. 반면, 데이터 처리량의 요구치가 상대적으로 낮으면서도 칩의 면적이 대형화되어 비용 효율성이 중요한 서버용 프로세서나 고성능 컴퓨팅(HPC)의 범용 제품군에서는 Organic Interposer를 활용한 대면적 패키징 기술이 강력한 대안으로 자리 잡을 것이다.

향후 기술 전망(Future Outlook) 측면에서 주목해야 할 지점은 두 기술의 경계를 허무는 하이브리드 접근법의 등장이다. Silicon의 미세 공정 이점과 Organic의 대면적/저비용 이점을 결합하기 위해, Silicon Bridge 기술(예: Intel의 EMIB)과 같이 필요한 영역에만 미세한 Silicon 구조체를 삽입하는 방식이 더욱 고도화될 것으로 보인다. 또한, 유기 기판의 전기적 특성(SI)을 개선하기 위한 신소재 개발과 Silicon Interposer의 열 방출(Thermal) 문제를 해결하기 위한 방열 구조 설계 기술이 패키징 경쟁력의 핵심 변수가 될 것이다. 결론적으로 기업들은 단일 기술에 대한 의존도를 낮추고, 제품의 라이프사이클과 타겟 시장의 수익성을 고려하여 Silicon과 Organic 기술을 적재적소에 배치하는 포트폴리오 전략을 구축해야 한다.