

CXMT 기술 협력 및 CoWoS 공정 분석 보고서

CoW 및 WoS 기술 비교를 통한 차세대 패키징 전략 제안

1. 서론 및 목적

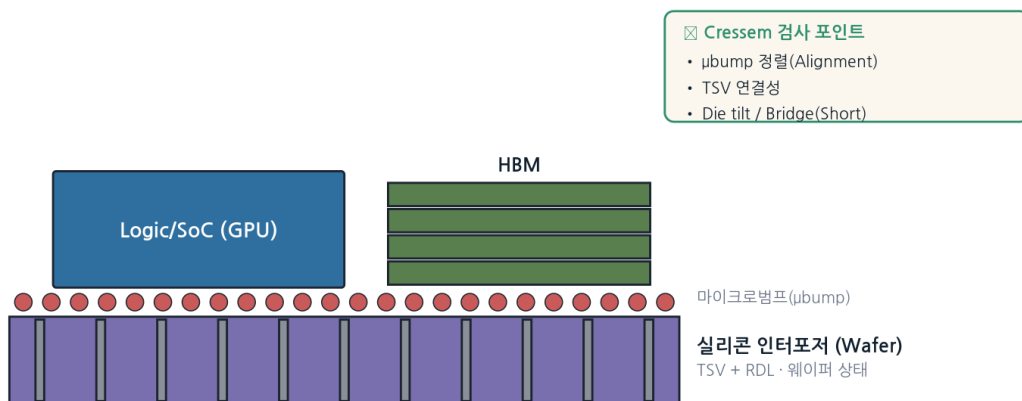
CXMT와의 기술 협력을 위한 패키징 로드맵 검토

CoW(Chip on Wafer)와 WoS(Wafer on Substrate)의 기술적 차이 분석

고대역폭 메모리(HBM) 및 로직 다이 통합을 위한 최적 공정 도출

2. CoW (Chip on Wafer) 공정 분석

CoW (Chip-on-Wafer) — 웨이퍼 레벨



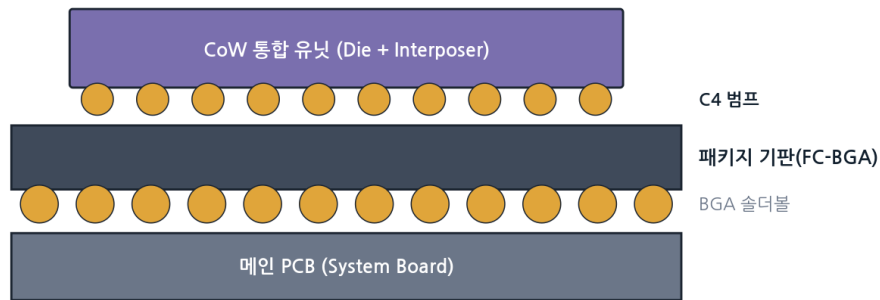
Cressem · 결정론 렌더 · CoWoS 1단계(WoS 前)

CoW 공정의 레이어 구조 및 TSV 연결도

- Wafer 레벨에서의 Die 부착 및 인터포저 형성
- 미세 피치(Fine Pitch) 구현을 위한 고정밀 본딩 기술
- TSV(Through Silicon Via)를 활용한 수직 적층 구조

3. WoS (Wafer on Substrate) 공정 분석

WoS (Wafer-on-Substrate) — 패키지 레벨



Cressem · 결정론 렌더 · CoWoS 2단계

☑ Cressem 검사 포인트

- C4 범프 접합
- Warpage(휨) 3D 측정
- 기판-BGA 보이드

WoS 적층 구조 및 Substrate 인터페이스

- Substrate 상에 Wafer를 직접 적층하는 방식
- CoW 대비 패키지 두께 및 높이 제어 이점
- Substrate의 기계적 안정성 및 열 방출 특성 고려

4. CoWoS 기술 비교 분석

비교 항목	CoW 방식	WoS 방식
정밀도	매우 높음 (Wafer Level)	중간 (Substrate Level)
생산성	높음 (대량 처리 가능)	중간 (Substrate 제약)
주요 용도	HBM/High-end GPU	고성능 모바일/AI 가속기

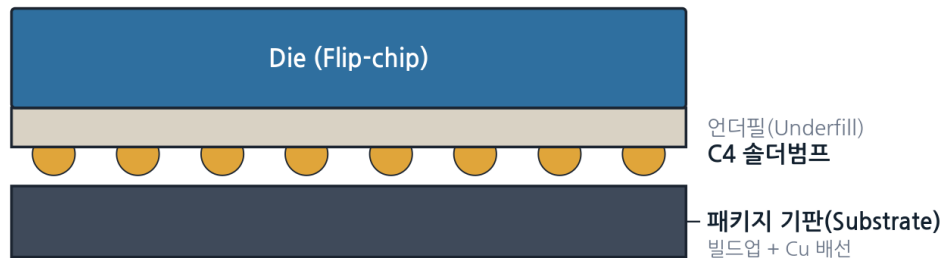
5. 수율 및 품질 검사 항목

Interposer 내 미세 회로 단선 및 쇼트 검사

Micro-bump 접합 강도 및 Void 유무 측정

Thermal Cycling 테스트를 통한 신뢰성 검증

플립칩 패키지 단면

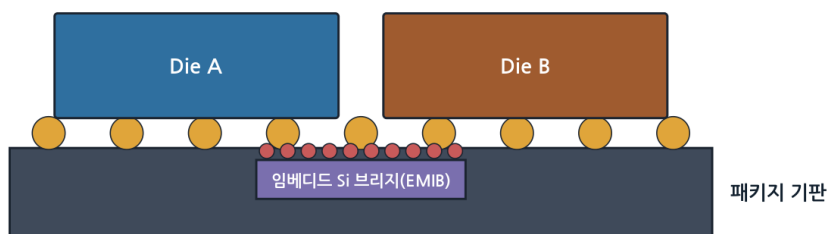


Cressem · 결정론 렌더 · 읽기용 개략도

Bump 접합부 및 인터페이스 검사 포인트

6. 결론 및 CXMT 제언

EMIB 브리지 단면



Cressem · 결정론 렌더 · 읽기용 개략도

차세대 고속 인터커넥트 통합 로드맵

- CXMT의 메모리 제품군에 최적화된 CoWoS 하이브리드 모델 제안
- 초미세 공정 대응을 위한 검사 자동화 솔루션 도입 필요
- 차세대 EMIB 기술과의 연계 가능성 검토