

CXMT 기술 협력 및 CoWoS 분석 보고서

CoW 및 WoS 기술 비교와 공정 분석

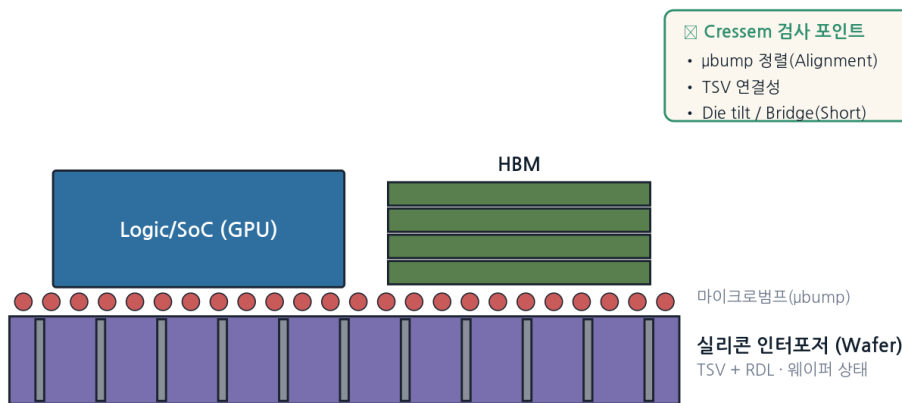
보고서 개요

CXMT 기술 협력을 위한 패키징 기술 분석

CoW 및 WoS 공정의 핵심 차이점 정의

CoW (Chip on Wafer) 공정 분석

CoW (Chip-on-Wafer) — 웨이퍼 레벨



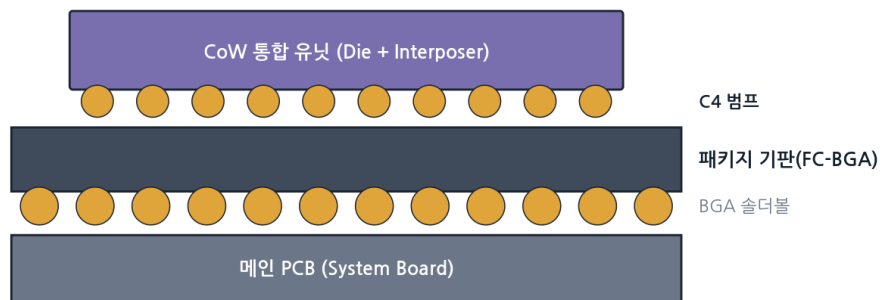
Cressem · 결정론 렌더 · CoWoS 1단계(WoS 前)

CoW 공정 단계별 구조도

- 웨이퍼 상태에서의 다이 본딩
- 높은 정렬 정밀도 확보
- 대면적 패키징 유리

WoS (Wafer on Substrate) 공정 분석

WoS (Wafer-on-Substrate) — 패키지 레벨



Cressem · 결정론 렌더 · CoWoS 2단계

☑ Cressem 검사 포인트

- C4 뱀프 접합
- Warpage(휨) 3D 측정
- 기판-BGA 보이드

WoS 적층 구조 개념도

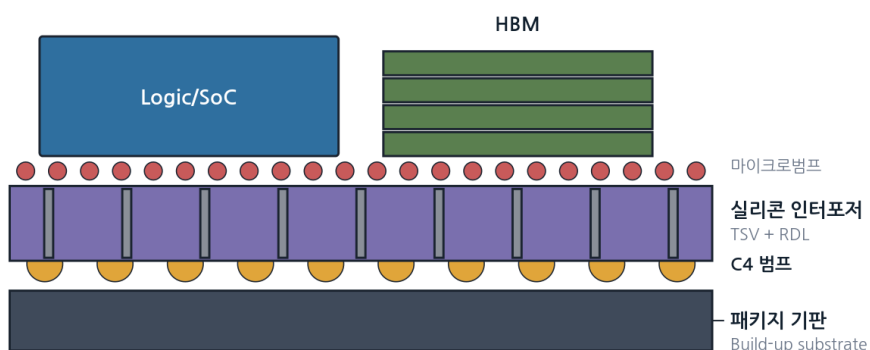
- 기판 위에 웨이퍼 직접 적층
- 공정 단순화 및 비용 절감
- 열 방출 특성 최적화 필요

CoWoS 기술 통합 구조

Interposer를 활용한 고대역폭 메모리 연결

TSV(Through Silicon Via) 기술 적용

CoWoS / InFO 2.5D 단면



Cressem · 결정론 렌더 · 임기용 개략도

CoWoS 통합 패키지 레이아웃

기술 비교 데이터

비교 항목	CoW	WoS
정렬 정밀도	매우 높음	보통

공정 복잡도	높음	낮음
생산성	중간	높음

결론 및 제언

CXMT 요구 사양에 따른 최적 공정 선택 필요

차세대 고성능 컴퓨팅을 위한 CoWoS 도입 검토