

CoWoS 공정 단계별 검사 프로세스 및 불량 유형 분석 보고서

문서번호 CRSM-AI-2026-AUTO

작성일 2026-06-01

작성 Cressem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

CoWoS 공정 단계별 검사 프로세스 및 불량 유형 분석 보고서	3
개요/배경	3
CoWoS 주요 공정 흐름도 (Process Flow)	4
단계별 검사 프로세스 (Inspection Process)	5
주요 불량 유형 분석 (Defect Analysis)	7
불량 분석 방법론 (Failure Analysis)	9
수율 향상을 위한 AI 비전 검사 고도화	11
결론 및 시사점	13

CoWoS 공정 단계별 검사 프로세스 및 불량 유형 분석 보고서

TSMC의 CoWoS(Chip on Wafer on Substrate) 패키징 공정의 주요 단계별 검사(Inspection) 프로세스를 정의하고, 각 공정에서 발생 가능한 주요 불량 유형을 분석합니다. 이를 통해 수율(Yield) 향상을 위한 최적의 검사 전략과 대응 방안을 제시합니다.

개요/배경

1. CoWoS(Chip on Wafer on Substrate) 기술의 정의 및 메커니즘

CoWoS(Chip on Wafer on Substrate)는 TSMC가 주도하는 첨단 패키징(Advanced Packaging) 기술로, 서로 다른 기능을 가진 다수의 반도체 다이(Die)를 하나의 인터포저(Interposer) 위에 수평적으로 배치하여 연결하는 2.5D 패키징(2.5D Packaging) 기술의 대표적인 형태이다. 기존의 전통적인 패키징 방식이 단일 칩을 기판(Substrate) 위에 실장하는 것에 집중했다면, CoWoS는 실리콘 인터포저(Silicon Interposer)를 매개체로 활용하여 로직(Logic) 칩과 고대역폭 메모리(HBM, High Bandwidth Memory) 간의 데이터 전송 경로를 극단적으로 단축시킨다.

이 기술의 핵심은 실리콘 인터포저 내부에 형성된 미세한 구리 배선(Fine-pitch RDL, Redistribution Layer)과 TSV(Through Silicon Via, 실리콘 관통 전극)이다. TSV를 통해 인터포저의 상단과 하단을 수직으로 연결함으로써, 칩과 칩 사이의 데이터 통로를 확보하고 전기적 저항과 신호 지연(Latency)을 최소화한다. 결과적으로 CoWoS는 초고속 데이터 처리가 필수적인 AI 가속기, 데이터 센터용 CPU/GPU, 그리고 고성능 컴퓨팅(HPC) 환경에서 요구되는 막대한 대역폭(Bandwidth)을 충족할 수 있는 유일무이한 솔루션으로 자리 잡았다.

2. 반도체 패키징 시장에서의 전략적 중요성

최근 반도체 산업은 전공정(Front-end)에서의 미세 공정(Scaling) 한계, 즉 무어의 법칙(Moore's Law)이 둔화되는 시점에 직면해 있다. 회로 선폭을 줄이는 것만으로는 성능 향상과 전력 효율 개선을 동시에 달성하기 어려워짐에 따라, 후공정(Back-end) 영역에서의 성능 극대화가 핵심 경쟁력으로 부상하였다. 이러한 패러다임의 변화 속에서 CoWoS와 같은 첨단 패키징 기술은 'More than Moore' 시대를 이끄는 중추적 역할을 수행하고 있다.

특히 생성형 AI(Generative AI)의 폭발적인 성장으로 인해 NVIDIA의 H100, B200과 같은 고성능 GPU 수요가 급증하면서, CoWoS 공정의 중요성은 그 어느 때보다 높다. AI 모델의 파라미터 수가 기하급수적으로 증가함에 따라 연산 장치(Logic)와 메모리(HBM) 사이의 데이터 병목 현상(Bottleneck)을 해결하는 것이 성능의 관건이 되었기 때문이다. CoWoS는 HBM을 로직 칩과 물리적으로 매우 가까운 거리에 배치함으로써 초고속·저전력 인터커넥트(Interconnect)를 구현하며, 이는 곧 AI 연산 성능의 직결된 요소가 된다.

구분	전통적 패키징 (2D/2.5D Conventional)	CoWoS (Advanced 2.5D)
주요 매개체	Organic Substrate (유기 기판)	Silicon Interposer (실리콘 인터포저)
연결 밀도	상대적으로 낮음 (Micro Bump 수준)	매우 높음 (Fine-pitch RDL/TSV 활용)
데이터 대역폭	제한적 (I/O 개수 및 간격의 한계)	극대화 (수천 개의 TSV를 통한 병렬 연결)
주요 타겟	모바일, 가전, 일반 컴퓨팅	AI 가속기, HPC, 데이터 센터용 고성능 SoC

3. 기술적 난제와 검사(Inspection)의 필연성

CoWoS 공정은 공정 단계가 복잡하고 사용되는 소재가 미세할수록 불량 발생 가능성이 기하급수적으로 높아지는 특성을 가진다. 실리콘 인터포저 상의 미세 RDL 형성 과정, TSV의 충전(Filling) 상태, Die Attach 시의 정밀한 정렬(Alignment), 그리고 최종 Bump 형성 단계에 이르기까지 각 공정은 극도로 높은 정밀도를 요구한다.

특히, CoWoS는 여러 개의 고가 칩(High-value Die)을 하나의 패키지로 통합하는 공정이므로, 단 하나의 미세한 결함(Defect)이 전체 패키지의 폐기로 이어져 막대한 손실을 초래한다. 예를 들어, 인터포저 내부의 미세한 단선(Open)이나 단락(Short), 혹은 칩 간의 미세한 미정렬(Misalignment)은 전기적 특성 저하를 일으킬 뿐만 아니라, 최종 제품의 신뢰성을 근본적으로 훼손한다.

따라서 CoWoS의 양산 수율(Yield)을 확보하기 위해서는 각 공정 단계별로 실시간에 가까운 정밀 검사가 필수적이다. 이는 단순한 불량 선별을 넘어, 광학 검사(AOI, Automated Optical Inspection) 및 머신 비전 기술을 활용하여 결함의 원인을 데이터화하고, 이를 통해 공정 변수를 제어하는 지능형 검사 시스템의 도입을 요구한다. 본 보고서는 이러한 배경 아래, CoWoS 공정의 각 단계별 검사 프로세스를 정의하고, 발생 가능한 주요 불량 유형과 이를 해결하기 위한 분석 방법론 및 AI 기반의 고도화 전략을 심층적으로 다루고자 한다.

CoWoS 주요 공정 흐름도 (Process Flow)

CoWoS(Chip on Wafer on Substrate)는 TSMC가 주도하는 첨단 패키징(Advanced Packaging) 기술로, 서로 다른 기능의 칩(예: GPU와 HBM)을 하나의 실리콘 인터포저(Silicon Interposer) 위에 배치하여 초고속 데이터 전송과 고밀도 연결을 구현하는 기술입니다. 이 공정은 일반적인 패키징과 달리 웨이퍼 레벨(Wafer-level)에서 정밀한 상호 연결(Interconnect)이 이루어지므로, 각 단계에서의 공정 제어와 검사 정밀도가 전체 수율을 결정짓는 핵심 요소가 됩니다. CoWoS의 전체 공정 흐름은 크게 **실리콘 인터포저 형성(Interposer Fabrication)**, **칩 적층(Die Attach/Bonding)**, **재배선층 형성(RDL Formation)**, 그리고 **최종 기판 실장(Substrate Mounting)**의 단계로 구분됩니다.

1. 실리콘 인터포저 형성 단계 (Silicon Interposer Fabrication)

CoWoS 공정의 가장 기초이자 핵심은 칩 간의 미세한 신호를 전달할 통로인 **실리콘 인터포저(Silicon Interposer)**를 제작하는 것입니다. 이 단계는 사실상 반도체 전공정(Front-end) 기술이 패키징 공정에 도입된 형태입니다.

- **TSV(Through Silicon Via) 형성**: 실리콘 웨이퍼 내부에 수직 관통 전극인 TSV를 형성합니다. 이는 인터포저의 상단(Top-side)과 하단(Bottom-side)을 전기적으로 연결하여 신호가 웨이퍼를 수직으로 통과할 수 있게 합니다.
- **Via Filling & CMP(Chemical Mechanical Polishing)**: 형성된 TSV 내부를 구리(Cu)로 채운 후, 화학적 기계적 연마(CMP) 공정을 통해 표면을 평탄화합니다. 이 과정에서 표면 거칠기(Roughness)와 평탄도가 확보되지 않으면 후속 공정인 Bump 형성 시 불량이 발생할 수 있습니다.
- **Backside Thinning**: TSV가 형성된 웨이퍼의 뒷면을 매우 얇게 갈아내는 공정입니다. 인터포저의 두께를 최소화하여 패키지 전체의 높이를 낮추고 전기적 특성을 개선합니다.

2. 칩 적층 및 마이크로 범프 형성 (Die Attach & Micro Bump)

인터포저 준비가 완료되면, 그 위에 고성능 로직 칩(예: AI 가속기)과 메모리 칩(예: HBM)을 배치하는 단계로 진입합니다.

- **Micro Bump 형성**: 인터포저 상단의 패드(Pad)와 칩 간의 초미세 연결을 위해 수 μm 단위의 **마이크로 범프(Micro Bump)**를 형성합니다. 이 범프는 칩 사이의 전기적 통로 역할을 하며, 매우 높은 밀도(Pitch)로 배치되어야 합니다.

- **Die Attach (Flip Chip Bonding):** 준비된 칩을 인터포저 위에 정밀하게 올려놓는 공정입니다. 이때 **Die Misalignment(칩 미정렬)**을 방지하기 위한 초정밀 본딩 기술이 요구됩니다. 칩이 인터포저의 범프 위치와 정확히 일치하지 않으면 신호 전달 불량이나 단선(Open)이 발생합니다.
- **Underfill 공정:** 칩과 인터포저 사이의 미세한 간극을 에폭시 수지(Epoxy Resin)와 같은 물질로 채워 넣어, 열팽창 계수(CTE) 차이로 인한 물리적 스트레스를 완화하고 기계적 강도를 높입니다.

3. 재배선층 형성 및 최종 연결 (RDL & Substrate Integration)

칩과 인터포저가 결합된 후, 인터포저의 신호를 하단 기판(Package Substrate)으로 전달하기 위한 추가적인 배선 공정이 진행됩니다.

- **RDL(Redistribution Layer, 재배선층) 형성:** 인터포저 상단의 미세한 입출력(I/O) 단자들을 더 넓은 간격의 패키지 기판 단자와 연결하기 위해 금속 배선을 다시 설계하여 배치하는 공정입니다. RDL은 미세 회로를 형성하는 포토공정(Photolithography)과 금속 증착(Deposition) 공정을 포함합니다.
- **C4 Bump / Substrate Interconnect:** 인터포저 하단과 최종 패키지 기판(Substrate)을 연결하기 위한 대형 범프(C4 Bump)를 형성합니다. 이를 통해 인터포저 내부의 고속 신호가 메인 보드로 전달됩니다.

CoWoS 주요 공정 구성 요소 비교

구분	실리콘 인터포저 (Silicon Interposer)	재배선층 (RDL)	마이크로 범프 (Micro Bump)
주요 역할	칩 간 초고속 데이터 통로 제공	I/O 단자 간격 재배치 및 연결	칩-인터포저 간 수직 전기 연결
핵심 소재	Silicon Wafer, Cu (TSV)	Metal (Cu), Dielectric (Polyimide)	Sn-Ag (Solder) 등
주요 기술	TSV, CMP, Thinning	Photolithography, Plating	Flip Chip Bonding, Reflow
결함 민감도	TSV 단선, Wafer Crack	RDL 단선/단락, 패턴 불균일	Misalignment, Solder Bridge

위와 같은 복잡한 공정 흐름으로 인해, CoWoS 제조 공정에서는 각 단계마다 고해상도 광학 검사(AOI)와 전기적 특성 검사가 필수적으로 수반되어야 합니다. 특히 인터포저의 TSV 형성 단계부터 RDL의 미세 패턴 형성 단계에 이르기까지, 나노미터(nm) 단위의 정밀도를 유지하는 것이 수율 확보의 관건입니다. (일반 지식 기반 작성)

단계별 검사 프로세스 (Inspection Process)

CoWoS(Chip on Wafer on Substrate) 공정은 TSMC가 주도하는 2.5D 패키징 기술로, 로직 다이(Logic Die)와 HBM(High Bandwidth Memory)을 실리콘 인터포저(Silicon Interposer) 위에 배치하여 초고속 데이터 전송을 구현하는 복잡한 공정입니다. 공정이 미세화되고 적층 구조가 복잡해짐에 따라, 각 단계에서 발생하는 결함이 최종 수율(Yield)에 치명적인 영향을 미치므로 단계별 정밀 검사(Inspection) 및 계측(Metrology) 프로세스의 구축이 필수적입니다.

본 섹션에서는 CoWoS의 주요 공정 단계에 따라 투입되는 핵심 검사 항목과 사용되는 검사 기술(AOI, AVI, Metrology 등)을 상세히 분석합니다.

1. 인터포저 형성 및 전공정 검사 (Interposer Fabrication & Front-end Inspection)

인터포저는 CoWoS의 핵심 요소로, 칩과 기판 사이에서 미세한 회로를 연결하는 역할을 합니다. 인터포저 자체는 웨이퍼 레벨에서 제조되므로, 일반적인 반도체 전공정(Front-end)에 준하는 고정밀 검사가 요구됩니다.

- **포토공정 검사 (Photolithography Inspection):** 인터포저 내 미세 회로를 형성하기 위한 포토레지스트(Photoresist) 패턴 형성 단계에서 결함을 검출합니다. 패턴의 해상도(Resolution), 선폭(Critical Dimension, CD)의 균일성, 그리고 잔류물(Scum) 발생 여부를 **AOI(Automated Optical Inspection)** 장비를 통해 실시간으로 모니터링합니다. [출처: <https://ettrends.etri.re.kr/ettrends/213/0905213008/0905213008.html>]

- **CMP(Chemical Mechanical Polishing) 계측:** 인터포저의 평탄도를 유지하기 위해 수행되는 CMP 공정 후, 표면 거칠기(Roughness)와 단차(Step Height)를 측정하는 **Metrology** 공정이 수행됩니다. 평탄도가 확보되지 않을 경우 후속 공정인 RDL(Redistribution Layer) 형성 시 회로 단선이나 단락의 원인이 됩니다.

- **Via 및 Metal Line 검사:** 인터포저 내부의 TSV(Through Silicon Via) 및 미세 금속 배선의 연속성을 확인합니다. 미세한 Crack, Void, 혹은 금속 배선의 두께 불균일성을 광학적/전기적 방식으로 검사하여 불량 인터포저가 후속 공정으로 유입되는 것을 차단합니다.

2. 칩 실장 및 Die Attach 검사 (Die Attach & Flip-Chip Inspection)

인터포저 위에 로직 다이와 HBM을 배치하는 단계로, CoWoS 공정 중 가장 높은 정밀도를 요구하는 구간입니다.

- **Die Placement 정렬 검사 (Alignment Inspection):** 칩이 인터포저 상의 설계된 위치에 정확히 안착되었는지 확인하는 과정입니다. **AOI(Automated Optical Inspection)** 기술을 활용하여 칩의 중심점(Centroid)과 회전(Rotation) 오차를 μm 단위로 측정합니다. 미세한 미정렬(Misalignment)은 Bump 접합 불량 및 신호 전달 오류를 야기합니다.

- **Underfill 및 접합부 검사:** 칩과 인터포저 사이의 빈 공간을 채우는 Underfill 공정 후, 기포(Void) 발생 여부 및 충전 상태를 검사합니다. 이는 열팽창 계수(CTE) 차이로 인한 물리적 스트레스를 완화하는 데 핵심적인 역할을 합니다.

- **Bump/Micro-bump 검사:** 칩과 인터포저를 연결하는 마이크로 범프(Micro-bump)의 높이, 직경, 간격(Pitch)을 측정합니다. **AVI(Automated Visual Inspection)** 시스템은 범프의 탈락, 납량 부족(Insufficient Solder), 혹은 범프 간 브릿지(Bridge) 현상을 고속으로 스캔하여 검출합니다.

3. RDL(Redistribution Layer) 및 재배선 검사 (RDL Formation & Inspection)

RDL은 칩의 입출력(I/O) 패드를 인터포저의 패드와 연결하기 위해 재배선하는 공정으로, CoWoS의 신호 무결성(Signal Integrity)을 결정짓는 중요한 단계입니다.

- **RDL 패턴 정밀 검사:** RDL은 매우 미세한 선폭을 가지므로, 일반적인 검사 장비로는 한계가 있습니다. 고해상도 광학 현미경 기반의 **AOI**를 사용하여 RDL의 선폭(Line Width), 간격(Space), 그리고 패턴의 꺾임(Kink)이나 단선(Open)을 검사합니다.

- **Layer-to-Layer 정렬 검사:** RDL은 다층 구조로 형성되는 경우가 많으므로, 상부 층과 하부 층 사이의 정렬 상태를 검사하는 것이 매우 중요합니다. 층간 정렬 오차는 최종 패키지의 전기적 특성을 저하시키는 주요 원인입니다.

- **Dielectric Layer 검사:** RDL 사이를 절연하는 유전체 층의 두께 균일성과 결함(Pin-hole, Crack) 유무를 측정하여 절연 파괴(Dielectric Breakdown)를 예방합니다.

4. 최종 패키징 및 검사 프로세스 요약 비교

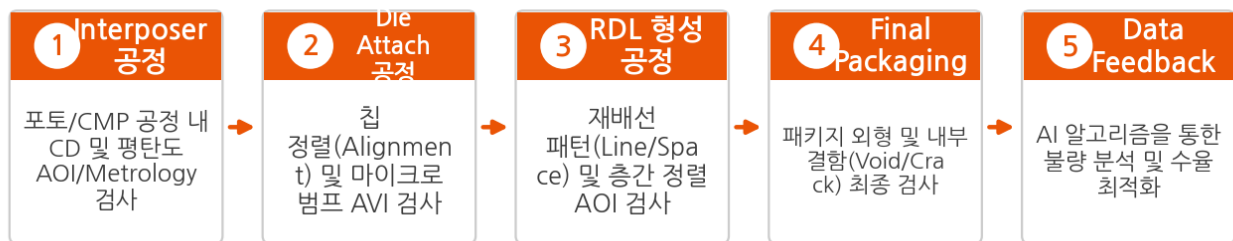
각 공정 단계에서 요구되는 검사 기술의 특성을 비교하면 다음과 같습니다.

공정 단계	주요 검사 항목 (Inspection Item)	핵심 검사 기술 (Key Technology)	검사 목적 (Objective)
Interposer	CD(Critical Dimension), Surface Profile	AOI, Metrology	회로 패턴 정확도 및 평탄도 확보
Die Attach	Alignment, Bump Height, Void	AOI, AVI	칩 위치 정밀도 및 접합 신뢰성 확보
RDL	Line/Space, Layer Alignment	High-Res AOI, Metrology	미세 재배포선 패턴 및 층간 정렬 확보
Final Assembly	Package Warpage, Solder Joint	AVI, X-ray/SAM	최종 패키지 외형 및 내부 결함 검사

5. 검사 기술의 진화: AOI에서 AI 비전으로

CoWoS 공정의 미세화가 가속화됨에 따라, 기존의 규칙 기반(Rule-based) 검사 방식은 한계에 직면해 있습니다. 미세한 패턴 결함과 공정 변동에 따른 노이즈를 구분하기 위해, 최근에는 **AI 비전 알고리즘(AI Vision Algorithm)**을 결합한 검사 시스템이 도입되고 있습니다. 이는 단순한 불량 판정을 넘어, 불량 유형을 분류하고 공정 데이터를 피드백하여 수율을 예측하는 스마트 팩토리(Smart Factory) 구현의 핵심 동력이 됩니다. [출처: <https://ssl.pstatic.net/imgstock/upload/research/industry/1683679716802.pdf>]

CoWoS 단계별 검사 프로세스 흐름도



주요 불량 유형 분석 (Defect Analysis)

CoWoS(Chip on Wafer on Substrate) 공정은 TSMC가 주도하는 2.5D 패키징 기술로, 실리콘 인터포저(Silicon Interposer) 위에 로직 다이(Logic Die)와 HBM(High Bandwidth Memory)을 초미세 피치(Fine Pitch)로 배치하는 고난도 공정입니다. 이 공정은 일반적인 패키징보다 훨씬 높은 집적도를 요구하며, 결함 발생 시 전체 시스템의 성능 저하나 기능 마비로 직결됩니다. 따라서 각 공정 단계에서 발생하는 불량 유형을 체계적으로 분류하고, 그 물리적·전기적 메커니즘을 이해하는 것이 수율(Yield) 확보의 핵심입니다.

본 섹션에서는 CoWoS 공정의 핵심 단계별로 발생하는 주요 불량 유형을 **Interposer 결함**, **Die 미정렬(Misalignment)**, **RDL(Redistribution Layer) 및 Bump 결함**의 세 가지 관점에서 심층 분석합니다.

1. Interposer 및 하부 구조 결함 (Interposer & Base Layer Defects)

인터포저는 로직 칩과 HBM 사이의 초고속 데이터 통로 역할을 수행하며, 매우 미세한 회로 패턴을 포함합니다. 이 단계에서의 결함은 후속 공정인 Die Attach 및 Bump 형성 단계에서 수정이 불가능하므로 초기 검사가 매우

중요합니다.

불량 유형	주요 현상 및 특징	발생 원인 및 영향
Pattern Short/Open	인터포저 내 미세 회로 간의 단락(Short) 또는 단선(Open)	포토공정(Photolithography) 시 잔류물(Scum) 또는 식각(Etching) 불균일로 인해 발생하며, 신호 전달 불능 초래
Surface Roughness	인터포저 표면의 거칠기 증가 및 평탄도(Planarity) 불량	CMP(Cheical Mechanical Polishing) 공정의 압력 또는 슬러리(Slurry) 불균형으로 발생하며, 후속 Bump 접합력 저하
Void in TSV	TSV(Through Silicon Via) 내부의 빈 공간(Void) 형성	전해 도금(Electroplating) 과정에서 가스 배출 미흡 또는 전류 밀도 불균형으로 발생하며, 저항 증가 및 열 방출 방해
Contamination	표면의 미세 파티클(Particle) 및 유기물 오염	클린룸 환경 관리 미흡 또는 공정 장비 내 부산물로 인해 발생하며, 회로 패턴의 단락을 유발

TSV(Through Silicon Via) 관련 심층 분석:

CoWoS의 핵심인 TSV 공정에서 발생하는 Void(공극)는 가장 치명적인 불량 중 하나입니다. TSV 내부에 형성된 Void는 전기적 저항(Ω)을 급격히 상승시킬 뿐만 아니라, 고성능 컴퓨팅(HPC) 환경에서 발생하는 열을 효과적으로 방출하지 못하게 하여 열적 스트레스를 유발합니다. 이는 결국 열팽창 계수(CTE) 차이에 의한 크랙(Crack)으로 이어져 소자의 신뢰성을 파괴합니다.

2. Die 미정렬 및 배치 결함 (Die Misalignment & Placement Defects)

CoWoS 공정은 실리콘 인터포저 위에 로직 다이와 다수의 HBM을 정밀하게 배치해야 합니다. 이때 발생하는 Misalignment(미정렬)은 범프(Bump) 간의 접촉 불량을 야기하며, 이는 곧 전기적 연결 실패로 이어집니다.

• **X-Y Axis Misalignment (평면 미정렬):**

다이가 설계된 좌표에서 수 μm 이상 벗어나는 현상입니다. 이는 Die Attach 장비의 Pick-and-Place 정밀도 저하, 또는 인터포저의 Fiducial Mark(기준점) 인식 오류로 인해 발생합니다. 미정렬이 발생하면 Bump와 Pad 사이의 중첩(Overlap) 면적이 감소하여 접촉 저항이 증가하거나, 심할 경우 인접한 Bump와 접촉하여 Short(단락)를 유발합니다.

• **Z-Axis / Tilt Defect (두께 및 기울기 결함):**

다이가 인터포저에 안착될 때 수평을 유지하지 못하고 한쪽으로 기울어지는(Tilt) 현상입니다. 이는 다이의 두께 불균일(Non-uniformity)이나 Pick-and-Place 과정에서의 압력 불균형에 기인합니다. 기울어짐이 발생하면 특정 영역의 Bump에 과도한 압력이 가해져 Bump가 파손되거나, 반대로 압력이 부족한 영역에서는 Non-wet(미접합) 불량이 발생합니다.

• **Warpage (휘어짐):**

공정 중 열 사이클(Thermal Cycle)에 의해 인터포저나 다이가 휘어지는 현상입니다. CoWoS와 같이 적층 구조가 복잡한 경우, 재료 간의 열팽창 계수(CTE) 차이로 인해 발생하는 Warpage는 미세 피치 Bump의 물리적 탈락이나

내부 회로의 미세 균열을 초래하는 주요 원인입니다.

3. RDL 및 Bump 연결 결함 (RDL & Bump Interconnect Defects)

RDL(재배선층)은 인터포저의 TSV와 다이의 Bump를 연결하는 미세 회로층이며, Bump는 실제 전기적 연결을 담당하는 접합부입니다. 이 구간에서의 결함은 제품의 전기적 특성을 결정짓는 결정적인 요소입니다.

A. RDL(Redistribution Layer) 결함

RDL은 매우 얇은 금속층(Cu 등)으로 구성되므로, 공정 중 미세한 변수에도 민감하게 반응합니다.

- **Short (단락):** RDL 패턴 사이의 간격(Spacing)이 좁은 상태에서 금속 잔류물이 남거나, 과도한 에칭 방지(Over-etching)로 인해 인접 라인이 연결되는 현상입니다. 이는 데이터 신호의 간섭(Crosstalk)을 일으키거나 전원 단락을 유발합니다.
- **Open (단선):** RDL 패턴의 일부가 끊어지는 현상입니다. 주로 도금(Plating)의 불균일성이나 식각 공정에서의 과도한 노출로 인해 발생하며, 신호 경로를 차단하여 해당 칩의 기능을 상실하게 만듭니다.

B. Bump 및 Solder Joint 결함

HBM과 로직 다이를 연결하는 마이크로 범프(Micro-bump)는 CoWoS의 연결 밀도를 결정하는 핵심 요소입니다.

- **Bridging (브릿징):** 인접한 두 범프 사이가 솔더(Solder) 재료로 연결되어 버리는 현상입니다. 이는 주로 Reflow(재가열) 공정 시 솔더의 과도한 젖음(Wetting)이나 범프의 과도한 높이(Height)로 인해 발생하며, 전기적 Short의 직접적인 원인이 됩니다.
- **Void in Solder (솔더 내 공극):** 범프 내부 또는 범프와 패드 사이의 계면에 기포나 빈 공간이 생기는 현상입니다. 이는 솔더링 과정에서의 산화물(Oxide) 잔류 또는 가스 배출 불량으로 발생하며, 전기적 저항 증가 및 물리적 강도 약화를 초래합니다.
- **Insufficient Solder (솔더 부족):** 범프에 도포된 솔더의 양이 설계치보다 적은 경우입니다. 이는 접합 면적을 감소시켜 고온/고습 환경에서 열팽창에 의한 **Open(단선)** 결함으로 이어질 가능성이 매우 높습니다.

[요약: CoWoS 주요 불량 메커니즘 비교]

구분	주요 불량 (Defect)	주요 원인 (Root Cause)	검사 핵심 항목 (Key Inspection)
Interposer	TSV Void, Pattern Short	CMP/Etch 불균일, Particle	TSV 내부 결함, 회로 패턴 연속성
Die Attach	Misalignment, Tilt, Warpage	Pick-and-Place 정밀도, CTE 차이	X-Y-Z 좌표 정밀도, 평탄도(Planarity)
RDL/Bump	Bridging, Open, Solder Void	Reflow 온도 제어, Solder 도포량	Bump Pitch 간격, 접합부 형상(Shape)

이와 같은 다각적인 불량 유형은 단순한 육안 검사로는 검출이 불가능하며, 고해상도 **광학 검사(AOI/AVI)** 및 전기적 특성을 분석하는 **전기적 분석(eFA)**, 그리고 단면을 직접 관찰하는 **물리적 분석(pFA)**이 통합적으로 이루어져야만 근본적인 수율 개선이 가능합니다. 특히 최근의 미세 공정화 추세에 따라, AI 비전 알고리즘을 통한 미세 결함(Sub-micron defect)의 자동 검출 기술이 공정 수율 확보의 핵심 경쟁력으로 부상하고 있습니다.

불량 분석 방법론 (Failure Analysis)

CoWoS(Chip on Wafer on Substrate)와 같은 고밀도 패키징 공정에서 발생하는 결함은 미세 피치(Fine Pitch)의 범프(Bump)와 복잡한 RDL(Redistribution Layer) 구조로 인해 단순한 육안 검사만으로는 근본 원인(Root Cause)을 규명하기 어렵습니다. 따라서 수율(Yield) 개선과 신뢰성 확보를 위해서는 전기적 특성 변화를 추적하는 전기적 분석(eFA, Electrical Failure Analysis)과 물리적 구조를 직접 관찰하는 물리적 분석(pFA, Physical Failure Analysis)이 유기적으로 결합된 체계적인 불량 분석(Failure Analysis, FA) 프로세스가 필수적입니다.

1. 전기적 분석 (eFA: Electrical Failure Analysis)

전기적 분석(eFA)은 제품에 전기적 신호를 인가하여 불량이 발생한 지점(Failure Site)을 국부적으로 찾아내는 비파괴적(Non-destructive) 또는 반파괴적(Semi-destructive) 분석 단계입니다. CoWoS 공정에서는 HBM(High Bandwidth Memory)과 로직 다이(Logic Die) 간의 인터포저(Interposer) 연결성 및 TSV(Through Silicon Via)의 전기적 건전성을 확인하는 것이 핵심입니다.

• 주요 분석 항목 및 기법:

- **I-V 측정 (Current-Voltage Measurement):** 소자의 전류-전압 곡선을 분석하여 단락(Short) 또는 단선(Open) 여부를 판별합니다.
- **전기적 프로빙 (Electrical Probing):** 미세한 전극 부위에 프로브 카(Probe Card)나 마이크로 프로브(Micro Probe)를 접촉시켜 특정 노드의 전위차를 측정합니다.
- **레이저 전류 조사 (LVP, Laser Voltage Probing):** 레이저를 이용해 실리콘 내부의 전하 움직임을 감지함으로써, 패키지 내부의 동작 중인 회로 신호를 비파괴적으로 관찰합니다.
- **에디 전류 탐상 (ECT, Eddy Current Testing):** 금속 배선층의 연속성을 확인하여 미세한 크랙(Crack)이나 단선 여부를 검출합니다.

eFA의 목적은 불량의 위치를 mm 단위에서 μm 단위로 좁혀 나가는 'Localization'에 있습니다. 정확한 eFA가 수행되지 않으면 pFA 단계에서 불필요한 물리적 절단(Cross-section)이 발생하여 분석 대상이 손상될 위험이 있습니다. [출처: jubrodev.tistory.com]

2. 물리적 분석 (pFA: Physical Failure Analysis)

물리적 분석(pFA)은 eFA를 통해 특정된 불량 지점을 대상으로, 실제 물리적 구조를 직접 관찰하여 결함의 형태를 규명하는 단계입니다. 이는 주로 파괴적(Destructive) 방식을 포함하며, 나노미터(nm) 스케일의 미세 구조를 확인하기 위해 고해상도 이미징 장비가 동원됩니다.

• 주요 분석 항목 및 기법:

- **SAM (Scanning Acoustic Microscopy):** 초음파를 이용하여 패키지 내부의 박리(Delamination)나 보이드(Void)를 비파괴적으로 검출합니다. CoWoS의 인터포저와 다이 사이의 접합 상태를 확인하는 데 매우 효과적입니다.
- **SEM (Scanning Electron Microscopy):** 전자빔을 조사하여 표면의 미세한 형상을 고배율로 관찰합니다. RDL 패턴의 변형이나 범프의 모양 불량을 확인하는 데 사용됩니다.
- **FIB (Focused Ion Beam):** 이온 빔을 이용하여 특정 영역을 정밀하게 식각(Etching)하거나 절단합니다. 불량 지점의 단면(Cross-section)을 노출시켜 내부 결함을 직접 관찰할 수 있게 하는 핵심 장비입니다.
- **TEM (Transmission Electron Microscopy):** FIB로 제작된 초박편 시편을 통해 원자 단위의 격자 구조까지 관찰하며, 원자 확산이나 금속 간 화합물(IMC, Intermetallic Compound)의 과도한 성장을 분석합니다.

3. eFA와 pFA의 통합 분석 프로세스 비교

CoWoS와 같은 첨단 패키징 공정에서는 두 분석 방식의 순차적 연계가 수율 관리의 핵심입니다. 아래 표는 두 방법론의 특성을 비교한 것입니다.

구분	전기적 분석 (eFA)	물리적 분석 (pFA)
주요 목적	불량 위치 국부화 (Localization)	불량 형태 및 원인 규명 (Identification)
분석 성격	비파괴적 / 반파괴적 (Non-destructive)	주로 파괴적 (Destructive)
주요 대상	전기적 신호, 전류/전압 특성, 경로(Path)	미세 구조, 단면 형상, 물질 성분
핵심 장비	Probe Station, LVP, Curve Tracer	SEM, FIB, TEM, SAM
CoWoS 적용 사례	TSV 연결성 및 RDL 신호 전달 오류 확인	범프 접합부 크랙 및 IMC 성장 분석

4. 결론: 근본 원인 규명(Root Cause Analysis)의 중요성

불량 분석의 최종 목표는 단순히 "어디가 고장 났다"를 찾는 것이 아니라, "왜 고장이 났는가"에 대한 답을 얻는 것입니다. 예를 들어, eFA를 통해 특정 RDL 라인의 단선(Open)을 확인한 후, pFA(FIB/SEM)를 통해 해당 부위의 금속 박리(Delamination)를 발견했다면, 이는 공정 중 열팽창 계수(CTE) 차이에 의한 응력(Stress) 관리 실패라는 공정 결론에 도달할 수 있습니다.

이러한 분석 데이터는 다시 전공정(Front-end)의 포토공정(Photolithography) 조건 변경이나 후공정(Back-end)의 열처리(Reflow) 프로파일 최적화로 피드백되어, 최종적으로 CoWoS 수율을 결정짓는 핵심 자산이 됩니다. [출처: jubrodev.tistory.com]

수율 향상을 위한 AI 비전 검사 고도화

CoWoS(Chip on Wafer on Substrate) 공정은 이종 집적(Heterogeneous Integration) 기술의 정점으로, 초미세 피치(Fine Pitch)의 Interposer와 RDL(Redistribution Layer)을 다루기 때문에 기존의 Rule-based 검사 방식으로는 검출 한계에 직면해 있습니다. CoWoS의 수율(Yield)을 극대화하기 위해서는 단순한 결함 유무 판별을 넘어, 머신비전(Machine Vision)과 딥러닝(Deep Learning) 알고리즘이 결합된 AI 비전 검사(AI Vision Inspection) 고도화가 필수적입니다.

1. 기존 Rule-based 검사의 한계와 AI 비전의 필요성

전통적인 자동 광학 검사(AOI, Automated Optical Inspection)는 사전에 정의된 알고리즘과 임계값(Threshold)을 기반으로 결함을 탐지합니다. 하지만 CoWoS 공정의 특성상 다음과 같은 기술적 난제가 존재하며, 이는 높은 과검(Overkill)과 미검(Underkill) 문제를 야기합니다.

- **복잡한 패턴 및 미세 구조:** RDL 및 Bump의 피치가 극도로 미세해짐에 따라, 광학적 노이즈와 실제 결함을 구분하기 위한 정밀한 경계 추출이 어려워집니다.
- **배경 노이즈 및 광학적 변이:** 패키징 재료의 반사율 차이, 조명 조건의 미세한 변화, 웨이퍼 표면의 미세한 굴곡 등으로 인해 Rule-based 알고리즘은 이를 결함으로 오인하는 과검 발생률이 높습니다.
- **비정형 결함(Unstructured Defect) 대응 불가:** 패턴의 단순 단선(Open)이나 단락(Short) 외에, 미세한 스크래치, 오염(Contamination), 미세 크랙(Micro-crack) 등 형태가 일정하지 않은 비정형 결함은 기존 알고리즘으로 정의하기 매우 어렵습니다.

이러한 한계를 극복하기 위해 최근 반도체 검사 장비 산업에서는 데이터 학습을 통해 스스로 특징을 추출하는 AI 기반 비전 검사 도입이 가속화되고 있습니다. [출처: 네이버]

2. AI 기반 검사 알고리즘의 핵심 기술 체계

AI 비전 검사 고도화는 크게 지도 학습(Supervised Learning), 비지도 학습(Unsupervised Learning), 그리고 강화 학습(Reinforcement Learning)의 세 가지 축을 중심으로 발전하고 있습니다.

구분	주요 알고리즘 모델	특징 및 적용 사례	기대 효과
지도 학습 (Supervised)	CNN (Convolutional Neural Network), ResNet, YOLO	양품과 불량 데이터(Labeling)를 사전에 학습시켜 특정 결함 유형을 분류	높은 정확도의 특정 결함(Bump 미정렬, RDL 단선 등) 검출
비지도 학습 (Unsupervised)	Autoencoder, GAN (Generative Adversarial Network)	양품 데이터만을 학습하여 정상 범위를 구축, 정상 범위를 벗어나는 모든 것을 결함으로 간주	미학습 결함(Novelty Defect) 및 비정형 결함 탐지
세그멘테이션 (Segmentation)	U-Net, Mask R-CNN	결함의 위치뿐만 아니라 형태(Shape)와 면적(Area)을 픽셀 단위로 정밀하게 분리	결함의 크기 정량화 및 불량 유형 세부 분석

2.1. 딥러닝 기반 결함 분류 및 세그멘테이션

CoWoS의 RDL 공정에서 발생하는 미세한 패턴 변형을 검출하기 위해서는 픽셀 단위의 **Semantic Segmentation** 기술이 핵심입니다. CNN 기반의 모델은 이미지의 공간적 계층 구조를 학습하여, 단순한 색상 차이가 아닌 구조적 특징(Structural Feature)을 바탕으로 결함을 식별합니다. 예를 들어, Bump의 높이 편차나 표면 거칠기(Roughness) 문제를 이미지 특징 벡터(Feature Vector)로 변환하여 분석함으로써, 육안이나 기존 AOI로 식별 불가능한 미세 결함을 잡아낼 수 있습니다.

2.2. 이상 탐지(Anomaly Detection)를 통한 미학습 결함 대응

반도체 공정은 수율 향상을 위해 결함 데이터를 수집하지만, 모든 종류의 불량 데이터를 사전에 확보하는 것은 불가능합니다. 이때 **Autoencoder** 기반의 비지도 학습 모델이 유용하게 활용됩니다. 모델이 정상적인 CoWoS 패키지 패턴만을 학습하면, 결함이 포함된 이미지가 입력되었을 때 재구성 오차(Reconstruction Error)가 크게 발생합니다. 이 오차 맵(Error Map)을 통해 모델이 한 번도 보지 못한 새로운 유형의 결함이라 할지라도 "정상이 아님"을 즉각적으로 인지할 수 있습니다.

3. 수율 향상을 위한 AI 비전 검사 시스템의 통합적 접근

AI 비전 검사의 도입은 단순히 검사 장비의 성능을 높이는 것을 넘어, 전체 제조 공정의 수율 관리 체계를 혁신하는 방향으로 나아가야 합니다.

첫째, 데이터 기반의 공정 피드백 루프(Closed-loop Feedback) 구축입니다.

AI 비전 검사를 통해 수집된 결함 데이터(Defect Data)는 단순히 불량 판정에 그치지 않고, 전공정(Front-end)의 장비 파라미터와 연동되어야 합니다. 예를 들어, 특정 구간에서 RDL 단선 결함이 급증하는 패턴이 AI에 의해 감지되면, 해당 시점의 포토공정(Photolithography) 혹은 식각(Etching) 장비의 데이터를 분석하여 공정 조건을 실시간으로 보정하는 스마트 팩토리(Smart Factory) 구현이 가능합니다. [출처: 네이버]

둘째, 검사 속도와 정확도의 트레이드오프(Trade-off) 해결입니다.

딥러닝 모델은 연산량이 많아 검사 속도(Throughput)를 저하시킬 수 있습니다. 이를 해결하기 위해 **Edge AI** 기술을 도입하여 검사 장비 단에서 경량화된 모델(Lightweight Model)을 구동하거나, 1차적으로 Rule-based 알고리즘이 후보 영역(ROI, Region of Interest)을 빠르게 스캔한 후, 의심 영역에 대해서만 고성능 AI 모델이 정밀

검사를 수행하는 Cascade 구조를 채택하여 검사 효율을 극대화해야 합니다.

셋째, 검사 비용 최적화 및 데이터 가치 극대화입니다.

AI 비전 검사 도입 시 초기 구축 비용이 발생할 수 있으나, 이는 불량을 감소를 통한 직접적인 수율 이익으로 상쇄됩니다. 실제 사례에 따르면, AI 비전 도입을 통해 불량률을 2.4%에서 0.9%로 낮추는 등 괄목할만한 성과를 거둔 사례가 존재합니다. [출처: Instagram] 이는 검사 자동화 수준을 높임으로써 인적 오류(Human Error)를 줄이고, 데이터 학습을 통해 검사 정확도를 지속적으로 고도화할 수 있기 때문입니다.

4. 결론: AI 비전 기술의 미래 방향성

CoWoS와 같은 초미세 패키징 공정에서 AI 비전 검사는 선택이 아닌 필수 요소입니다. 향후 기술 트렌드는 단순히 결함을 찾는 것을 넘어, 결함의 근본 원인(Root Cause)을 예측하는 예지 보전(Predictive Maintenance) 기술과 결합될 것입니다.

AI가 결함의 형태를 보고 "이 결함은 식각 공정의 압력 불균형에서 기인했을 확률이 95%이다"라는 식의 통찰을 제공할 수 있을 때, 반도체 제조사는 진정한 의미의 수율 최적화를 달성할 수 있습니다. 따라서 크레셈(CRESSEM)을 비롯한 검사 장비 기업들은 고해상도 광학계(Optical System)와 고성능 AI 알고리즘이 유기적으로 결합된 통합 솔루션을 개발하는 데 역량을 집중해야 합니다.

결론 및 시사점

CoWoS(Chip on Wafer on Substrate) 기술은 TSMC가 주도하는 첨단 패키징(Advanced Packaging)의 핵심 솔루션으로, AI 가속기 및 고성능 컴퓨팅(HPC) 시장의 폭발적인 성장과 맞물려 그 중요성이 더욱 증대되고 있습니다. 본 보고서에서 살펴본 바와 같이, CoWoS 공정은 실리콘 인터포저(Silicon Interposer) 형성부터 RDL(Redistribution Layer), Die Attach, 그리고 HBM(High Bandwidth Memory) 결합에 이르기까지 매우 복잡하고 미세한 공정 단계로 구성되어 있습니다. 공정의 난이도가 높아짐에 따라, 단순한 검사를 넘어선 고도화된 검사 전략(Inspection Strategy)의 수립이 제조사의 수율(Yield) 확보와 직결되는 핵심 요소로 부상하였습니다.

향후 CoWoS 검사 기술의 트렌드와 이에 따른 대응 전략을 다음과 같이 제언합니다.

1. 검사 기술의 트렌드: 초미세화 및 지능화

현재 CoWoS 공정은 미세 피치(Fine Pitch) 기술의 적용으로 인해 결함의 크기가 극도로 작아지고 있으며, 이는 기존의 광학 검사 방식의 한계를 시험하고 있습니다. 이에 따라 검사 기술은 다음과 같은 방향으로 진화할 것입니다.

- **초고해상도 광학 검사(Ultra-high Resolution AOI):** RDL 및 Bump의 미세 결함을 검출하기 위해 더 높은 해상도와 정밀한 조명 제어 기술이 요구됩니다.
- **AI 기반 비전 알고리즘의 통합:** 단순한 Rule-based 검사를 넘어, 딥러닝(Deep Learning) 기반의 AI 알고리즘을 활용하여 미세 결함(Micro-defect)과 정상적인 패턴 간의 미세한 차이를 구분하는 능력이 필수적입니다. 이는 오검사(False Call)를 줄이고 검사 속도를 높이는 핵심 동력이 될 것입니다.
- **데이터 기반의 예지 보전(Predictive Maintenance):** 검사 과정에서 수집된 방대한 데이터를 분석하여 공정 변동을 사전에 감지하고, 불량이 발생하기 전 장비의 상태나 공정 조건을 최적화하는 스마트 팩토리 기술이 가속화될 것입니다.

2. 전략적 대응 방안: 통합적 불량 분석 체계 구축

급변하는 시장 환경에서 경쟁 우위를 점하기 위해서는 다음과 같은 전략적 접근이 필요합니다.

- **eFA와 pFA의 유기적 결합:** 전기적 분석(eFA)을 통해 불량률의 위치와 특성을 신속히 파악하고, 이를 물리적 분석(pFA)과 연계하여 근본 원인(Root Cause)을 규명하는 통합 분석 프로세스를 구축해야 합니다. 이는 단순 불량 검출을 넘어 공정 개선(Process Improvement)으로 이어지는 선순환 구조를 만듭니다.

- **검사 장비의 고도화 및 맞춤형 솔루션 확보:** HBM 및 FC-BGA 등 차세대 패키징 기술의 변화에 유연하게 대응할 수 있는 검사 장비 라인업을 확보해야 합니다. 특히, CoWoS의 복잡한 구조를 반영한 다각도 검사 및 3D 검사 기술에 대한 투자가 지속되어야 합니다.

결론적으로, CoWoS 공정의 수율 향상은 단순히 검사 항목을 늘리는 것이 아니라, **'얼마나 빠르고 정확하게(Speed & Accuracy), 그리고 얼마나 지능적으로(Intelligence) 결함을 정의하고 분석하느냐'**에 달려 있습니다. AI 비전 기술과 정밀 검사 장비의 결합은 향후 반도체 패키징 시장의 패권을 결정짓는 핵심 경쟁력이 될 것입니다.