

[기술 분석 보고서] 실리콘(Si) vs 유기(Organic)

문서번호 CRSM-AI-2026-AUTO

작성일 2026-05-29

작성 CresseM AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

[기술 분석 보고서] 실리콘 인터포저(Si Interposer) vs 유기 인터포저(Organic Interposer) 비교 분석 3

- 1. 개요 (Executive Summary) 3
- 2. 인터포저(Interposer)의 역할 및 필요성 3
- 3. 실리콘 인터포저 (Silicon Interposer) 3
- 4. 유기 인터포저 (Organic Interposer) 4
- 5. 핵심 비교 요약 (Comparison Matrix) 4
- 6. 결론 및 향후 전망 5

[기술 분석 보고서] 실리콘 인터포저(Si Interposer) vs 유기 인터포저(Organic Interposer) 비교 분석

1. 개요 (Executive Summary)

반도체 패키징 기술이 고성능 컴퓨팅(HPC), 인공지능(AI), 고대역폭 메모리(HBM) 수요에 따라 급격히 진화함에 따라, 다이(Die) 간의 미세 회로를 연결하고 전기적/열적 특성을 조절하는 인터포저(Interposer) 기술의 중요성이 증대되고 있습니다.

본 보고서는 차세대 패키징의 핵심 요소인 실리콘 인터포저(Silicon Interposer)와 유기 인터포저(Organic Interposer)의 구조적 특징, 전기적/열적 성능, 공정 난이도 및 경제성을 심층 비교하여 기술적 의사결정을 지원하는데 목적이 있습니다.

2. 인터포저(Interposer)의 역할 및 필요성

인터포저는 서로 다른 칩(예: 로직 다이와 HBM) 사이에서 미세한 회로를 연결하여 정보를 주고받는 '다리(Bridge)' 역할을 수행합니다 [출처: <https://m.blog.naver.com/PostView.naver?blogId=techref&logNo=223181507710&targetRecommendationCode=1>].

최근 반도체 소자가 미세화되고 성능이 극대화됨에 따라 다음과 같은 요구사항이 발생하고 있습니다:

- **고밀도 연결(High-density Interconnect):** 칩 간 데이터 전송 속도 향상을 위한 미세 피치(Fine Pitch) 구현.
- **신호 무결성(Signal Integrity):** 고주파 환경에서의 신호 손실 최소화.
- **열 관리(Thermal Management):** 고성능 칩에서 발생하는 열을 효과적으로 방출.
- **비용 효율성(Cost-efficiency):** 대면적 패키징 시 생산 단가 절감.

3. 실리콘 인터포저 (Silicon Interposer)

3.1 기술적 특징

실리콘 인터포저는 기존 반도체 제조 공정인 TSV(Through Silicon Via, 실리콘 관통 전극) 기술을 활용합니다.

실리콘 웨이퍼 상에 미세한 회로를 형성하여 매우 높은 수준의 배선 밀도를 제공합니다 [출처: <https://hongya-world.tistory.com/entry/%EC%8B%A4%EB%A6%AC%EC%BD%98-%EC%9D%B8%ED%84%B0%ED%8F%AC%EC%A0%80%EB%9E%80-%EA%B8%B0%EB%B3%B8-%EC%9B%90%EB%A6%AC%EC%99%80-%EA%B5%AC%EC%A1%B0-%EC%A3%BC%EC%9A%94-%EC%9A%A9%EB%8F%84-%EC%B2%A8%EB%8B%A8-%EB%B0%98%EB%8F%84%EC%B2%B4-%ED%8C%A8%ED%82%A4%EC%A7%95-%EA%B8%B0%EC%88%A013>].

3.2 장점

1. **초미세 피치 구현:** 실리콘 웨이퍼 공정을 그대로 사용하므로 수 마이크로미터(μm) 단위의 미세 배선이 가능합니다.

- 2. **열팽창 계수(CTE) 정합성:** 칩(Si)과 인터포저(Si)의 열팽창 계수가 동일하여, 온도 변화에 따른 칩의 휨(Warpage) 현상이나 물리적 스트레스가 매우 적습니다.
- 3. **검증된 신뢰성:** TSV 기술을 통해 HBM과 로직 다이를 연결하는 CoWoS(Chip on Wafer on Substrate)와 같은 고성능 패키징에서 표준으로 자리 잡았습니다.

3.3 단점 및 한계

- 1. **높은 제조 비용:** 실리콘 웨이퍼 기반 공정은 비용이 매우 높으며, 대면적화가 어렵습니다.
- 2. **크기 제한:** 웨이퍼 크기에 따른 물리적 한계가 존재합니다.
- 3. **전기적 손실:** 실리콘 기판 자체의 기생 성분으로 인해 초고주파 영역에서 신호 손실이 발생할 수 있습니다.

4. 유기 인터포저 (Organic Interposer)

4.1 기술적 특징

유기 인터포저는 실리콘 대신 **유기 절연체(Organic Dielectric/Substrate)**를 기반으로 합니다. 주로 FC-BGA(Flip Chip Ball Grid Array) 기술에서 사용하는 기판 소재와 유사한 고분자 재료를 활용하여 회로를 형성합니다.

4.2 장점

- 1. **비용 절감:** 실리콘 웨이퍼 대비 소재 비용이 저렴하며, 기존 PCB/Substrate 공정을 활용할 수 있어 경제적입니다.
- 2. **대면적화 용이:** 실리콘 웨이퍼의 크기 제한을 벗어나 매우 큰 면적의 인터포저를 제작할 수 있어, 다수의 칩을 하나의 패키지에 통합하는 데 유리합니다.
- 3. **전기적 특성:** 유기 재료는 실리콘보다 유전율(Dielectric Constant)이 낮아, 고주파 신호 전송 시 신호 손실(Loss)을 줄이는 데 유리할 수 있습니다.

4.3 단점 및 한계

- 1. **미세 피치 구현의 한계:** 실리콘 대비 배선 밀도를 높이는 데 한계가 있어, 극도로 미세한 연결이 필요한 경우 기술적 난제가 발생합니다.
- 2. **열팽창 계수(CTE) 불일치:** 칩(Si)과 유기물 간의 CTE 차이로 인해 온도 변화 시 **Warpage(휨 현상)**가 발생할 위험이 크며, 이는 솔더 조인트(Solder Joint)의 신뢰성 저하로 이어질 수 있습니다.

5. 핵심 비교 요약 (Comparison Matrix)

비교 항목	실리콘 인터포저 (Si Interposer)	유기 인터포저 (Organic Interposer)
주요 소재	Silicon (Si)	Organic Polymer (Resin 등)
연결 기술	TSV (Through Silicon Via)	Micro-bump / Through-hole
배선 밀도	매우 높음 (Ultra-high)	중간 ~ 높음 (Medium to High)
열팽창 계수(CTE)	칩과 유사 (매우 안정적)	칩과 차이 발생 (Warpage 위험)
제조 비용	매우 높음	상대적으로 낮음

대면적화	어려움 (Wafer Size 제한)	매우 용이 (Large Area)
주요 응용처	HBM, AI 가속기, CoWoS	고성능 CPU/GPU, 서버용 패키지

6. 결론 및 향후 전망

현재 반도체 시장은 요구되는 성능과 경제성에 따라 두 기술을 병행하여 사용하고 있습니다.

- **High-End 시장:** HBM과 로직 다이를 초미세하게 연결해야 하는 AI 가속기 및 데이터 센터용 프로세서 영역에서는 **실리콘 인터포저** 기반의 CoWoS 기술이 주도권을 유지할 것입니다 [출처: <https://www.giikorea.co.kr/report/ires1577448-interposer-fan-out-wafer-level-packaging-market-by.html>].
- **Mainstream/Large-Scale 시장:** 더 큰 면적에 더 많은 칩을 배치하면서도 비용 효율성을 확보해야 하는 영역에서는 **유기 인터포저** 또는 **팬아웃(Fan-Out)** 기술의 발전이 가속화될 전망입니다 [출처: <https://www.wiseguyreports.com/ko/reports/3d-interposer-market>].

크레셈(CRESSEM)의 시사점:

당사의 검사장비 개발 측면에서는 실리콘 인터포저의 경우 TSV 내부 결함 및 미세 배선 검사에 집중해야 하며, 유기 인터포저의 경우 대면적 패키징 시 발생하는 Warpage(휨) 측정 및 솔더 조인트의 신뢰성 검사 기술 확보가 핵심 경쟁력이 될 것입니다.