

[기술 비교 보고서] 실리콘 인터포저(Silicon Interp

v1.0 | 2026-05-29 | Cressem 기술연구소

[기술 분석 보고서] 차세대 반도체 패키징 인터포저 기술 비교: Silicon vs Organic

작성일: 2024년 5월 23일

주제: 실리콘 인터포저와 유기 인터포저의 기술적 특성, 경제성 및 산업 트렌드 분석

대상: 반도체 패키징 설계 및 검사 엔지니어, 전략 기획 부서

1. 서론 (Introduction)

반도체 산업이 미세 공정(Scaling)의 물리적 한계에 직면함에 따라, 개별 칩의 성능 향상보다는 여러 개의 칩을 하나의 패키지 안에 효율적으로 통합하는 **첨단 패키징(Advanced Packaging)** 기술이 핵심 경쟁력으로 부상하였습니다. 특히 AI(인공지능), HPC(고성능 컴퓨팅), 데이터 센터용 프로세서에서는 로직 다이(Logic Die)와 HBM(High Bandwidth Memory) 사이의 초고속 데이터 전송을 지원하는 **인터포저(Interposer)**의 역할이 결정적입니다.

본 보고서에서는 현재 시장의 주류인 **실리콘 인터포저(Silicon Interposer)**와 차세대 대안으로 급부상 중인 **유기 인터포저(Organic Interposer)**를 구조, 성능, 비용, 신뢰성 관점에서 심층 비교 분석합니다.

2. 기술적 배경 및 인터포저의 역할

인터포저는 칩(Die)과 패키지 기판(Substrate) 사이에서 중간 매개체 역할을 수행합니다. 칩의 미세한 입출력 단자(I/O)를 패키지 기판의 상대적으로 큰 단자에 연결하기 위해 회로를 재배치(Redistribution)하는 기능을 수행하며, 이를 통해 데이터 전송 대역폭을 극대화합니다.

3. 상세 비교 분석 (Deep Dive Comparison)

3.1 실리콘 인터포저 (Silicon Interposer)

실리콘 인터포저는 기존 반도체 제조 공정(FEOL/BEOL)을 그대로 활용하여 실리콘 웨이퍼 위에 미세 회로를 형성하는 방식입니다.

- 핵심 기술: TSV (Through Silicon Via)

실리콘 웨이퍼에 수직 관통 전극(TSV)을 형성하여 상하 층간의 전기적 연결을 극대화합니다. 이는 매우 높은 I/O 밀도를 가능하게 하여 HBM과 로직 칩 간의 초고속 통신을 지원합니다. [일반 지식]

- 장점: 뛰어난 정밀도 및 열 안정성

칩과 동일한 재질인 실리콘을 사용하므로 **열팽창 계수(CTE, Coefficient of Thermal Expansion)**가 일치합니다.

이는 고온 동작 시 발생하는 열 변형(Warping)을 최소화하여 패키지의 신뢰성을 높입니다. [출처:

<https://www.thelec.kr/news/articleView.html?idxno=28606>]

- 단점: 높은 비용 및 크기 제한

웨이퍼 기반 공정 특성상 제조 단가가 매우 높으며, 웨이퍼 크기(예: 300mm)를 초과하는 대면적 인터포저 구현이 어렵습니다. 이는 대형 AI 가속기 설계 시 비용 상승의 주요 원인이 됩니다. [일반 지식]

3.2 오가닉 인터포저 (Organic Interposer)

오가닉 인터포저는 유기 절연물(ABF, PI 등)과 RDL(Redistribution Layer) 공정을 결합하여 구현하는 방식입니다.

- 핵심 기술: RDL (Redistribution Layer) 기반 패키징

실리콘 웨이퍼 대신 유기 소재 위에 구리(Cu) 배선을 직접 형성하여 칩을 연결합니다. [일반 지식]

- 장점: 비용 효율성 및 대면적화

기존 PCB/Substrate 제조 공정을 응용할 수 있어 실리콘 대비 생산 단가가 현저히 낮습니다. 또한, 웨이퍼 크기에 구애받지 않고 매우 큰 면적의 인터포저를 제작할 수 있어 대형 칩 통합에 유리합니다. [일반 지식]

- 단점: 열팽창 계수(CTE) 불일치 및 미세화 한계

실리콘 칩과 유기 소재 간의 CTE 차이로 인해 온도 변화 시 패키지가 휘어지는 워피지(Warpage) 현상이 발생할 위험이 큼니다. 또한, 실리콘 대비 배선 간격(Pitch)을 극도로 미세하게 가져가는 데 기술적 한계가 존재합니다. [일반 지식]

3.3 기술 비교 요약표

비교 항목	실리콘 인터포저 (Silicon)	오가닉 인터포저 (Organic)	비고
주요 소재	Silicon Wafer	Organic Material (ABF, PI 등)	-
연결 기술	TSV (Through Silicon Via)	RDL (Redistribution Layer)	-
배선 밀도	매우 높음 (Ultra-Fine Pitch)	보통 (Fine Pitch)	실리콘 우세
열팽창 계수(CTE) 매칭	매우 우수 (Chip과 동일)	낮음 (Chip과 차이 발생)	실리콘 우세
제조 비용	매우 높음	상대적으로 낮음	오가닉 우세
대면적 구현	어려움 (Wafer Size 제한)	매우 용이	오가닉 우세
주요 적용 분야	High-end AI, HBM 통합	Consumer, Mid-range Server	-

4. 산업 트렌드 및 차세대 기술 전망

4.1 하이브리드 및 단계적 접근

현재 시장은 성능이 최우선인 영역(AI 가속기 등)에는 실리콘 인터포저 기반의 CoWoS(Chip on Wafer on Substrate) 기술을 적용하고, 비용 효율성이 중요한 영역에는 오가닉 기반 기술을 적용하는 이원화 전략을 취하고 있습니다. 특히 실리콘 인터포저의 비용 문제를 해결하기 위해 로컬 실리콘 인터포저(Local Silicon Interposer)를 사용하는 하이브리드 방식이 연구되고 있습니다. [출처:

<https://www.thelec.kr/news/articleView.html?idxno=28606>]

4.2 글래스 인터포저 (Glass Interposer)의 부상

오가닉의 비용적 장점과 실리콘의 전기적/기계적 안정성을 동시에 확보하기 위한 대안으로 **글래스(Glass) 인터포저**가 주목받고 있습니다. 글래스는 표면이 매우 매끄러워 미세 회로 형성이 용이하고, 열팽창 계수 조절이 가능하며, 전기적 손실이 적다는 특징이 있습니다. 삼성전자를 비롯한 주요 반도체 기업들이 차세대 기술로 검토 중입니다. [출처: <https://www.freestrong.com/223761628096>]

5. 결론 및 제언 (Conclusion & Recommendations)

인터포저 기술의 선택은 '**성능(Performance) vs 비용(Cost)**'의 트레이드오프(Trade-off) 관계에 있습니다.

1. **초고성능 AI 반도체**: HBM과의 초고속 대역폭 확보를 위해 실리콘 인터포저 및 TSV 기술 도입이 필수적입니다.
2. **범용 고성능 반도체**: 대면적화와 원가 절감을 위해 오가닉 인터포저 및 RDL 기술의 고도화가 요구됩니다.
3. **검사 기술의 대응**: 인터포저가 미세화되고 적층 구조가 복잡해짐에 따라, **Warpage(휘어짐) 측정, 미세 배선 결함 검사(Micro-crack/Open/Short), TSV 내부 결함 검사**를 위한 고해상도 광학 검사(Optical Inspection) 및 AI 기반 머신 비전 솔루션의 중요성이 더욱 증대될 것입니다.

본 보고서의 분석 결과는 향후 크레셈(CRESSEM)의 검사 장비 개발 방향(미세 피치 대응 및 Warpage 제어 솔루션)을 설정하는 데 기초 자료로 활용될 수 있습니다.

[참고 문헌 및 출처]

- [일반 지식] 반도체 패키징 공정 및 인터포저 구조 원리
- [출처: <https://www.thelec.kr/news/articleView.html?idxno=28606>] 실리콘 인터포저 기술 및 비용 분석 관련 기사
- [출처: <https://www.freestrong.com/223761628096>] 차세대 글래스 인터포저 트렌드 관련 정보