

차세대 패키징 기술 비교 분석: Silicon vs Organi

문서번호 CRSM-AI-2026-AUTO

작성일 2026-05-29

작성 CresseM AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

차세대 패키징 기술 비교 분석: Silicon vs Organic Interposer	3
개요 및 기술적 배경	3
Silicon Interposer 기술 분석	3
Organic Interposer 기술 분석	4
핵심 기술 지표 비교 (Performance Metrics)	6
공정 및 제조 복잡도 비교	7
경제성 및 시장 적용 사례	8
결론 및 기술 로드맵 시사점	9

차세대 패키징 기술 비교 분석: Silicon vs Organic Interposer

HBM 및 2.5D/3D 패키징의 핵심 요소인 실리콘 인터포저와 유기물(Organic) 인터포저의 기술적 특성, 구조적 차이 및 경제성을 심층 비교합니다. 각 기술의 물리적 한계와 공정 난이도를 분석하여 차세대 반도체 제조를 위한 최적의 솔루션을 제안합니다.

개요 및 기술적 배경

반도체 산업이 미세 공정의 물리적 한계인 '무어의 법칙(Moore's Law)'의 종말에 직면함에 따라, 전공정(Front-end)에서의 회로 선폭 축소만으로는 성능 향상을 담보하기 어려운 시대에 진입하였다. 이에 따라 후공정(Back-end)의 영역이 단순히 칩을 보호하고 전기적으로 연결하는 수준을 넘어, 칩 간의 데이터 전송 효율을 극대화하고 시스템 전체의 성능을 결정짓는 핵심 경쟁력으로 부상하고 있다. 이러한 패러다임의 변화 속에서 가장 주목받는 분야가 바로 어드밴스드 패키징(Advanced Packaging) 기술이며, 그 중심에는 2.5D 및 3D 패키징 구조를 구현하기 위한 핵심 매개체인 '인터포저(Interposer)' 기술이 자리 잡고 있다.

인터포저는 서로 다른 칩(Die) 사이에서 전기적 신호를 전달하는 중간 기판 역할을 수행한다. 고성능 컴퓨팅(HPC), 인공지능(AI) 가속기, 그리고 고대역폭 메모리(HBM)의 수요가 폭증함에 따라, 프로세서(GPU/CPU)와 메모리 사이의 데이터 병목 현상을 해결하기 위한 초고속, 초미세 연결 기술이 필수적으로 요구되고 있다. 기존의 PCB(Printed Circuit Board) 기반 패키징은 배선 간격(Pitch)의 한계와 신호 손실 문제로 인해 초고성능 칩의 요구 사양을 충족하기 어렵다. 이를 극복하기 위해 도입된 2.5D 패키징 기술은 칩들을 수평적으로 배치하고, 그 아래에 미세한 배선이 형성된 인터포저를 배치하여 데이터 전송 경로를 획기적으로 단축한다.

인터포저 기술의 발전은 크게 재료와 공정 방식에 따라 실리콘(Silicon) 기반과 유기물(Organic) 기반으로 구분된다. 실리콘 인터포저는 반도체 웨이퍼 공정을 그대로 활용하여 극도로 미세한 피치(Fine Pitch)를 구현할 수 있다는 강점이 있으나, 제조 비용이 높고 웨이퍼 크기의 제약을 받는다는 기술적 과제를 안고 있다. 반면, 유기물 인터포저는 기존 기판 제조 공정을 활용하여 대면적화와 비용 절감이 용이하지만, 실리콘에 비해 미세 배선 구현 능력이 상대적으로 낮다는 특성을 가진다. 따라서 본 보고서에서는 AI 및 차세대 데이터센터 시장의 요구 사항에 대응하기 위해 두 기술의 물리적 특성, 전기적 성능, 그리고 경제적 타당성을 심도 있게 분석하고자 한다.

[출처: Yole Group]

Silicon Interposer 기술 분석

실리콘 인터포저(Silicon Interposer)는 고성능 컴퓨팅(HPC) 및 인공지능(AI) 가속기 시장의 급격한 성장에 따라 2.5D 패키징 솔루션의 핵심 요소로 자리 잡았다. 실리콘 인터포저는 기존의 PCB나 유기물 기반 기판이 제공할 수 없는 극도로 미세한 배선 밀도와 전기적 신뢰성을 제공하기 위해 개발되었으며, 그 중심에는 TSV(Through Silicon Via, 실리콘 관통 전극) 기술이 존재한다. 실리콘 인터포저는 실리콘 웨이퍼를 기반으로 하여 상부의 칩(Die)과 하부의 패키지 기판(Package Substrate) 사이를 연결하는 고밀도 전기적 통로 역할을 수행한다. 이는 단순히 신호를 전달하는 매개체를 넘어, 칩 간의 데이터 전송 대역폭을 극대화하고 신호 지연(Latency)을 최소화하는 초고속 인터커넥트 플랫폼으로서의 기능을 수행한다.

실리콘 인터포저 기술의 가장 핵심적인 구조적 특징은 TSV 기술을 통한 수직적 연결성이다. TSV는 실리콘 웨이퍼 자체에 미세한 구멍을 뚫고 그 내부를 구리(Cu)와 같은 도전성 물질로 채워, 웨이퍼의 상면과 하면을 직접 연결하는 기술이다. 이를 통해 기존의 Wire Bonding이나 Flip Chip 방식이 가졌던 물리적 거리의 한계를 극복하고, 신호 경로를 획기적으로 단축할 수 있다. TSV를 활용하면 수천 개에서 수만 개에 이르는 I/O(Input/Output) 단자를 매우

좁은 면적 내에 배치할 수 있으며, 이는 HBM(High Bandwidth Memory)과 같은 고대역폭 메모리를 로직 칩(GPU, ASIC 등) 옆에 근접 배치하여 초고속 데이터 버스를 형성하는 데 필수적이다. TSV의 직경은 공정 기술의 발전에 따라 수 마이크로미터(μm) 단위로 미세화되고 있으며, 이는 인터포저 내의 배선 밀도를 결정짓는 결정적인 요소가 된다.

또한, 실리콘 인터포저는 재료적 측면에서 매우 강력한 이점을 보유하고 있다. 바로 CTE(Coefficient of Thermal Expansion, 열팽창계수) 매칭(Matching) 능력이다. 반도체 칩(Die)의 주재료는 실리콘이며, 인터포저 역시 실리콘 웨이퍼를 기반으로 제작된다. 따라서 칩과 인터포저 사이의 열팽창계수가 거의 완벽하게 일치한다. 이는 패키징 공정 중 발생하는 고온의 열처리 과정이나, 실제 동작 환경에서 발생하는 급격한 온도 변화(Thermal Cycling) 상황에서 매우 중요한 역할을 한다. 만약 인터포저와 칩 사이의 CTE 차이가 크다면, 열팽창 정도의 차이로 인해 범프(Bump) 연결부에 물리적인 응력(Stress)이 가해져 크랙(Crack)이 발생하거나 연결이 끊어지는 피로 파괴 현상이 발생할 수 있다. 실리콘 인터포저는 이러한 열적 불일치 문제를 근본적으로 차단함으로써, 극한의 연산 환경에서도 높은 신뢰성을 보장한다.

전기적 특성 측면에서도 실리콘 인터포저는 타 기술 대비 우위를 점한다. 실리콘 웨이퍼 상에 구현되는 미세 배선(Fine Pitch RDL)은 매우 낮은 저항과 인덕턴스를 유지할 수 있도록 설계된다. 이는 고주파 신호 전송 시 발생하는 신호 왜곡(Signal Integrity)과 전력 손실을 최소화하는 데 기여한다. 특히, 실리콘 기판의 절연 특성을 제어하여 기생 커패시턴스(Parasitic Capacitance)를 낮춤으로써, 데이터 전송 속도를 비약적으로 높일 수 있다. 이러한 특성은 초미세 피치(Fine Pitch) 구현을 가능하게 하여, 칩 간의 거리를 좁히고 인터커넥트 밀도를 극대화하는 기반이 된다.

실리콘 인터포저의 기술적 구성을 요약하면 다음과 같다.

구성 요소	주요 역할 및 특징	기술적 핵심 요소
Silicon Substrate	물리적 지지 및 CTE 매칭 제공	웨이퍼 기반 재료의 열적 안정성
TSV (Through Silicon Via)	칩과 하부 기판 간의 수직 통로	고밀도 수직 연결 및 신호 경로 단축
Fine Pitch RDL	인터포저 내 수평 배선 형성	미세 회로 구현 및 고속 신호 전송
Micro Bumps	칩과 인터포저 간의 전기적 연결	초미세 피치 접합 기술

하지만 실리콘 인터포저 기술은 그 뛰어난 성능만큼이나 제조 공정의 난이도와 비용 측면에서 도전 과제를 안고 있다. TSV를 형성하기 위해서는 고도의 식각(Etching) 기술, 절연막 증착 기술, 그리고 구리 충전(Filling) 기술이 요구되며, 이 과정에서 결함(Void)이 발생할 경우 전체 수율에 치명적인 영향을 미친다. 또한, 실리콘 웨이퍼를 기반으로 하기 때문에 재료 단가가 높고, 웨이퍼 크기에 따른 생산량 제한이 존재한다. 특히 최근에는 칩의 크기가 커짐에 따라 Reticle Limit(노광 장비의 한 번에 찍을 수 있는 최대 면적) 문제를 해결하기 위해 여러 개의 실리콘 조각을 이어 붙이는 Chiplet 기술이나 Multi-die Interposer 기술이 병행되어 연구되고 있다. [출처: SemiWiki]

결론적으로 실리콘 인터포저는 높은 비용과 공정 복잡도에도 불구하고, 현시점에서 초고성능 AI 반도체와 고대역폭 메모리 시스템을 구현하기 위한 가장 확실하고 검증된 솔루션이다. TSV를 통한 극도의 미세 연결성과 실리콘 기반의 열적 안정성은 차세대 컴퓨팅 아키텍처가 요구하는 성능 지표를 충족하는 핵심 동력이다. 향후 공정 미세화와 수율 개선이 이루어짐에 따라, 실리콘 인터포저는 더욱 복잡한 이종 집적(Heterogeneous Integration) 환경에서 중추적인 역할을 지속할 것으로 전망된다.

Organic Interposer 기술 분석

Organic Interposer 기술은 실리콘 인터포저(Silicon Interposer)가 가진 높은 제조 비용과 물리적 한계를 극복하기 위해 등장한 대안적 패키징 솔루션이다. 이 기술은 전통적인 PCB(Printed Circuit Board) 제조 공정과 유사한 유기 재료(Organic Dielectric Materials)를 기반으로 하며, 주로 RDL(Redistribution Layer, 재배포선층) 공정을 통해 칩과 칩, 혹은 칩과 패키지 기판 사이의 전기적 연결을 형성한다. 실리콘 인터포저가 웨이퍼 레벨의 정밀 공정을 통해 극도로 미세한 피치(Pitch)를 구현하는 데 집중한다면, 오가닉 인터포저는 상대적으로 넓은 피치와 유연한 구조를 바탕으로 대면적화와 비용 효율성을 동시에 달성하는 것을 목표로 한다.

오가닉 인터포저의 핵심은 유기 절연체 층 사이에 구리(Cu)를 이용한 RDL을 형성하여 신호 경로를 재배포하는 구조에 있다. 이 과정에서 사용되는 에폭시 수지(Epoxy Resin) 기반의 유기물은 실리콘 웨이퍼에 비해 열팽창계수(CTE)가 높다는 특징이 있으나, 최근에는 실리콘 칩과의 열적 정합성을 맞추기 위해 CTE를 조절한 특수 고분자 소재 개발이 활발히 진행되고 있다. 오가닉 인터포저는 실리콘 인터포저와 달리 TSV(Through Silicon Via) 대신 Through Organic Via(TOV) 또는 Through Substrate Via(TSV의 오가닉 버전)를 사용하여 수직 연결을 구현한다. 이는 실리콘 웨이퍼를 깎아내고 구리를 채우는 고난도의 TSV 공정보다 공정 단계가 단순하며, 대형 기판(Large-scale Substrate) 제작이 용이하다는 강력한 장점을 가진다.

재료적 관점에서 오가닉 인터포저는 유기 절연층의 두께와 유전율(Dielectric Constant)에 따라 전기적 성능이 결정된다. 실리콘 인터포저가 반도체 공정(FEOL/BEOL)을 그대로 차용하여 극도로 낮은 기생 커패시턴스(Parasitic Capacitance)를 구현하는 반면, 오가닉 인터포저는 유전체 층이 상대적으로 두껍기 때문에 신호 손실(Signal Loss)과 크로스토크(Crosstalk) 제어가 기술적 난제로 꼽힌다. 이를 해결하기 위해 저유전율(Low-k) 소재를 적용하거나, RDL의 패턴 설계를 최적화하여 신호 무결성(Signal Integrity)을 확보하는 연구가 핵심적인 기술적 축을 담당하고 있다. 특히 고주파 대역(High-frequency)을 사용하는 AI 가속기나 데이터 센터용 프로세서에 적용하기 위해서는 고주파 환경에서도 안정적인 전기적 특성을 유지할 수 있는 고성능 유기 소재의 확보가 필수적이다.

비용 효율성 측면에서 오가닉 인터포저는 압도적인 우위를 점한다. 실리콘 인터포저는 고가의 12인치 실리콘 웨이퍼를 베이스로 사용하며, 웨이퍼 크기에 따라 칩의 크기가 제한되는 'Reticle Limit' 문제에 직면한다. 반면 오가닉 인터포저는 서브스트레이트(Substrate) 공정을 기반으로 하므로, 웨이퍼 단위가 아닌 패널(Panel) 단위 혹은 대형 기판 단위의 제조가 가능하여 대면적 패키징에 매우 유리하다. 이는 다수의 칩을 하나의 패키지 안에 배치하는 Chiplet(칩렛) 구조가 확산됨에 따라, 인터포저의 면적이 커져야 하는 시장 상황과 맞물려 경제적 타당성을 극대화한다.

구분	Silicon Interposer	Organic Interposer
주요 재료	Monocrystalline Silicon	Organic Dielectric (Epoxy, ABF 등)
연결 방식	TSV (Through Silicon Via)	RDL, TOV (Through Organic Via)
피치 밀도	초미세 피치 구현 가능 (High Density)	상대적으로 높은 피치 (Medium Density)
최대 면적	Reticle Limit에 의한 제약 존재	대면적 구현 용이 (Large Area)
제조 비용	매우 높음 (Wafer-based)	상대적으로 낮음 (Substrate-based)
열팽창계수(CTE)	칩(Si)과 매우 유사함	칩보다 높음 (Mismatch 관리 필요)
주요 타겟	HBM, 초고성능 AI 가속기	고성능 컴퓨팅(HPC), 소비자용 고성능 SoC

오가닉 인터포저의 기술적 진화는 단순히 저가형 솔루션에 머물지 않고, 'Advanced Organic Substrate'로 진화하고 있다. 기존의 단순한 기판 역할을 넘어, 미세한 RDL 공정을 여러 층(Multi-layer)으로 쌓아 올려 실리콘 인터포저의 성능에 근접하려는 시도가 이어지고 있다. 예를 들어, ABF(Ajinomoto Build-up Film)와 같은 고성능 절연 필름을 활용하여 층간 간격을 줄이고 배선 밀도를 높임으로써, 실리콘 인터포저가 담당하던 영역을 점진적으로 대체하거나 혹은 하이브리드 형태로 혼용하는 전략이 논의되고 있다. 이는 제조 원가를 낮추면서도 성능 저하를 최소화해야 하는 시스템 반도체 기업들에게 매우 매력적인 기술적 경로를 제공한다.

결론적으로 오가닉 인터포저는 RDL 기술의 고도화와 신소재 도입을 통해 실리콘 인터포저와의 성능 격차를 좁히고 있다. 특히 칩렛(Chiplet) 기술의 보편화로 인해 인터포저의 물리적 크기가 커져야 하는 트렌드 속에서, 대면적 제조가 가능하고 비용 효율적인 오가닉 인터포저의 역할은 더욱 확대될 전망이다. 다만, 실리콘 인터포저가 제공하는 극도의 미세 피치와 열적 안정성을 어떻게 추격할 것인가가 향후 오가닉 인터포저 기술의 성패를 가르는 핵심 지표가 될 것이다. [출처: Yole Group]

핵심 기술 지표 비교 (Performance Metrics)

차세대 패키징 솔루션의 선택을 결정짓는 가장 핵심적인 요소는 인터포저가 제공하는 전기적 신호의 무결성(Signal Integrity), 열 방출 성능(Thermal Management), 그리고 연결 밀도(Interconnect Density)의 균형이다. 실리콘 인터포저(Silicon Interposer)와 유기물 인터포저(Organic Interposer)는 각각 반도체 공정 기술과 인쇄 회로 기판(PCB) 기술에 뿌리를 두고 있어, 물리적 특성과 전기적 거동 측면에서 극명한 차이를 보인다. 본 섹션에서는 고성능 컴퓨팅(HPC) 및 AI 가속기 시장의 요구사항을 기준으로 두 기술의 핵심 성능 지표를 심층 비교 분석한다.

먼저 전기적 특성 측면에서 신호 무결성(Signal Integrity)을 살펴보면, 실리콘 인터포저는 미세한 회로 패턴을 구현할 수 있는 노광 공정(Photolithography)을 기반으로 하기 때문에 매우 낮은 임피던스와 정밀한 임피던스 매칭이 가능하다. 이는 고주파(High-frequency) 신호 전송 시 발생하는 신호 왜곡과 손실을 최소화하며, 데이터 전송 속도가 기하급수적으로 증가하는 HBM(High Bandwidth Memory)과 GPU 간의 초고속 데이터 통신을 지원하는 데 최적화되어 있다. 반면, 유기물 인터포저는 재료 자체의 유전율(Dielectric Constant)과 유전 손실(Dielectric Loss)이 실리콘 기반의 미세 공정보다 상대적으로 높게 나타나는 경향이 있다. 유기물 재료는 고주파 대역에서 신호 감쇄(Attenuation)가 발생할 가능성이 높으며, 이는 신호의 위상 왜곡이나 지터(Jitter) 문제로 이어질 수 있다. 따라서 유기물 기반 솔루션은 초고속 신호 전송보다는 전력 효율과 비용 절감이 중요한 중급 성능의 애플리케이션에 더 적합한 특성을 보인다.

열 관리(Thermal Management) 측면은 두 기술의 물리적 상충 관계(Trade-off)가 가장 뚜렷하게 나타나는 영역이다. 실리콘 인터포저는 칩(Die)과 동일한 재료인 실리콘을 사용하므로 열팽창계수(CTE, Coefficient of Thermal Expansion)가 매우 유사하다. 이는 온도 변화에 따른 칩과 인터포저 사이의 물리적 스트레스를 최소화하여 신뢰성을 높이는 데 기여한다. 또한, 실리콘은 열전도율이 상대적으로 우수하여 칩에서 발생하는 열을 기판으로 전달하는 통로 역할을 효과적으로 수행할 수 있다. 하지만 실리콘 인터포저 내부에 배치된 수많은 TSV(Through Silicon Via) 구조는 열 흐름의 경로를 복잡하게 만들 수 있으며, 열 밀도가 극도로 높은 AI 가속기 환경에서는 실리콘 자체의 열 축적 문제가 발생할 수 있다. 유기물 인터포저는 실리콘에 비해 열전도율이 현저히 낮다는 치명적인 단점이 있다. 유기 재료는 열 절연체에 가까운 특성을 가지므로, 칩에서 발생한 열이 인터포저를 통해 효율적으로 방출되지 못하고 칩 내부에 갇히는 열 정체(Thermal Throttling) 현상을 유발할 위험이 크다. 이를 극복하기 위해 최근에는 유기물 인터포저 내부에 열 전도성이 높은 필러(Filler)를 첨가하거나, 별도의 히트싱크(Heatsink) 설계를 강화하는 기술이 연구되고 있다.

연결 밀도(Pitch Density) 측면에서는 실리콘 인터포저가 압도적인 우위를 점하고 있다. 실리콘 인터포저는 반도체 웨이퍼 제조 공정을 그대로 활용하므로, 수 마이크로미터(μm) 단위의 미세 피치(Fine Pitch) 구현이 가능하다. 이는 수천 개의 I/O(Input/Output)를 초소형 면적 내에 배치해야 하는 고성능 메모리 인터페이스에서 필수적인 요소이다.

반면, 유기물 인터포저는 RDL(Redistribution Layer) 공정을 통해 미세화를 시도하고 있으나, 재료의 기계적 강도와 공정 한계로 인해 실리콘 수준의 초미세 피치를 구현하는 데는 물리적 제약이 따른다. 일반적으로 실리콘 인터포저가 10~40 m 수준의 피치를 구현할 수 있다면, 유기물 인터포저는 40~100 m 이상의 피치를 가지는 것이 일반적이다. 이러한 피치 차이는 곧 단위 면적당 데이터 전송 대역폭(Bandwidth Density)의 차이로 직결된다. 이러한 성능 지표를 종합하여 비교하면 아래의 표와 같다.

성능 지표 (Metric)	실리콘 인터포저 (Silicon Interposer)	유기물 인터포저 (Organic Interposer)	비고 (Remarks)
신호 무결성 (SI)	매우 우수 (Low Loss, High Speed)	보통 (High-frequency Loss 가능성)	실리콘은 고주파 특성 우수
열 관리 (Thermal)	우수 (CTE Match, High Conductivity)	낮음 (Low Conductivity, CTE Mismatch)	유기물은 열 방출 설계 필수
연결 밀도 (Pitch)	매우 높음 (Sub-10 m ~ 40 m)	보통 (40 m ~ 100 m 이상)	실리콘이 대역폭 확보에 유리
열팽창계수 (CTE)	칩과 유사 (약 2.6 ppm/°C)	칩과 차이 큼 (약 12~17 ppm/°C)	유기물은 Warpage 위험 존재
제조 비용 (Cost)	높음 (Wafer-based, TSV 공정)	낮음 (Substrate-based, RDL 공정)	유기물은 대량 생산 경제성 우수

결론적으로, 실리콘 인터포저는 극도의 성능이 요구되는 HBM, AI 가속기, 하이엔드 서버용 프로세서 시장의 핵심 기술로 자리 잡고 있으며, 유기물 인터포저는 성능과 비용 사이의 균형이 필요한 모바일 AP, 소비자 가전, 중급형 컴퓨팅 모듈 시장에서 점유율을 확대하고 있다. 향후 기술 발전 방향은 실리콘의 미세 피치 장점과 유기물의 비용/열 관리 장점을 결합하거나, 실리콘의 한계를 넘어서는 Hybrid Bonding 기술을 통해 성능의 임계치를 돌파하는 방향으로 전개될 것이다. [출처: Semiconductor Engineering]

인터포저 기술별 핵심 성능 지표 비교 아키텍처



공정 및 제조 복잡도 비교

실리콘 인터포저(Silicon Interposer)와 유기물 인터포저(Organic Interposer)는 제조의 근간이 되는 기판의 물리적 성질이 근본적으로 다르기 때문에, 공정 프로세스의 설계 방식과 제조 복잡도 측면에서 극명한 차이를 보인다. 실리콘 인터포저는 기본적으로 반도체 전공정(Front-end) 기술을 기반으로 한 웨이퍼 레벨(Wafer-level) 공정을 따르는 반면, 유기물 인터포저는 전통적인 PCB 및 패키지 기판 제조 방식인 기판 레벨(Substrate-level) 공정을 기반으로

한다. 이러한 공정 경로의 차이는 제조 난이도, 설비 투자 규모(CAPEX), 그리고 최종 수율(Yield) 확보 전략에 결정적인 영향을 미친다.

실리콘 인터포저의 제조 공정은 고도의 정밀도를 요구하는 웨이퍼 기반 공정의 복잡성을 그대로 계승한다. 가장 핵심적인 난제는 TSV(Through Silicon Via) 형성 공정이다. 실리콘 웨이퍼 내부에 수천 개에서 수만 개의 미세 구멍을 식각(Etching)하고, 이를 절연막으로 보호한 뒤 구리(Cu)로 채우는 과정은 극도로 미세한 제어가 필요하다. 특히 TSV 형성 후 웨이퍼를 얇게 깎아내는 웨이퍼 박화(Wafer Thinning) 공정에서 발생하는 웨이퍼의 휨(Warping) 현상과 물리적 손상은 수율을 저하시키는 주요 원인이다. 또한, 실리콘 웨이퍼 상에 미세한 RDL(Redistribution Layer)을 형성하기 위해서는 포토레지스트 도포, 노광, 식각, 증착(Deposition)으로 이어지는 반복적인 반도체 전공정 라인이 필수적이다. 이러한 공정 특성상 제조 복잡도가 매우 높으며, 미세 피치(Fine Pitch)를 구현할수록 공정 스텝 수가 기하급수적으로 증가하여 제조 비용을 상승시키는 구조를 가진다.

반면, 유기물 인터포저는 유기 수지(Organic Resin)와 유리 섬유(Glass Fiber) 등을 적층하여 만드는 기판 레벨 공정을 사용한다. 이는 실리콘 기반 공정에 비해 상대적으로 거시적인(Macro) 공정 제어를 바탕으로 하므로 제조 복잡도 측면에서는 유리하다. 유기물 인터포저는 주로 ABF(Ajinomoto Build-up Film)와 같은 절연 재료를 층층이 쌓아 올리는 빌드업(Build-up) 방식을 채택하는데, 이는 실리콘의 TSV 방식보다 훨씬 넓은 면적을 다루기에 용이하며, 대면적 기판 제작 시에도 웨이퍼 크기의 제한을 받지 않는다는 장점이 있다. 하지만 유기물 소재 특유의 열팽창계수(CTE) 불일치로 인한 층간 박리(Delamination)나 휨(Warping) 제어는 유기물 인터포저 제조의 핵심적인 기술적 난제이다. 미세한 회로 패턴을 구현하기 위해 RDL 공정을 고도화할수록 유기물 층의 두께 제어와 평탄도(Flatness) 유지가 매우 어려워지며, 이는 곧 수율 저하로 직결된다.

두 기술의 제조 공정 특성을 주요 지표별로 비교하면 다음과 같다.

비교 항목	Silicon Interposer (Wafer-level)	Organic Interposer (Substrate-level)
주요 공정 기반	Semiconductor Front-end (TSV, Lithography)	PCB/Substrate Build-up (ABF, Lamination)
제조 복잡도	매우 높음 (미세 패턴 및 TSV 제어 필수)	중간 (대면적 및 적층 제어 중심)
수율(Yield) 결정 요인	TSV 결함, Wafer Thinning 시 파손, DFM	CTE 불일치에 의한 Warpage, 층간 박리
설비 요구 사항	고정밀 노광기(Stepper), 식각 장비, CMP	Lamination 장비, Drilling 장비, Plating 장비
확장성 (Scalability)	웨이퍼 크기(300mm)에 국한됨	대면적 기판 제작에 매우 유리함
미세 피치 구현	매우 용이 (Sub-micron 단위 가능)	상대적으로 어려움 (RDL 고도화 필요)

결과적으로, 실리콘 인터포저는 극도의 미세 연결성을 확보하기 위해 반도체 공정의 복잡성을 감내하는 구조이며, 이는 높은 단가와 낮은 초기 수율을 수반한다. 반면 유기물 인터포저는 공정의 단순화와 대면적화를 통해 비용 효율성을 극대화하는 방향으로 설계되어 있다. 최근에는 실리콘의 미세 피치 장점과 유기물의 경제성을 결합하기 위해, 유기물 기판 위에 미세 RDL을 구현하는 기술이나 실리콘 칩을 유기물 기판에 직접 실장하는 하이브리드 방식의 제조 공정 연구가 활발히 진행되고 있다 [출처: Yole Group]. 이러한 공정 복잡도의 차이는 결국 최종 제품의 타겟 성능(Performance Tier)과 시장의 가격 민감도에 따라 기술 선택을 가르는 결정적인 척도가 된다.

경제성 및 시장 적용 사례

인터포저 기술의 선택은 단순히 기술적 성능(Performance)의 우열을 가리는 문제를 넘어, 최종 제품의 타겟 시장, 목표 성능 구간, 그리고 제조 원가(Cost) 사이의 정밀한 트레이드오프(Trade-off)를 결정하는 핵심적인 경영 의사결정 요소이다. 실리콘 인터포저(Silicon Interposer)는 초고성능 컴퓨팅(HPC)과 고대역폭 메모리(HBM) 결합을 위한 필수 기술로 자리 잡았으나, 높은 제조 비용과 공정 난이도로 인해 적용 범위가 제한적이다. 반면, 유기물 인터포저(Organic Interposer)는 상대적으로 저렴한 기판 공정을 활용하여 비용 효율성을 극대화할 수 있어, 데이터센터의 범용 가속기부터 소비자용 고성능 컴퓨팅 기기까지 그 적용 범위를 공격적으로 확장하고 있다.

현재 시장의 가장 강력한 수요처인 HBM(High Bandwidth Memory) 생태계에서는 실리콘 인터포저가 지배적인 위치를 점하고 있다. HBM은 수천 개의 미세한 범프(Bump)를 통해 로직 다이와 메모리 다이를 연결해야 하며, 이를 위해서는 실리콘 기반의 TSV(Through Silicon Via) 기술이 제공하는 극도로 낮은 피치(Pitch)와 높은 신호 무결성(Signal Integrity)이 필수적이다. AI 가속기 시장에서 엔비디아(NVIDIA)의 H100이나 B200과 같은 플래그십 제품군은 연산 능력 극대화를 위해 실리콘 인터포저를 기반으로 한 2.5D 패키징(CoWoS 등)을 채택하고 있다. 이 경우, 단위 면적당 발생하는 높은 공정 비용은 제품의 높은 ASP(Average Selling Price)를 통해 상쇄되는 구조를 가진다. 즉, 성능이 비용을 견인하는 'Performance-driven' 시장이다.

반면, AI 가속기 시장 내에서도 성능 요구치와 경제적 타겟이 분리되는 양상이 나타나고 있다. 추론(Inference) 전용 가속기나 엣지(Edge) AI 디바이스의 경우, 훈련(Training)용 가속기에 비해 요구되는 대역폭과 전력 소모 기준이 상대적으로 낮다. 이러한 애플리케이션에서는 실리콘 인터포저 대신 RDL(Redistribution Layer) 공정을 강화한 유기물 인터포저나 고성능 패키지 기판(FC-BGA)을 활용하는 것이 ROI(투자 대비 수익률) 측면에서 훨씬 유리하다. 유기물 기반 기술은 웨이퍼 레벨이 아닌 패널 또는 대면적 기판 레벨에서 제조되므로, 실리콘 대비 웨이퍼 크기 제약에서 자유롭고 단위당 생산 단가를 획기적으로 낮출 수 있기 때문이다.

다음은 주요 애플리케이션별 기술 적용 및 경제성 비교 분석 결과이다.

구분	HBM 기반 초고성능 AI 가속기	범용 AI 추론 및 데이터센터 가속기	엣지 AI 및 소비자용 고성능 AP
주요 타겟	LLM 학습(Training), HPC	추론(Inference), 클라우드 서버	모바일, 오토모티브, IoT
핵심 요구사항	극대화된 대역폭, 미세 피치 연결	전력 효율, 비용 최적화, 확장성	소형화, 저비용, 대량 생산
권장 인터포저	Silicon Interposer	Organic Interposer / Bridge	Organic Substrate (RDL)
경제성(ROI)	낮음 (고비용/고성능 중심)	높음 (비용-성능 균형)	매우 높음 (규모의 경제 중심)
기술적 병목	TSV 공정 수율 및 웨이퍼 크기	미세 피치 구현 및 열 팽창(CTE)	적층 높이 및 신호 간섭

결론적으로, 시장은 단일 기술로 통합되기보다는 용도에 따른 이원화(Bifurcation)가 가속화될 전망이다. 최상위 성능을 지향하는 'Tier-1' 시장에서는 실리콘 인터포저와 차세대 하이브리드 본딩(Hybrid Bonding) 기술이 고부가가치를 창출하며 시장을 리드할 것이며, 'Tier-2' 이하의 범용 시장에서는 유기물 인터포저의 미세 공정 기술(Fine-pitch RDL) 발전이 시장 점유율을 확대하는 핵심 동력이 될 것이다. 기업의 전략적 관점에서는 자사의 제품 로드맵이 '절대 성능'에 있는지, 아니면 '단위 성능당 비용(Cost per Performance)'에 있는지에 따라 인터포저 솔루션을 차별화하여 채택해야 한다 [출처: Yole Group].

결론 및 기술 로드맵 시사점

차세대 패키징 시장은 단순히 칩을 보호하고 연결하는 단계를 넘어, 시스템의 전체 성능(System Performance)을 결정짓는 핵심 요소로 자리 잡았다. 본 보고서에서 분석한 실리콘 인터포저(Silicon Interposer)와 유기물 인터포저(Organic Interposer)는 각각 고성능 컴퓨팅(HPC)과 비용 효율적 범용 애플리케이션이라는 명확한 지향점을 가지고 발전해 왔다. 실리콘 인터포저는 TSV(Through Silicon Via) 기술을 바탕으로 극도의 미세 피치(Fine Pitch)와 높은 전기적 신뢰성을 제공하며 AI 가속기 및 HBM(High Bandwidth Memory) 시장의 중추적 역할을 수행하고 있다. 반면, 유기물 인터포저는 RDL(Redistribution Layer) 공정의 고도화를 통해 실리콘 대비 낮은 제조 비용과 유연한 설계 자유도를 확보하며 데이터센터 및 고성능 소비자용 반도체 영역으로 그 범위를 넓히고 있다.

향후 기술 로드맵의 핵심은 '연결 밀도의 한계 돌파'와 '열 관리 최적화'라는 두 가지 과제를 해결하기 위한 하이브리드 기술의 통합에 있다. 특히 기존의 범프(Bump) 기반 연결 방식이 가진 물리적 크기와 전기적 저항의 한계를 극복하기 위해, 구리(Cu)와 구리를 직접 접합하는 하이브리드 본딩(Hybrid Bonding) 기술이 차세대 표준으로 급부상하고 있다. 하이브리드 본딩은 범프를 제거함으로써 인터포저와 칩 사이의 간극을 최소화하고, 이를 통해 I/O 밀도를 수십 배 이상 높임과 동시에 데이터 전송 속도를 획기적으로 개선할 수 있는 기술이다. 이는 실리콘 인터포저의 초미세 공정 능력과 유기물 기반의 대면적 패키징 기술이 결합되는 지점에서 새로운 기술적 돌파구를 마련할 것으로 전망된다.

결론적으로, 향후 패키징 기술의 향방은 단일 소재의 우위를 가리는 것이 아니라, 애플리케이션의 요구 사양에 따라 실리콘 기반의 초고성능 솔루션과 유기물 기반의 고효율 솔루션을 어떻게 전략적으로 혼용(Mix-and-Match)하느냐에 달려 있다. 단기적으로는 2.5D 및 3D 패키징의 수율 향상을 위한 공정 안정화가 우선시될 것이며, 장기적으로는 하이브리드 본딩을 포함한 'Bump-less' 연결 기술이 상용화되면서 반도체 제조의 패러다임은 웨이퍼 레벨의 정밀도와 기판 레벨의 경제성을 동시에 달성하는 방향으로 진화할 것이다. 기업들은 이러한 기술적 전환기에 대응하기 위해 소재 혁신, 신규 본딩 장비 확보, 그리고 이종 집적(Heterogeneous Integration) 설계 역량 강화에 집중해야 한다. [출처: Yole Group]