실리콘 인터포저(Si Interposer) 및 유기 인터포저(O

v1.0 | 2026-05-28 | Cressem 기술연구소

© 2026 Cressem Inc.

[기술 분석 보고서] 차세대 패키징을 위한 인터포저 기술 비교: Silicon vs. Organic

1. 개요 (Executive Summary)

반도체 미세 공정의 한계를 극복하기 위해 칩과 칩 사이의 연결 밀도를 높이는 **Advanced Packaging(첨단 패키징)** 기술이 핵심 경쟁력으로 부상하고 있습니다. 특히 HBM(High Bandwidth Memory)과 고성능 컴퓨팅(HPC)용 GPU의 성능을 극대화하기 위해 두 개의 다이(Die)를 연결하는 **인터포저(Interposer)** 기술이 필수적입니다.

본 보고서는 현재 업계 표준인 **실리콘 인터포저(Silicon Interposer)**와 차세대 대안으로 주목받는 **올가닉 인터포저(Organic Interposer)**의 구조, 물리적 특성, 공정 방식 및 장단점을 심층 비교 분석합니다.

---

2. 실리콘 인터포저 (Silicon Interposer)

2.1 정의 및 구조

실리콘 인터포저는 반도체 웨이퍼 제조 공정(FEOL/BEOL)을 그대로 활용하여 제작된 인터포저입니다. TSV(Through Silicon Via, 실리콘 관통 전극) 기술을 통해 상단의 칩과 하단의 패키지 기판 사이를 수직으로 연결합니다. 주로 **CoWoS(Chip on Wafer on Substrate)** 공정의 핵심 요소로 사용됩니다.

2.2 주요 특징 및 기술적 메커니즘

- **TSV(Through Silicon Via) 활용:** 수 마이크로미터($₩mu m$) 단위의 미세한 구멍을 뚫어 전기적 신호를 전달하므로, 매우 높은 입출력(I/O) 밀도를 구현할 수 있습니다.
- **Fine Pitch 구현:** 실리콘 공정의 미세 패턴 기술을 그대로 사용하므로, Bump Pitch를 $40₩mu m$ 이하로 낮추는 것이 가능합니다.
- **CTE(Coefficient of Thermal Expansion) 정합성:** 칩(Silicon)과 인터포저(Silicon)의 열팽창 계수가 동일하여, 온도 변화에 따른 열 변형 및 휨(Warpage) 문제가 매우 적습니다.

2.3 장단점 분석

구분	장점 (Pros)	단점 (Cons)
성능	초미세 피치(Fine Pitch) 구현 가능, 신호 무결성(Signal Integrity) 우수	-
신뢰성	칩과 동일한 CTE로 열적 안정성 매우 높음	-
비용/수율	-	고가의 웨이퍼 사용, TSV 공정의 복잡성으로 인한 높은 제조 원가
크기	-	Reticle Limit(노광 한계)로 인해 대면적화(Large Size)에 제약 존재

© 2026 Cressem Inc.

---

3. 올가닉 인터포저 (Organic Interposer)

3.1 정의 및 구조

올가닉 인터포저는 실리콘 대신 유기 절연물(ABF: Ajinomoto Build-up Film 등)과 구리(Cu) 배선을 사용하여 제작되는 인터포저입니다. 기존 PCB(Printed Circuit Board) 제조 기술을 고도화한 형태로, 최근 **2.5D/3D 패키징**에서 비용 절감과 대면적화를 위해 급격히 연구되고 있습니다.

3.2 주요 특징 및 기술적 메커니즘

- **Build-up 공정:** 유기 절연층을 쌓고 그 위에 회로를 형성하는 적층 방식을 사용합니다.
- **RDL(Redistribution Layer, 재배선층) 기술:** 실리콘의 TSV 대신, 유기물 층 위에 미세한 RDL을 형성하여 신호를 재배치합니다.
- **Large Area 구현:** 웨이퍼 단위가 아닌 패널(Panel) 단위 공정이 가능하여, 대형 인터포저 제작에 유리합니다.

3.3 장단점 분석

구분	장점 (Pros)	단점 (Cons)
비용	실리콘 대비 재료비 및 공정 비용이 현저히 낮음	-
크기	Reticle Limit에서 자유로워 대면적(Large Die) 구현 용이	-
성능	-	실리콘 대비 낮은 배선 밀도(Pitch 한계), 신호 손실 가능성
신뢰성	-	칩(Si)과 유기물 간 CTE 차이로 인한 Warpage(휨) 및 Crack 위험

---

4. 핵심 기술 비교 요약 (Comparative Analysis)

두 기술의 결정적인 차이는 **'미세도(Density)'**와 **'경제성(Cost)'**의 트레이드오프(Trade-off)에 있습니다.

비교 항목	실리콘 인터포저 (Silicon)	올가닉 인터포저 (Organic)
주요 소재	Monocrystalline Silicon	Organic Dielectric (ABF, PI 등)
연결 기술	TSV (Through Silicon Via)	RDL (Redistribution Layer)
최소 피치 (Pitch)	매우 미세 ($< 10₩mu m$ 가능)	상대적 높음 ($> 20₩sim40₩mu m$)
열팽창 계수 (CTE)	$₩approx 2.6 ₩text{ ppm/}^₩circ₩text{C}$ (칩과 일치)	$₩approx 12₩sim17 ₩text{ ppm/}^₩circ₩text{C}$ (칩과 불일치)

© 2026 Cressem Inc.

제조 공정	Front-end 반도체 공정 기반	Back-end/PCB 공정 기반
적용 타겟	HBM3/4, 초고성능 AI 가속기	중고성능 서버, 모바일 AP, 대면적 패키지

---

5. 결론 및 향후 전망

5.1 기술적 과제

1. **실리콘 인터포저:** 제조 원가 절감과 Reticle Limit을 극복하기 위한 **Stitching 기술**(여러 개의 노광 영역을 이어 붙이는 기술)의 고도화가 필요합니다.

2. **올가닉 인터포저:** 실리콘 수준의 미세 피치를 구현하기 위한 **Ultra-fine RDL 공정** 확보와, CTE 차이로 인한 **Warpage 제어 기술**이 상용화의 핵심입니다.

5.2 종합 전망

현재 AI 반도체 시장의 폭발적인 수요로 인해, 극강의 성능이 요구되는 영역(HBM-GPU 결합 등)에서는 **실리콘 인터포저 기반의 CoWoS 기술**이 지배적일 것입니다. 그러나 반도체 성능의 상향 평준화와 비용 효율성이 중요해지는 시점에는, 대면적화와 저비용 구현이 가능한 **올가닉 인터포저(또는 Glass Interposer 등 차세대 소재)**가 시장의 상당 부분을 점유할 것으로 예측됩니다.

크레셈(CRESSEM)은 이러한 인터포저의 미세 배선 및 TSV/RDL 구조 내 결함을 검출하기 위한 **고해상도 광학 검사 솔루션** 및 **AI 기반 비전 알고리즘**을 통해 차세대 패키징 공정의 수율 확보에 기여할 것입니다.

본 보고서는 일반적인 반도체 패키징 기술 지식을 바탕으로 작성되었으며, 특정 고객사의 공정 사양과는 차이가 있을 수 있습니다.

© 2026 Cressem Inc.