

# [기술 분석 보고서] 2.5D 패키징 핵심 기술 비교: TSMC

v1.0 | 2026-05-28 | Cressem 기술연구소

# [기술 분석 보고서] 2.5D 패키징 핵심 기술 비교: TSMC CoWoS vs Intel EMIB

## 1. 개요 (Executive Summary)

반도체 미세 공정의 한계로 인해 단일 칩(Monolithic Die)의 성능 향상이 어려워짐에 따라, 서로 다른 기능의 다이(Die)를 하나의 패키지 내에 통합하는 2.5D 패키징(2.5D Packaging) 기술이 핵심 경쟁력으로 부상하였습니다. 현재 시장을 주도하고 있는 두 가지 핵심 기술은 TSMC의 CoWoS(Coated Wafer on Silicon Interposer)와 Intel의 EMIB(Embedded Multi-die Interconnect Bridge)입니다.

본 보고서는 두 기술의 구조적 차이점, 작동 원리, 그리고 경제적/기술적 측면에서의 장단점을 심층 분석하여 향후 차세대 패키징 공정의 방향성을 제시합니다.

---

## 2. 기술별 구조 및 작동 원리 분석

### 2.1 TSMC: CoWoS (Coated Wafer on Silicon Interposer)

CoWoS는 가장 전형적인 2.5D 패키징 방식으로, 실리콘 인터포저(Silicon Interposer)라는 거대한 중간 기판을 사용하여 다이들을 연결합니다.

#### • 구조적 특징:

• **Silicon Interposer:** 로직 다이(Logic Die)와 HBM(High Bandwidth Memory) 등을 배치하기 위한 대면적 실리콘 기판을 사용합니다.

• **TSV (Through Silicon Via):** 실리콘 인터포저의 상단과 하단을 수직으로 관통하는 미세 전극인 TSV를 통해 신호를 전달합니다 [출처: <https://research4lab.tistory.com/entry/Report-TSMC-CoWoS-vs-Intel-EMIB-%EA%B8%B0%ED%8C%90-%ED%8C%A8%ED%82%A4%EC%A7%95-%EA%B8%B0%EC%88%A0-%EB%B9%84%EA%B5%90-%EB%B6%84%EC%84%9D>].

• **배치 방식:** 모든 다이를 하나의 대형 인터포저 위에 배치하는 구조입니다 [출처: <https://research4lab.tistory.com/entry/Report-TSMC-CoWoS-vs-Intel-EMIB-%EA%B8%B0%ED%8C%90-%ED%8C%A8%ED%82%A4%EC%A7%95-%EA%B8%B0%EC%88%A0-%EB%B9%84%EA%B5%90-%EB%B6%84%EC%84%9D>].

#### • 단면 구조 개념도 (Conceptual Cross-section):

```
[ Logic Die ] [ HBM ] [ Logic Die ]
----- <-- Micro Bumps
[ Silicon Interposer (Si) ] <-- Large Area Base
[ (TSV) (TSV) (TSV) (TSV) (TSV) ]
-----
[ Package Substrate ]
```

### 2.2 Intel: EMIB (Embedded Multi-die Interconnect Bridge)

EMIB는 CoWoS의 대면적 인터포저가 갖는 비용 및 크기 문제를 해결하기 위해 고안된 브릿지(Bridge) 기반 기술입니다.

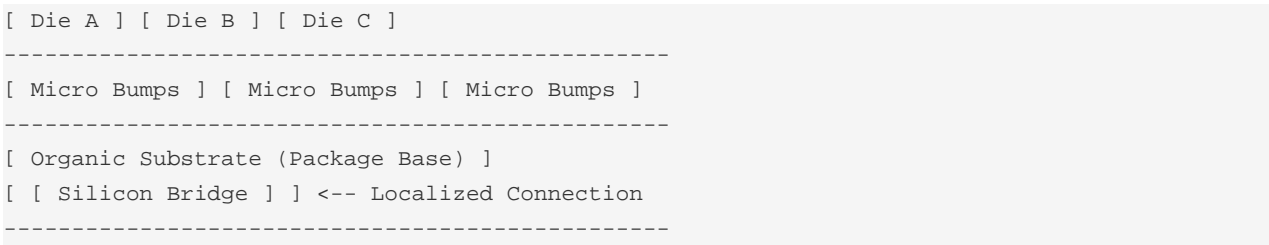
• 구조적 특징:

• **Silicon Bridge:** 전체 면적을 실리콘으로 채우는 대신, 다이와 다이가 만나는 접점(Interconnect) 부분에만 아주 작은 크기의 실리콘 브릿지를 삽입합니다 [출처: <https://swarttech.co.kr/%EC%9D%B8%ED%85%94%EC%9D%98-emib-%ED%8C%A8%ED%82%A4%EC%A7%95-cowos-%EB%8C%80%EC%B2%B4-%EA%B0%80%EB%8A%A5%ED%95%A0%EA%B9%8C/>].

• **No TSV (Interposer-less):** 인터포저 전체를 관통하는 TSV 공정이 필요하지 않으며, 필요한 부분에만 국소적으로 연결을 수행합니다 [출처: <https://swarttech.co.kr/%EC%9D%B8%ED%85%94%EC%9D%98-emib-%ED%8C%A8%ED%82%A4%EC%A7%95-cowos-%EB%8C%80%EC%B2%B4-%EA%B0%80%EB%8A%A5%ED%95%A0%EA%B9%8C/>].

• **Embedding:** 이 작은 브릿지를 유기 기판(Organic Substrate) 내부에 매립(Embedding)하는 방식을 취합니다.

• 단면 구조 개념도 (Conceptual Cross-section):



---

### 3. 핵심 비교 분석 (Comparative Analysis)

두 기술의 차이점을 성능, 비용, 공정 복잡도 측면에서 비교하면 다음과 같습니다.

#### 3.1 비교 요약표

비교 항목	TSMC CoWoS	Intel EMIB
연결 매개체	대면적 실리콘 인터포저 (Large Si Interposer)	국소적 실리콘 브릿지 (Small Si Bridge)
핵심 기술	TSV (Through Silicon Via) 기반	Embedding (기판 내 매립) 기반
연결 밀도	매우 높음 (전 영역 고밀도 연결 가능)	높음 (연결 지점에 집중된 고밀도)
제조 비용	높음 (대면적 실리콘 사용 및 TSV 공정) [출처: <a href="https://bbn.kiwoom.com/bbs/jsp/upload/newres/CorpAnal/202103/1616741849276.pdf">https://bbn.kiwoom.com/bbs/jsp/upload/newres/CorpAnal/202103/1616741849276.pdf</a> ]	상대적 낮음 (실리콘 사용량 최소화)
확장성 (Scalability)	인터포저 크기에 제한을 받음	다이 배치 및 구성이 매우 자유로움
주요 타겟	초고성능 AI 가속기, HBM 통합 시스템	고성능 컴퓨팅(HPC), 이종 집적(Heterogeneous)

#### 3.2 상세 분석

## #### ① 경제성 및 원가 구조 (Cost Efficiency)

CoWoS는 대면적 실리콘 웨이퍼를 인터포저로 사용하기 때문에 웨이퍼당 칩 생산량(Net Die)이 줄어들고, 실리콘 원가 자체가 높습니다. 반면, EMIB는 필요한 연결 부위에만 최소한의 실리콘(Bridge)을 사용하므로 실리콘 원가를 획기적으로 절감할 수 있습니다 [출처:

<https://bbn.kiwoom.com/bbs/jsp/upload/newres/CorpAnal/202103/1616741849276.pdf>].

## #### ② 기술적 한계 및 설계 유연성 (Design Flexibility)

- CoWoS는 인터포저 위에 모든 다이를 배치하므로 설계가 정형화되어 있으나, 다이 사이의 거리가 멀어질 경우 인터포저 크기가 커져야 하는 물리적 한계가 있습니다.
- EMIB는 "인터포저 없이도 가능하다"는 인텔의 선언처럼, 유기 기판을 베이스로 사용하여 설계의 자유도가 높고 다양한 크기의 다이를 조합하기에 유리합니다 [출처: <https://swarttech.co.kr/%EC%9D%B8%ED%85%94%EC%9D%98-emib-%ED%8C%A8%ED%82%A4%EC%A7%95-cowos-%EB%8C%80%EC%B2%B4-%EA%B0%80%EB%8A%A5%ED%95%A0%EA%B9%8C/>].

## #### ③ 검사 및 수율 관리 (Inspection &amp; Yield)

- CoWoS는 대면적 실리콘 인터포저의 평탄도(Flatness)와 TSV의 정렬(Alignment) 정확도가 수율의 핵심입니다.
- EMIB는 유기 기판 내부에 미세한 브릿지를 정확히 매립해야 하며, 브릿지와 다이 간의 마이크로 범프(Micro Bump) 접합 신뢰성이 매우 중요합니다.

---

## 4. 결론 및 시사점 (Conclusion)

TSMC의 CoWoS는 압도적인 연결 밀도와 검증된 기술력을 바탕으로 현재 AI 가속기(NVIDIA H100 등) 시장을 독점하고 있습니다. 대면적 실리콘을 사용하므로 비용은 높지만, HBM과 로직 다이 간의 초고속 데이터 전송이 필수적인 환경에서 최적의 솔루션을 제공합니다.

Intel의 EMIB는 비용 효율성과 설계 유연성을 무기로 CoWoS의 대안으로 강력하게 부상하고 있습니다. 실리콘 사용량을 최소화하면서도 필요한 곳에만 고밀도 연결을 제공함으로써, 이종 집적(Heterogeneous Integration)을 가속화할 수 있는 기술적 우위를 점하고 있습니다.

### 크레셈(CRESSEM)의 관점:

향후 패키징 기술이 CoWoS의 대면적 구조와 EMIB의 브릿지 구조로 양분됨에 따라, 검사 장비의 요구 사항도 변화할 것입니다.

1. CoWoS 대응: 대면적 인터포저의 미세 패턴 및 TSV 결함 검사를 위한 **고해상도 광학 검사(AOI)** 및 **3D 측정 기술** 필요.
2. EMIB 대응: 유기 기판 내 매립된 브릿지의 위치 정밀도 및 **마이크로 범프(Micro Bump)의 접합 상태**를 검증하기 위한 **초정밀 비전 알고리즘** 및 **고배율 검사 솔루션** 요구됨.