

반도체 패키징 기술 진화 분석: 1D부터 3D 및 칩렛(Chiplet) 구조까지

문서번호 CRSM-AI-2026-AUTO

작성일 2026-06-10

작성 Cressem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

반도체 패키징 기술 진화 분석: 1D부터 3D 및 칩렛(Chiplet) 구조까지	3
1. 개요 (Executive Summary)	3
2. 패키징 기술의 세대별 진화 및 구조 분석	3
3. 칩렛(Chiplet) 아키텍처와 차세대 통합 기술	4
4. 패키징 구조별 기술 특성 비교 분석	5
5. 결론 및 기술적 시사점	5

반도체 패키징 기술 진화 분석: 1D부터 3D 및 칩렛(Chiplet) 구조까지

1. 개요 (Executive Summary)

반도체 산업의 패러다임이 전공정(Front-end)의 미세화 한계에 직면함에 따라, 후공정(Back-end)인 첨단 패키징(Advanced Packaging) 기술이 성능 향상의 핵심 동력으로 부상하고 있습니다. 과거의 패키징이 단순히 칩을 외부 환경으로부터 보호하고 전기적 신호를 연결하는 역할에 그쳤다면, 현대의 패키징은 이질적 집적(Heterogeneous Integration)을 통해 시스템 전체의 성능을 결정짓는 핵심 요소가 되었습니다.

본 보고서는 반도체 패키징 기술의 발전 단계를 1D, 2D, 2.5D, 3D 구조로 구분하여 각 기술의 물리적 특성, 연결 방식, 그리고 기술적 한계를 심층적으로 비교 분석합니다. 또한, 최근 반도체 설계의 혁신을 이끌고 있는 칩렛(Chiplet) 아키텍처와 이를 뒷받침하는 UCle(Universal Chiplet Interconnect Express) 표준의 중요성을 다룹니다.

특히, HBM(High Bandwidth Memory)과 같은 고대역폭 메모리 및 AI 가속기 시장의 폭발적 성장에 따라 요구되는 초정밀 검사 기술의 필요성을 함께 고찰합니다. 이를 통해 차세대 패키징 공정에서 발생할 수 있는 기술적 난제와 대응 전략을 제시하고자 합니다.

2. 패키징 기술의 세대별 진화 및 구조 분석

반도체 패키징은 칩(Die)을 배치하는 차원(Dimension)과 연결 방식에 따라 발전해 왔습니다. 초기 단계의 단순한 연결 방식에서부터 현재의 고밀도 3차원 적층 방식에 이르기까지, 각 단계는 데이터 전송 속도 향상과 전력 효율 개선을 목표로 합니다.

2.1. 1D 및 2D 패키징 (Traditional Packaging)

1D 패키징은 개념적으로 단일 소자 또는 매우 단순한 형태의 연결을 의미하며, 현대적인 관점에서는 거의 사용되지 않는 기초적인 단계입니다. 2D 패키징은 전통적인 MCM(Multi-Chip Module) 방식으로, 여러 개의 반도체 칩을 하나의 기판(Substrate) 위에 수평으로 배치하는 방식입니다. 칩 간의 연결은 주로 와이어 본딩(Wire Bonding) 기술을 사용하며, 이는 칩과 기판 사이를 금선(Gold Wire) 등으로 연결하여 전기적 신호를 전달합니다.

2D 패키징은 구조가 단순하여 제조 비용이 저렴하고 기술적 성숙도가 매우 높다는 장점이 있습니다. 하지만 칩 간의 거리가 멀어 신호 전달 경로(Interconnect Path)가 길어지며, 이로 인해 신호 지연(Latency)과 전력 소모가 증가하는 물리적 한계가 존재합니다. 또한, 칩의 면적을 넓히는 데 한계가 있어 고성능 컴퓨팅(HPC) 분야에 적용하기에는 부적합합니다.

2.2. 2.5D 패키징 (Advanced Interposer-based Packaging)

2.5D 패키징은 2D 패키징의 한계를 극복하기 위해 도입된 기술로, 칩과 기판 사이에 인터포저(Interposer)라는 중간 기판을 삽입하는 것이 핵심입니다. 인터포저는 실리콘(Si) 또는 유기물(Organic) 소재로 제작되며, 칩보다 훨씬 미세한 배선을 포함하고 있어 칩 간의 초고속 데이터 통신을 가능하게 합니다.

이 방식은 칩을 수평으로 배치하면서도, 인터포저를 통해 매우 높은 밀도의 연결(Interconnect Density)을 구현할 수 있다는 특징이 있습니다. 대표적인 사례로 TSMC의 CoWoS(Chip on Wafer on Substrate) 기술이 있으며, 이는 GPU와 HBM을 하나의 인터포저 위에 올려 데이터 병목 현상을 획기적으로 줄인 구조입니다 [출처: snptech.kr]. 2.5D 패키징은 현재 AI 가속기 및 고성능 서버용 프로세서 제조의 표준으로 자리 잡고 있습니다.

2.3. 3D 패키징 (Vertical Stacking)

3D 패키징은 칩을 수평이 아닌 수직 방향으로 쌓아 올리는 기술입니다. 칩 내부를 관통하는 미세 전극인 TSV(Through-Silicon Via)를 사용하여 상하 층의 칩을 직접 연결합니다. 이는 데이터 전송 경로를 극한으로 단축시켜, 2D나 2.5D 방식보다 훨씬 높은 대역폭(Bandwidth)과 낮은 전력 소모를 실현합니다.

AMD와 같은 기업은 3D 패키징을 통해 기존 2D 패키징 대비 200배 이상의 상호 연결 밀도(Interconnect Density)를 달성할 수 있다고 주장합니다 [출처: idtechex.com]. 그러나 3D 적층은 열 방출(Thermal Management) 문제가 매우 심각합니다. 칩이 수직으로 쌓이면서 내부에서 발생하는 열이 외부로 방출되기 어려워지기 때문입니다. 또한, 적층 단수가 높아질수록 Warpage(휨 현상) 제어와 TSV 형성의 정밀도가 요구되어 공정 난이도가 급격히 상승합니다.



그림 1. 반도체 패키징 기술 진화 단계

3. 칩렛(Chiplet) 아키텍처와 차세대 통합 기술

3.1. 칩렛(Chiplet)의 개념 및 등장 배경

칩렛은 거대한 하나의 칩(Monolithic SoC)을 만드는 대신, 기능별로 최적화된 작은 단위의 칩(Chiplet)들을 제조한 뒤 이를 하나의 패키지로 통합하는 설계 방식입니다. 이는 무어의 법칙(Moore's Law)이 물리적 한계에 다다름에 따라, 수율(Yield)을 높이고 제조 비용을 절감하기 위한 전략적 선택입니다 [출처: researchgate.net].

기존의 모놀리식(Monolithic) 방식은 모든 회로를 하나의 웨이퍼에서 구현해야 하므로, 칩의 크기가 커질수록 결함(Defect)에 의한 폐기율이 기하급수적으로 증가합니다. 반면, 칩렛 구조는 각 기능을 독립된 칩으로 분리하여 생산하므로, 로직(Logic)은 최첨단 공정으로, I/O나 메모리는 상대적으로 성숙한 공정으로 제조하여 결합할 수 있습니다. 이를 통해 전체 시스템의 경제성과 성능을 동시에 확보할 수 있습니다.

3.2. UCIe 표준과 이질적 집적(Heterogeneous Integration)

칩렛 기술이 실현되기 위해서는 서로 다른 제조 공정에서 만들어진 칩들이 마치 하나의 칩처럼 매끄럽게 통신할 수 있는 표준 인터페이스가 필수적입니다. 최근 업계에서는 UCIe(Universal Chiplet Interconnect Express) 표준이 등장하며 칩렛 생태계의 기반을 마련하고 있습니다 [출처: swarttech.co.kr].

이러한 기술적 토대 위에서 로직, 메모리, I/O 등 다양한 특성을 가진 칩들을 하나의 패키지 내에 결합하는 이질적 집적(Heterogeneous Integration)이 보편화되고 있습니다 [출처: heidelberg-instruments.com]. 이는 맞춤형(Customized) AI 반도체 시장의 성장을 가속화하며, 고객사의 요구에 따라 최적의 칩 조합을 구성할 수 있는 유연성을 제공합니다.

4. 패키징 구조별 기술 특성 비교 분석

아래 표는 본 보고서에서 다룬 주요 패키징 구조의 핵심 기술 사양을 비교한 결과입니다.

비교 항목	2D 패키징	2.5D 패키징	3D 패키징	칩렛(Chiplet) 기반
주요 연결 방식	Wire Bonding	Interposer (Si/Organic)	TSV (Through-Silicon Via)	UCle / Hybrid Bonding
연결 밀도	낮음	높음	매우 높음	매우 높음 (최적화 가능)
데이터 대역폭	낮음	높음	매우 높음	매우 높음
열 관리 난이도	낮음	보통	매우 높음	높음
제조 비용	매우 낮음	높음	매우 높음	중/고 (수율 최적화 가능)
주요 적용 분야	가전, 저사양 MCU	AI 가속기, 고성능 GPU	HBM, 고성능 CPU/GPU	맞춤형 AI SoC, HPC

표 1. 4. 패키징 구조별 기술 특성 비교 분석

5. 결론 및 기술적 시사점

반도체 패키징 기술은 단순한 보호 기능을 넘어, 시스템 성능을 결정짓는 핵심적인 '성능 확장 도구'로 진화하였습니다. 2D의 경제성, 2.5D의 고밀도 연결성, 3D의 극한의 대역폭, 그리고 칩렛의 설계 유연성은 각각의 목적에 따라 상호 보완적으로 발전하고 있습니다.

특히 HBM4와 같은 차세대 메모리 공정에서는 Hybrid Bonding(구리 직접 접합) 기술이 도입됨에 따라, 기존의 범프(Bump) 방식보다 훨씬 높은 정밀도의 검사 기술이 요구될 것으로 전망됩니다. 이는 패키징 공정의 미세화가 검사 장비의 난이도를 기하급수적으로 높이고 있음을 의미합니다.

결론적으로, 향후 반도체 시장의 주도권은 칩렛 아키텍처를 얼마나 효율적으로 통합하느냐와, 적층 구조에서 발생하는 열(Thermal) 및 물리적 변형(Warp) 문제를 얼마나 정밀하게 제어하고 검출하느냐에 달려 있습니다. 크레셈(CRESSEM)과 같은 전문 기업의 AI 기반 고정밀 검사 솔루션은 이러한 기술적 난제를 해결하는 데 있어 필수적인 역할을 수행할 것입니다.