

차세대 반도체 패키징 기술 비교 분석:
1D/2D/2.5D/3D 및 칩렛(Chiplet)
구조를 중심으로

문서번호 CRSM-AI-2026-AUTO

작성일 2026-06-10

작성 CresseM AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

차세대 반도체 패키징 기술 비교 분석: 1D/2D/2.5D/3D 및 칩렛(Chiplet) 구조를 중심으로	3
개요 및 배경	3
패키징 기술의 진화 단계별 특징	3
기술별 핵심 파라미터 비교 분석	8
패키징 고도화에 따른 검사(Inspection) 기술 요구사항	10
결론 및 시사점	12

차세대 반도체 패키징 기술 비교 분석: 1D/2D/2.5D/3D 및 칩렛(Chiplet) 구조를 중심으로

반도체 미세 공정의 한계를 극복하기 위한 첨단 패키징 기술의 진화 과정을 1D부터 3D, 그리고 최신 칩렛 구조까지 단계별로 비교 분석합니다. 각 패키징 방식의 구조적 특징, 인터커넥트 기술, 그리고 기술적 난제와 검사 요구사항을 심도 있게 다룹니다.

개요 및 배경

반도체 산업은 지난 수십 년간 미세 공정(Front-end Scaling)을 통한 성능 향상을 핵심 동력으로 삼아 발전해 왔습니다. 트랜지스터의 크기를 줄여 집적도를 높이는 '무어의 법칙(Moore's Law)'은 반도체 성능 향상의 표준 모델이었으나, 최근 물리적 한계와 경제적 타당성 문제로 인해 그 지속 가능성에 대한 의문이 제기되고 있습니다. 회로 선폴이 원자 단위에 근접함에 따라 발생하는 양자 터널링(Quantum Tunneling) 현상, 누설 전류(Leakage Current) 증가, 그리고 공정 난이도 급상승에 따른 제조 비용의 기하급수적 증가는 기존의 단일 다이(Monolithic Die) 방식만으로는 더 이상 성능 향상을 담보하기 어렵게 만들었습니다.

이러한 기술적 변곡점에서 반도체 산업의 패러다임은 '전공정 미세화' 중심에서 '후공정 고도화(Advanced Packaging)' 중심으로 급격히 이동하고 있습니다. 과거의 패키징이 단순히 완성된 칩을 외부 환경으로부터 보호하고 전기적 신호를 연결하는 보호(Protection)와 인터페이스(Interface)의 역할에 국한되었다면, 현대의 첨단 패키징은 칩의 성능을 결정짓는 핵심적인 성능 구현(Performance Enabling) 단계로 격상되었습니다. 즉, 패키징 기술 자체가 반도체의 집적도와 전력 효율, 그리고 데이터 전송 속도를 결정하는 핵심 경쟁력이 된 것입니다.

특히 인공지능(AI), 고성능 컴퓨팅(HPC), 5G 통신과 같은 차세대 컴퓨팅 환경은 막대한 양의 데이터를 초고속으로 처리할 수 있는 메모리와 로직 반도체의 유기적인 결합을 요구합니다. 이러한 요구사항을 충족하기 위해 등장한 개념이 바로 **이종 집적(Heterogeneous Integration)**입니다. 이종 집적은 서로 다른 공정 노드(Process Node)에서 제조된 서로 다른 기능의 칩들을 하나의 패키지 내에 통합하는 기술을 의미합니다. 예를 들어, 최첨단 5nm 로직 칩과 성숙한 공정의 I/O 칩, 그리고 고대역폭 메모리(HBM)를 최적의 조합으로 결합함으로써, 단일 칩으로 구현할 때 발생하는 비용 효율성 저하를 극복하고 성능을 극대화할 수 있습니다.

이러한 기술적 흐름 속에서 패키징 구조는 단순한 수평 배치인 2D를 넘어, 인터포저(Interposer)를 활용하여 데이터 통로를 확장한 2.5D, 그리고 칩을 수직으로 적층하여 물리적 거리를 최소화한 3D 패키징으로 진화하고 있습니다. 또한, 거대한 단일 칩 대신 작은 기능 단위인 **칩렛(Chiplet)**을 설계하고 이를 고속 인터페이스로 연결하는 구조는 제조 수율(Yield) 향상과 비용 절감을 위한 필수적인 솔루션으로 자리 잡았습니다.

본 보고서에서는 이러한 기술적 진화의 맥락을 바탕으로, 1D부터 3D에 이르는 패키징 구조의 물리적 특성을 정의하고, 차세대 반도체 시장의 게임 체인저가 될 2.5D 및 3D 패키징의 구조적 차이를 심층적으로 분석합니다. 나아가 칩렛 아키텍처와 이를 뒷받침하는 표준 인터페이스인 UCle(Universal Chiplet Interconnect Express)의 역할을 고찰하며, 패키징 기술이 고도화됨에 따라 발생하는 검사(Inspection) 및 신뢰성 확보의 기술적 과제를 제시하고자 합니다. 이는 향후 반도체 제조 공정의 수율 최적화와 차세대 고성능 반도체 시장 선점을 위한 전략적 가이드라인을 제공할 것입니다.

패키징 기술의 진화 단계별 특징

반도체 제조 기술이 전공정(Front-end)의 미세화 공정 한계에 직면함에 따라, 개별 칩의 성능을 극대화하기 위한 후공정(Back-end), 즉 어드밴스드 패키징(Advanced Packaging) 기술의 중요성이 비약적으로 증대되었습니다.

패키징 기술은 단순히 칩을 보호하는 역할을 넘어, 서로 다른 기능을 가진 칩들을 어떻게 효율적으로 연결하고 배치하느냐에 따라 시스템 전체의 성능(Performance), 전력 효율(Power Efficiency), 그리고 비용(Cost)을 결정짓는 핵심 요소로 자리 잡았습니다. 패키징 기술의 진화는 물리적 배치 방식인 1D(개념적 구분), 2D, 2.5D, 그리고 3D 적층 구조로 이어지며, 각 단계는 데이터 전송 경로의 단축과 입출력(I/O) 밀도의 향상을 목표로 합니다.

1. 2D 패키징(2D Packaging) 및 MCM(Multi-Chip Module)

2D 패키징은 가장 기초적인 형태의 패키징 방식으로, 복수의 반도체 칩을 하나의 패키지 기판(Substrate) 위에 수평 방향으로 배치하는 구조를 의미합니다. 과거부터 널리 사용되어 온 MCM(Multi-Chip Module) 방식이 대표적인 사례입니다. 이 구조에서는 칩들이 기판 위에서 나란히 놓여 있으며, 칩 간의 통신은 기판 내부의 회로 패턴(Routing)을 통해 이루어집니다.

2D 패키징의 가장 큰 특징은 구조적 단순성과 제조 공정의 성숙도입니다. 각 칩은 독립적인 다이(Die)로서 존재하며, 기판을 통해 전기적으로 연결되므로 설계 및 제조 난이도가 상대적으로 낮습니다. 그러나 칩들이 수평적으로 배치되어 있기 때문에, 칩 사이의 물리적 거리가 멀어질 수밖에 없습니다. 이는 데이터가 이동해야 하는 경로(Interconnect Path)를 길게 만들어 신호 지연(Latency)을 유발하고, 신호 무결성(Signal Integrity, SI) 측면에서 손실을 초래할 가능성이 높습니다. 또한, 칩의 면적만큼 기판의 면적도 커져야 하므로 시스템의 소형화(Form-factor) 측면에서도 한계가 명확합니다.

2. 2.5D 패키징(2.5D Packaging)과 인터포저(Interposer)의 도입

2.5D 패키징은 2D 패키징의 한계를 극복하기 위해 등장한 과도기적이며 매우 정교한 기술입니다. 겉으로 보기에는 2D 패키징과 유사하게 칩들이 수평으로 배열된 것처럼 보이지만, 결정적인 차이점은 칩과 패키지 기판 사이에 **인터포저(Interposer)**라는 중간 매개체가 존재한다는 점입니다. [출처: m.blog.naver.com]

인터포저는 실리콘(Silicon), 유기물(Organic), 또는 유리(Glass) 소재로 제작되며, 매우 미세한 회로 패턴을 형성할 수 있습니다. 칩들은 이 인터포저 위에 직접 배치되며, 인터포저 내의 고밀도 배선을 통해 칩 간에 초고속 데이터 통신을 수행합니다. [출처: snptech.kr] 2.5D 구조의 핵심은 바로 이 인터포저를 통해 I/O(Input/Output) 밀도를 획기적으로 높일 수 있다는 데 있습니다.

특히 고대역폭 메모리(HBM, High Bandwidth Memory)와 로직(Logic) 칩을 결합하는 CoWoS(Chip on Wafer on Substrate)와 같은 기술이 2.5D 패키징의 정점에 있습니다. 인터포저를 활용하면 칩 간의 거리를 극도로 좁힐 수 있어, 데이터 전송 속도를 높이면서도 전력 소모를 줄이는 효과를 얻을 수 있습니다. 다만, 실리콘 인터포저를 사용할 경우 제조 비용이 상승하고, 인터포저 자체의 크기 제약 및 공정 복잡도가 증가한다는 단점이 있습니다.

3. 3D 패키징(3D Packaging) 및 수직 적층(VERTICAL Stacking)

3D 패키징은 물리적 공간의 한계를 돌파하기 위해 칩을 수평이 아닌 수직 방향으로 쌓아 올리는 기술입니다. 이는 칩의 면적(Footprint)을 최소화하면서도 데이터 전송 경로를 극단적으로 단축할 수 있는 가장 진보된 형태입니다. 3D 패키징의 핵심 기술은 칩과 칩 사이를 수직으로 관통하는 미세 전극인 **TSV(Through Silicon Via)** 기술입니다. [출처: [기업 분석 보고서] (주)크레셈 (CRESSEM): 차세대 반도체 패키징 솔루션의 선두주자]

3D 적층 방식은 크게 두 가지 흐름으로 발전하고 있습니다. 첫째는 기존의 Bump(솔더 볼)를 사용하여 칩을 쌓는 방식이며, 둘째는 Bump 없이 구리(Cu)와 구리를 직접 접합하는 **하이브리드 본딩(Hybrid Bonding)** 기술입니다. [출처: [기술 보고서] 삼성전자 HBM4 전환에 따른 검사 기술 동향] 하이브리드 본딩은 접합부의 간극을 극한으로 줄여 I/O 밀도를 비약적으로 상승시킬 수 있는 차세대 핵심 기술로 주목받고 있습니다.

3D 패키징은 데이터 전송 속도와 전력 효율 면에서 압도적인 성능을 제공하지만, 기술적 난이도가 매우 높습니다. 칩을 높게 쌓을수록 발생하는 **Warpage(휨 현상)** 문제, 적층 내부의 열 방출(Thermal Dissipation) 효율 저하, 그리고 TSV 공정에서의 결함 발생 가능성 등이 해결해야 할 주요 과제입니다. [출처: [기술 보고서] 삼성전자 HBM4 전환에 따른 검사 기술 동향] 따라서 3D 패키징 공정에서는 고도의 정밀도를 가진 검사(Inspection) 솔루션이

필수적으로 요구됩니다.

4. 기술 진화 단계별 비교 요약

각 패키징 기술의 물리적 구조와 핵심 차이점을 정리하면 다음과 같습니다.



그림 1.

2.5D 패키징(CoWoS 기반) 구조 단면도

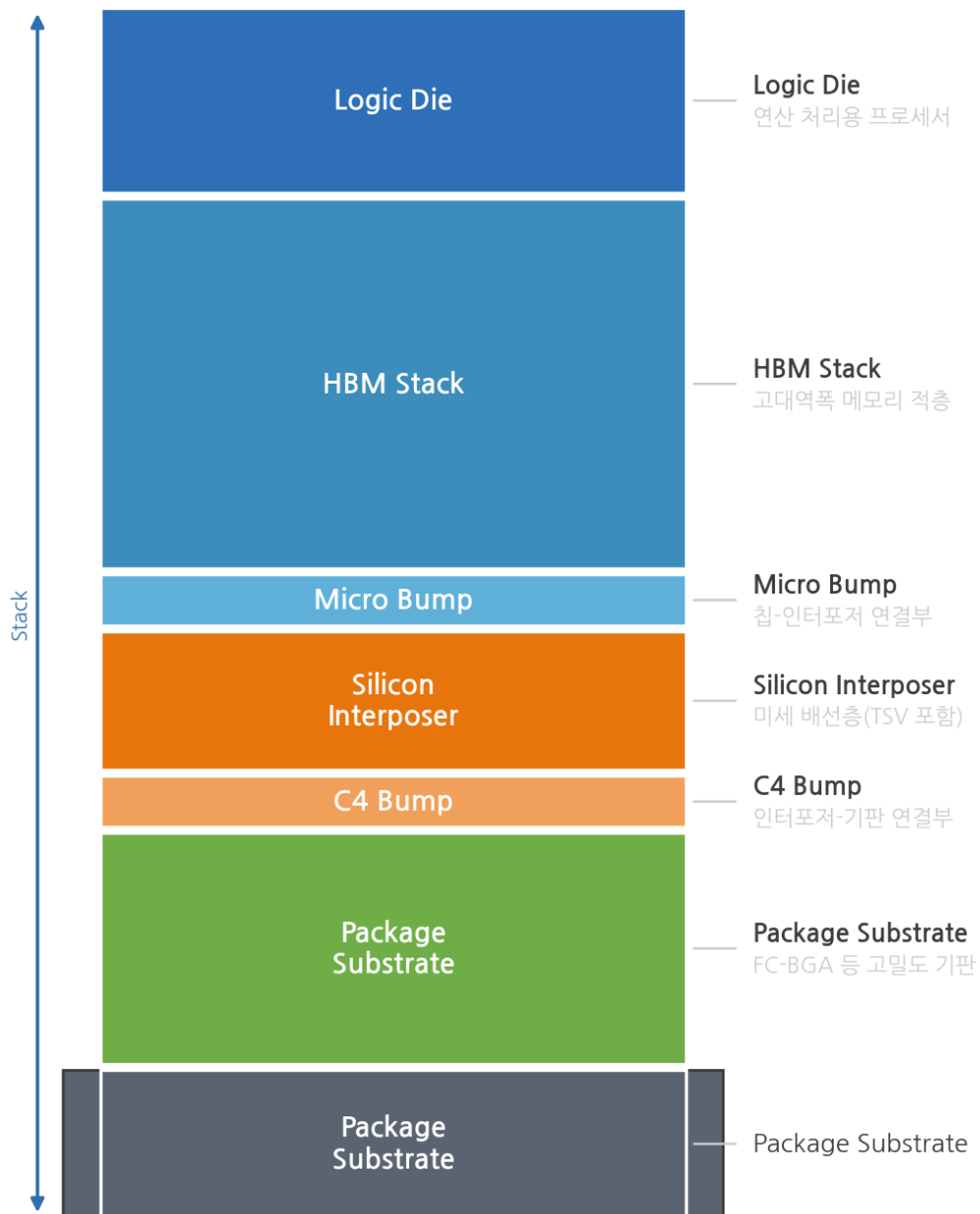


그림 2.

칩렛 기반 이중 집적 프로세스



그림 3.

2. Die-to-Die(D2D) 인터커넥트와 기술적 과제

칩렛 구조가 실질적인 성능을 발휘하기 위해서는 분리된 칩렛 간의 통신 성능이 단일 다이 내부의 배선(On-chip Interconnect) 성능에 근접해야 합니다. 이를 위해 **Die-to-Die(D2D) 인터커넥트** 기술이 필수적이며, 이는 데이터 전송 속도(Bandwidth), 에너지 효율(Energy Efficiency, pJ/bit), 그리고 물리적 밀도(Shoreline Bandwidth Density)를 결정짓는 핵심 요소입니다.

현재 칩렛 간 연결을 구현하기 위한 기술적 접근은 크게 두 가지 경로로 나뉩니다.

1. **Organic Substrate 기반 연결**: 상대적으로 피치(Pitch)가 넓고 비용이 저렴하지만, 대역폭 밀도가 낮고 신호 무결성(Signal Integrity, SI) 확보가 어렵습니다.

2. **Silicon Interposer/Bridge 기반 연결 (2.5D)**: 실리콘 인터포저를 사용하여 매우 미세한 배선을 구현함으로써 초고속, 고밀도 연결을 가능하게 합니다. 이는 HBM(High Bandwidth Memory)과 로직 칩 간의 통신에 주로 사용됩니다 [출처: m.blog.naver.com].

그러나 칩렛 구조는 새로운 기술적 난제를 동반합니다. 칩렛 간의 물리적 경계에서 발생하는 신호 지연(Latency), 전력 소모, 그리고 이중 공정 간의 전압 레벨 차이로 인한 신호 왜곡 등이 해결해야 할 과제입니다. 특히, 칩렛이 늘어날수록 데이터 경로가 복잡해져 **전력 무결성(Power Integrity, PI)** 관리가 더욱 까다로워집니다.

3. UCle(Universal Chiplet Interconnect Express) 표준의 역할

과거에는 칩렛을 연결하는 방식이 각 반도체 기업(Vendor)마다 고유한 독자 규격을 사용하는 '파편화(Fragmentation)' 문제를 겪었습니다. 이는 특정 기업의 칩렛을 다른 기업의 시스템에 통합하는 것을 불가능하게 만들어, 칩렛 생태계 확장의 가장 큰 걸림돌이 되었습니다.

이러한 문제를 해결하기 위해 등장한 것이 바로 **UCle(Universal Chiplet Interconnect Express)** 표준입니다. UCle는 서로 다른 제조사가 만든 칩렛들이 상호 운용(Interoperability)될 수 있도록 정의된 개방형 표준 인터페이스입니다 [출처: swarttech.co.kr].

UCle 표준이 가져올 산업적 변화는 다음과 같습니다.

구분	UCle 도입 전 (Proprietary)	UCle 도입 후 (Standardized)
생태계 구조	폐쇄적 (Single Vendor 중심)	개방적 (Multi-Vendor Ecosystem)
호환성	제조사 간 칩렛 혼용 불가	표준 준수 시 이중 칩렛 간 결합 용이

개발 비용	독자 인터페이스 개발에 막대한 비용 발생	표준 기반 IP 활용으로 설계 기간 및 비용 단축
시장 규모	개별 기업의 제품 단위 시장	칩렛 기반의 거대한 플랫폼 시장으로 확장

표 1.

UCle는 물리 계층(Physical Layer)부터 프로토콜 계층(Protocol Layer)까지를 포괄하며, PCIe(Peripheral Component Interconnect Express) 및 CXL(Compute Express Link) 프로토콜과의 호환성을 고려하여 설계되었습니다. 이를 통해 데이터 센터, AI 가속기, 고성능 컴퓨팅(HPC) 분야에서 요구하는 막대한 대역폭과 낮은 지연 시간을 동시에 충족할 수 있는 기반을 마련하고 있습니다.

4. 결론 및 기술적 시사점

칩렛 아키텍처와 UCle 표준의 결합은 반도체 제조 패러다임을 '칩(Chip) 중심'에서 '시스템(System) 중심'으로 전환시키는 촉매제 역할을 할 것입니다. 이제 반도체 기업들은 단순히 하나의 완벽한 칩을 만드는 것을 넘어, 어떻게 하면 최적의 칩렛들을 효율적으로 연결하고 통합할 것인가에 대한 역량을 경쟁하게 될 것입니다.

특히, 칩렛 구조의 고도화는 **검사(Inspection) 기술의 난이도 상승**을 필연적으로 수반합니다. 칩렛 간의 미세한 정렬 오차(Misalignment), D2D 인터페이스의 전기적 특성, 그리고 복잡한 적층 구조에서의 열 관리(Thermal Management) 이슈는 향후 크레셈(CRESSEM)과 같은 검사 장비 기업들에게 새로운 고부가가치 시장을 제공할 것입니다. 향후 Hybrid Bonding 기술이 칩렛 간 연결에 본격 도입될 경우, 기존의 Bump 기반 연결을 넘어서는 초정밀 광학 및 전기적 검사 솔루션의 수요는 폭발적으로 증가할 것으로 전망됩니다.

기술별 핵심 파라미터 비교 분석

반도체 패키징 기술이 2D에서 2.5D, 그리고 3D 및 칩렛(Chiplet) 구조로 진화함에 따라, 설계 및 제조 단계에서 고려해야 할 핵심 성능 지표(Key Performance Indicators, KPI) 또한 복잡해지고 있습니다. 각 기술은 상호 트레이드오프(Trade-off) 관계에 있으며, 시스템의 목적(고성능 컴퓨팅, 모바일, 저전력 IoT 등)에 따라 최적의 기술 조합이 결정됩니다. 본 섹션에서는 데이터 전송 속도(Bandwidth), 전력 효율(Power Efficiency), 면적 효율성(Form Factor), 그리고 제조 비용(Cost-effectiveness)의 네 가지 관점에서 기술별 특성을 심층 비교합니다.

1. 주요 파라미터별 기술적 특성 분석

데이터 전송 속도 및 대역폭 (Bandwidth)

데이터 전송 효율은 패키징 기술의 고도화를 결정짓는 가장 중요한 요소입니다. 2D 패키징은 칩 간의 연결이 PCB(Printed Circuit Board) 레벨에서 이루어지므로 신호 경로가 길고 기생 성분(Parasitics)이 커 대역폭 확보에 한계가 있습니다. 반면, 2.5D 패키징은 실리콘 인터포저(Silicon Interposer)를 사용하여 칩 간 연결 밀도를 비약적으로 높임으로써 고대역폭(High Bandwidth) 구현이 가능합니다. 특히 HBM(High Bandwidth Memory)과 같은 구조는 2.5D 또는 3D 기술을 통해 초당 테라바이트(TB/s) 급의 데이터 전송을 목표로 합니다 [출처: 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf]. 3D 패키징은 수직 적층을 통해 신호 경로를 최소화함으로써 가장 압도적인 대역폭을 제공합니다.

전력 효율 (Power Efficiency)

전력 효율은 단위 데이터 전송당 소비되는 에너지(pJ/bit)로 측정됩니다. 칩 간의 거리가 멀수록 신호를 전달하기 위한 구동 전력이 증가합니다. 2.5D 및 3D 패키징은 인터포저나 TSV(Through Silicon Via)를 통해 물리적 거리를 단축시키므로, 기존 2D 방식 대비 신호 무결성(Signal Integrity, SI)을 유지하면서도 훨씬 낮은 전압에서 동작할 수

있어 전력 효율성이 매우 높습니다. 칩렛(Chiplet) 구조의 경우, UCle(Universal Chiplet Interconnect Express)와 같은 표준 인터페이스를 통해 저전력 고속 통신을 구현하여 이종 집적(Heterogeneous Integration) 시의 전력 손실을 최소화하는 방향으로 발전하고 있습니다 [출처: swarttech.co.kr/ucie-칩렛과-2d-2-5d-3d-패키징-비교/].

면적 효율성 및 폼팩터 (Form Factor)

면적 효율성은 전체 시스템의 크기를 결정하는 요소입니다. 2D 패키징은 칩을 수평으로 배치하므로 기판 면적을 많이 차지합니다. 2.5D는 인터포저라는 추가적인 층이 필요하여 면적이 증가하는 경향이 있으나, 칩 간 밀도를 높여 전체 모듈 크기를 제어할 수 있습니다. 3D 패키징은 칩을 수직으로 쌓아 올리기 때문에 평면 면적(Footprint)을 극단적으로 줄일 수 있어, 공간 제약이 심한 모바일 및 고성능 서버용 프로세서에 최적화된 폼팩터를 제공합니다.

제조 비용 및 경제성 (Cost-effectiveness)

비용 측면에서는 기술이 복잡해질수록 반비례 관계가 나타납니다. 2D 패키징은 공정이 성숙되어 있고 구조가 단순하여 제조 비용이 가장 저렴합니다. 2.5D는 실리콘 인터포저 공정 비용과 추가적인 본딩(Bonding) 공정이 포함되어 비용이 상승합니다. 3D 패키징 및 Hybrid Bonding 기술은 초정밀 정렬(Alignment)과 고난도 공정을 요구하므로 제조 단가가 매우 높습니다 [출처: 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf]. 칩렛 구조는 개별 칩(Die)을 최적화된 공정으로 제조한 뒤 통합함으로써, 거대한 단일 칩(Monolithic Die)을 만드는 것보다 수율(Yield)을 개선하고 비용을 절감할 수 있는 경제적 대안으로 주목받고 있습니다 [출처: atlaspcb.com/news/news-advanced-packaging-chiplet-pcb-substrate/].

2. 패키징 기술별 핵심 파라미터 비교 요약

아래 표는 앞서 분석한 네 가지 핵심 파라미터를 기준으로 각 패키징 기술의 상대적 성능을 비교한 결과입니다.

비교 항목	2D (MCM 등)	2.5D (Interposer 기반)	3D (TSV/Hybrid Bonding)	칩렛 (Chiplet/UCle)
데이터 대역폭 (Bandwidth)	낮음 (Low)	높음 (High)	매우 높음 (Ultra-High)	높음 (High)
전력 효율 (Power Efficiency)	낮음 (Low)	높음 (High)	매우 높음 (Ultra-High)	높음 (High)
면적 효율성 (Form Factor)	낮음 (Low)	보통 (Medium)	매우 높음 (Ultra-High)	높음 (High)
제조 비용 (Cost-effectiveness)	매우 높음 (Very High)	보통 (Medium)	낮음 (Low)	높음 (High)
주요 적용 분야	일반 가전, 저가형 PC	HBM, 고성능 GPU	AI 가속기, 고성능 CPU	서버용 CPU, AI SoC

표 2.

참고: 비용 항목은 '경제성(가성비)' 관점이 아닌 '제조 비용의 저렴함'을 기준으로 작성되었습니다.

3. 종합 분석 및 시사점

결론적으로, 기술의 발전 방향은 "비용과 복잡도를 감수하더라도 성능(대역폭/전력)과 공간(면적)을 극대화하는 방향"으로 흐르고 있습니다.

1. **HBM 및 AI 가속기 시장:** 극한의 대역폭과 전력 효율이 요구되므로 2.5D 및 3D 패키징 기술이 필수적이며, 이에 따라 TSV 결함이나 미세 정렬 오차를 잡아내기 위한 고정밀 검사 솔루션의 중요성이 커지고 있습니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

2. **범용 반도체 시장:** 제조 비용 효율성을 고려하여 칩렛(Chiplet) 구조를 통해 성능과 비용 사이의 균형을 맞추려는 시도가 지속될 것으로 보입니다.

3. **검사 기술의 역할:** 패키징이 3D 및 Hybrid Bonding으로 고도화될수록, 단순한 전기적 특성 검사를 넘어 물리적 변형(Warpage)과 초미세 간극(Gap)을 측정할 수 있는 고해상도 광학 및 비파괴 검사 기술이 수율 확보의 핵심 변수가 될 것입니다 [출처: 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf].

패키징 고도화에 따른 검사(Inspection) 기술 요구사항

반도체 패키징 기술이 기존의 2D 구조를 넘어 2.5D 및 3D 적층, 그리고 칩렛(Chiplet) 기반의 이종 집적(Heterogeneous Integration)으로 진화함에 따라, 검사(Inspection) 공정의 난이도는 기하급수적으로 상승하고 있습니다. 과거의 패키징이 단순히 칩을 보호하고 외부 회로와 연결하는 기능에 국한되었다면, 차세대 패키징은 칩 간의 초고속 데이터 통신과 열 관리, 물리적 안정성이 성능을 결정짓는 핵심 요소가 되었습니다. 이에 따라 검사 기술 역시 단순한 외관 검사를 넘어, 미세 구조의 결함과 전기적 특성을 동시에 확보해야 하는 고도화된 요구사항에 직면해 있습니다.

1. 구조적 복잡성 증가에 따른 주요 검사 이슈

패키징이 고단으로 적층되고 구조가 미세화됨에 따라 발생하는 물리적·구조적 결함은 수율(Yield) 저하의 결정적인 원인이 됩니다. 특히 HBM(High Bandwidth Memory) 및 2.5D/3D 구조에서 반드시 관리해야 할 핵심 이슈는 다음과 같습니다.

1.1. Warpage(휨) 및 열적 변형 관리

HBM과 같이 8단, 12단, 나아가 16단 이상의 고단 적층이 진행될수록, 적층 과정에서 발생하는 응력(Stress)과 열팽창 계수(CTE) 차이로 인한 **Warpage(휨)** 현상이 심화됩니다. 웨이퍼 또는 패키지 기판이 미세하게 휘어지게 되면, 후속 공정인 본딩(Bonding) 단계에서 접합 불량을 야기하거나, 심한 경우 미세 회로의 단선 및 단락을 유발할 수 있습니다. 따라서 고단 적층 공정 전후로 물리적 변형을 정밀하게 측정하고 보정하는 기술이 필수적입니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

1.2. TSV(Through Silicon Via) 및 미세 연결 결함

3D 적층 구조의 핵심인 **TSV(Through Silicon Via)**는 실리콘 관통 전극을 통해 칩 간의 수직 통신을 가능하게 합니다. 그러나 수천 개에서 수만 개에 달하는 미세한 TSV 전극 중 단 하나라도 연결이 불량하거나(Open), 인접한 전극 간에 전기적 간섭(Short/Bridge)이 발생할 경우 전체 스택(Stack)을 폐기해야 하는 막대한 손실이 발생합니다. 특히 HBM4와 같은 차세대 공정에서 도입될 **Hybrid Bonding(구리 직접 접합)** 방식은 기존의 Bump 방식보다 훨씬 미세한 간극을 가지므로, 접합면의 미세한 이물질(Particle)이나 미세 정렬 오차를 잡아낼 수 있는 초정밀 검사 역량이 요구됩니다 [출처: 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf].

1.3. Misalignment(정렬 오차) 및 Die-to-Die 정렬

2.5D 패키징에서 인터포저(Interposer) 위에 칩을 배치하거나, 3D 적층 시 Die를 수직으로 쌓을 때 발생하는 **Misalignment(정렬 오차)**는 신호 무결성(Signal Integrity)에 치명적입니다. 칩과 인터포저, 혹은 칩과 칩 사이의 미세한 위치 오차는 데이터 전송 속도를 저하시키고 전력 소모를 증가시키는 원인이 됩니다. 따라서 Die-to-Die 정렬 상태를 μm 단위 이하로 정밀하게 측정하는 고해상도 광학 검사가 필수적입니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

2. 차세대 검사 기술의 핵심 방법론

앞서 언급한 복잡한 결함들을 해결하기 위해 검사 장비는 광학적 방법과 전기적 방법을 결합한 다각적인 접근 방식을 채택하고 있습니다.

2.1. 고해상도 광학 및 비전 검사 (Optical & Vision Inspection)

- **AOI (Automated Optical Inspection):** 고해상도 카메라와 정밀 조명 제어 기술을 결합하여 패키지 표면의 미세 회로 패턴, Micro Bump/Ball의 크기, 높이, 정렬 상태를 고속으로 스캔합니다.
- **3D AOI 및 X-ray 검사:** 2D 검사만으로는 확인이 불가능한 적층 내부의 Void(빈 공간)나 내부 결함을 확인하기 위해 고해상도 3D X-ray(Computed Tomography) 기술이 도입되고 있습니다. 이는 비파괴 검사(Non-Destructive Inspection)로서 공정 중간 단계에서 내부 구조의 건전성을 확보하는 데 핵심적인 역할을 합니다 [출처: 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf].
- **AI 기반 결함 분류 (AI-Driven Defect Classification):** 검사 데이터량이 폭증함에 따라, 단순한 Rule-based 방식을 넘어 **Deep Learning(딥러닝)** 알고리즘을 활용하여 미세 결함(Defect)과 정상적인 노이즈를 실시간으로 구분합니다. 이는 과검(Over-kill)률을 획기적으로 낮추어 생산 수율을 직접적으로 향상시키는 핵심 기술입니다 [출처: 분석_크레셈CRESSEM20260509001.pdf].

2.2. 전기적 특성 검사 (Electrical Test)

패키징 고도화에 따라 물리적 외관뿐만 아니라 실제 전기적 동작 성능을 검증하는 것이 더욱 중요해졌습니다.

- **KGD (Known Good Die) 확보:** HBM과 같은 고단 적층 구조는 적층 후 불량률이 발견되면 전체 스택을 폐기해야 하므로, 적층 전 개별 Die의 전기적 특성을 완벽히 검증하는 **Pre-stacking Test**의 중요성이 극대화됩니다 [출처: 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf].
- **고속 신호 및 전력 무결성 검사:** 데이터 전송 속도가 1.5TB/s 이상으로 목표화되는 HBM4 환경에서는 고속 신호 전달을 위한 **Signal Integrity(SI)** 및 전력 무결성(PI) 검사가 필수적입니다. 이를 위해 늘어난 채널 수와 고속 데이터 전송을 지원하는 고밀도/고성능 프로브 카드(Probe Card) 및 테스터 기술이 동반되어야 합니다 [출처: 보고서_삼성전자HBM4전환에따른검사기술동향및대응전략20260509001.pdf].

3. 검사 기술 요구사항 요약 비교

패키징 기술의 진화 단계에 따른 주요 검사 항목과 요구되는 기술 수준을 정리하면 다음과 같습니다.

패키징 단계	주요 구조적 특징	핵심 검사 이슈	권장 검사 기술
2D 패키징	수평 배치 (MCM 등)	Bump 정렬, 외관 결함	2D AOI, 전기적 테스트
2.5D 패키징	인터포저 활용 (CoWoS 등)	인터포저-칩 간 정렬(Misalignment), 미세 회로 패턴	고해상도 2D/3D AOI, SI/PI 검사
3D 패키징	수직 적층 (HBM 등)	TSV 연결성, Warpage(휨), Die-to-Die 정렬, 내부 Void	3D X-ray, 고정밀 AOI, KGD 테스트, AI 결함 분류
Hybrid Bonding	Cu-to-Cu 직접 접합	초미세 정렬(Alignment), 접합면 이물질(Particle)	Sub-micron급 초고해상도 광학 검사, AI 비전

표 3.

결론적으로, 차세대 반도체 패키징 시장의 주도권은 얼마나 정밀하고 빠르게 결함을 찾아내어 수율을 방어하느냐에 달려 있습니다. 특히 HBM4로의 전환과 Hybrid Bonding 공정의 도입은 검사 장비에 전례 없는 수준의 정밀도와 데이터 처리 능력을 요구하고 있으며, 이에 대응하기 위한 AI 통합형 검사 솔루션의 발전이 가속화될 전망입니다.

결론 및 시사점

반도체 산업은 기존의 전공정 미세화(Front-end Scaling)가 물리적·경제적 한계에 직면함에 따라, 후공정인 첨단 패키징(Advanced Packaging) 기술을 통해 성능 향상을 도모하는 새로운 패러다임으로 전환되었습니다. 본 보고서에서 분석한 1D/2D에서 2.5D, 3D 및 칩렛(Chiplet) 구조로의 진화는 단순히 물리적 적층의 변화를 넘어, 데이터 전송 효율을 극대화하고 제조 비용을 최적화하기 위한 필연적인 기술적 경로입니다.

미래 반도체 시장의 핵심 트렌드와 이에 따른 기술적 대응 방향은 다음과 같이 요약할 수 있습니다.

1. 차세대 인터커넥트 기술로의 전환: Hybrid Bonding의 도입

HBM4(6세대 HBM)와 같은 차세대 고대역폭 메모리 및 고성능 컴퓨팅(HPC)용 프로세서에서는 기존의 범프(Bump) 기반 접합 방식을 넘어, 구리(Cu)와 구리를 직접 맞닿게 하는 **하이브리드 본딩(Hybrid Bonding)** 기술이 주류가 될 전망입니다. 이는 범프가 없는 구조를 통해 적층 높이를 낮추고, I/O 밀도를 획기적으로 높여 데이터 전송 속도를 극대화할 수 있는 핵심 기술입니다.

2. 이종 집적(Heterogeneous Integration)과 칩렛(Chiplet) 생태계 확장

단일 거대 다이(Monolithic Die)를 제조하는 방식 대신, 서로 다른 공정 노드에서 제작된 최적의 기능 블록들을 연결하는 **칩렛(Chiplet)** 아키텍처가 더욱 가속화될 것입니다. 특히 **UCIe(Universal Chiplet Interconnect Express)**와 같은 표준 인터페이스의 정착은 서로 다른 제조사의 칩렛 간 상호 운용성을 보장하며, 맞춤형(Customized) AI 반도체 시장을 폭발적으로 성장시키는 촉매제가 될 것입니다.

3. 수율 최적화(Yield Optimization)를 위한 검사 기술의 고도화

패키징 구조가 복잡해질수록 미세한 결함이 전체 시스템의 치명적인 불량으로 이어지는 리스크가 커집니다. 따라서 다음과 같은 검사 기술 확보가 제조사의 경쟁력을 결정짓는 핵심 요소가 될 것입니다.

- **초정밀 정렬(Alignment) 및 결함 검사:** Hybrid Bonding 공정 도입에 따른 Cu-to-Cu 접합면의 미세 이물질(Particle) 및 정렬 오차 검출.
- **물리적 변형 제어:** 고단 적층(16단 이상) 시 발생하는 **워피지(Warpage, 휨)** 현상에 대한 정밀 측정 및 보정.
- **전기적·비파괴 검사 병행:** TSV(Through Silicon Via) 연결성 검증을 위한 고해상도 광학 검사와 적층 내부 Void를 확인하기 위한 3D X-ray(CT) 기술의 통합.

결론적으로, 향후 반도체 시장의 승자는 단순히 미세 공정을 선점하는 기업이 아니라, **칩렛 기반의 이종 집적 기술을 얼마나 안정적으로 구현하며, AI 기반의 지능형 검사 솔루션을 통해 수율(Yield)을 극대화할 수 있는가**에 의해 결정될 것입니다.