



차세대 반도체 패키징 혁신: 유리기판(Glass Substrat

문서번호 CRSM-AI-2026-AUTO

작성일 2026-06-02

작성 CresseM AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

차세대 반도체 패키징 혁신: 유리기판(Glass Substrate) 기술 및 검사 공정 분석 보고서	3
개요 및 배경	3
유리기판의 기술적 특성 및 장점	4
글로벌 시장 동향 및 전망	5
주요 산업 플레이어 및 밸류체인 분석	7
유리기판 핵심 제조 공정 프로세스	8
공정 단계별 핵심 검사 항목 및 기술 요구사항	10
크레셈(CRESSEM)의 기술적 대응 전략	12
결론 및 시사점	13

차세대 반도체 패키징 혁신: 유리기판(Glass Substrate) 기술 및 검사 공정 분석 보고서

반도체 미세화 한계 극복을 위한 차세대 게임 체인저인 유리기판의 정의, 기술적 이점 및 시장 동향을 분석합니다. 주요 플레이어의 전략과 핵심 제조 공정, 그리고 각 공정 단계에서 요구되는 고정밀 검사 항목을 심층적으로 다룹니다.

개요 및 배경

반도체 산업은 지난 수십 년간 전공정(Front-end)에서의 미세화(Scaling)를 통해 성능 향상을 이끌어 왔습니다. 그러나 물리적 한계에 직면한 '무어의 법칙(Moore's Law)'의 종말론이 대두됨에 따라, 반도체 성능을 결정짓는 핵심 동력은 개별 소자의 미세화를 넘어, 개별 칩들을 어떻게 효율적으로 연결하고 통합할 것인가를 다루는 **후공정(Back-end) 기술, 즉 어드밴스드 패키징(Advanced Packaging)**으로 급격히 이동하고 있습니다.

현재 반도체 패키징 시장은 단순히 칩을 보호하는 수준을 넘어, AI 가속기, 고성능 컴퓨팅(HPC), 데이터 센터와 같은 초고성능 연산 환경을 지원하기 위한 **이종 집적(Heterogeneous Integration)** 기술이 핵심으로 자리 잡았습니다. 특히 HBM(High Bandwidth Memory)과 같이 수직으로 칩을 쌓아 올리는 3D 적층 구조나, 로직 다이와 메모리 다이를 하나의 인터포저(Interposer) 위에 배치하는 2.5D 패키징 기술은 데이터 전송 속도를 극대화하고 전력 소모를 줄이는 데 결정적인 역할을 수행하고 있습니다 [출처: 분석_HBM4세대전환에따른크레셈CRESSEM의검사장_20260509_001.pdf].

이러한 패키징 기술의 고도화 과정에서 기존의 주류였던 **유기 기판(Organic Substrate, 예: FC-BGA)**은 물리적·전기적 한계점에 도달하고 있습니다. 유기 소재는 미세한 회로 패턴을 구현하기 위한 평탄도(Flatness) 유지가 어렵고, 고성능 칩에서 발생하는 열에 의한 **워피지(Warping, 휨 현상)** 제어가 매우 까다롭습니다. 또한, 전기적 신호 손실(Signal Loss)과 전력 공급의 불안정성은 초고속 데이터 전송이 필수적인 AI 반도체 환경에서 치명적인 병목 현상을 야기합니다.

이러한 기술적 난제를 해결하기 위한 '게임 체인저(Game Changer)'로 부상한 것이 바로 **유리기판(Glass Substrate)**입니다. 유리기판은 기존 유기 기판을 대체하여 반도체 패키징의 새로운 표준이 될 것으로 기대되며, 그 도입의 필연성은 다음과 같은 기술적 우위에서 기인합니다.

첫째, 탁월한 평탄도와 치수 안정성입니다. 유리는 표면이 매우 매끄럽고 열팽창 계수(CTE, Coefficient of Thermal Expansion)를 실리콘 웨이퍼와 유사하게 정밀하게 제어할 수 있습니다. 이는 고단 적층 패키징 시 발생하는 휨(Warping) 문제를 획기적으로 개선하여, 초미세 피치(Fine Pitch)의 범프(Bump) 정렬 및 연결 신뢰성을 보장합니다.

둘째, 전기적 성능의 극대화입니다. 유리는 유기 소재보다 전기적 손실이 적고 절연 특성이 우수하여, 고주파(High-frequency) 신호 전송 시 신호 무결성(Signal Integrity)을 유지하는 데 유리합니다. 이는 차세대 AI 가속기와 같은 초고속 데이터 통신 환경에서 필수적인 요소입니다 [출처: 차세대 반도체 패키징의 혁신: 유리기판(Glass Substrate)의 모든 것].

셋째, 미세 회로 구현의 용이성입니다. 유리는 표면이 균일하여 TGV(Through Glass Via)와 같은 미세 관통 전극을 형성하기에 적합하며, 이를 통해 더 높은 입출력(I/O) 밀도를 구현할 수 있습니다. 이는 칩과 기판 사이의 데이터 대역폭을 폭발적으로 증가시키는 기반이 됩니다.

결론적으로, **포스트 무어(Post-Moore)** 시대의 반도체 경쟁력은 '얼마나 더 작게 만드느냐'가 아니라 '얼마나 더 효율적으로 연결하느냐'에 달려 있습니다. 유리기판은 고성능 컴퓨팅과 AI 산업의 폭발적인 수요를 충족시키기 위한

차세대 패키징의 핵심 인프라로서, 반도체 제조 생태계 전반에 걸친 거대한 패러다임의 변화를 예고하고 있습니다. 본 보고서에서는 이러한 유리기판 기술의 특성부터 제조 공정, 그리고 이를 뒷받침하기 위한 고정밀 검사 기술의 필요성을 심층적으로 분석하고자 합니다.

유리기판의 기술적 특성 및 장점

반도체 패키징 기술이 '모어 이후(Post-Moore)' 시대로 접어들면서, 미세 공정의 물리적 한계를 극복하기 위한 대안으로 유리기판(Glass Substrate)이 급부상하고 있습니다. 기존의 유기물 기반 기판(Organic Substrate, 예: FC-BGA)은 미세 회로 구현과 대면적화 과정에서 구조적 불안정성이라는 근본적인 한계에 직면해 있습니다. 유리기판은 이러한 유기 기판의 물리적·전기적 취약점을 극복할 수 있는 차세대 핵심 소재로, 특히 AI 가속기, 고성능 컴퓨팅(HPC), 데이터 센터용 프로세서와 같이 초고속 데이터 전송과 고전력 공급이 동시에 요구되는 환경에서 압도적인 기술적 우위를 제공합니다.

1. 물리적 특성: 초평탄성(Flatness) 및 구조적 안정성

유리기판의 가장 핵심적인 물리적 이점은 극도로 높은 **평탄도(Flatness)**입니다. 유기 기판은 에폭시 수지(Epoxy Resin)와 같은 고분자 물질을 기반으로 하므로, 제조 공정 중 열처리나 화학적 반응에 따라 표면이 미세하게 굴곡지거나 휘어지는 현상이 빈번하게 발생합니다. 반면, 유리는 결정 구조가 매우 안정적이며 표면 거칠기(Surface Roughness)를 극도로 낮게 제어할 수 있어, 나노미터(nm) 단위의 초미세 패턴을 형성하기에 최적의 환경을 제공합니다.

- **Warpage(휨) 제어 능력:** 적층 단수가 높아지는 HBM(High Bandwidth Memory)이나 2.5D/3D 패키징 구조에서는 열팽창 계수(CTE)의 불일치로 인해 기판이 휘어지는 **Warpage** 현상이 심각한 수율 저하 요인으로 작용합니다 [출처: 매뉴얼_HBMAdvancedInspectionSyst_20260509_001.pdf]. 유리기판은 소재 자체의 강성(Stiffness)이 매우 높아, 다단 적층 시 발생하는 물리적 응력에 대해 유기 기판보다 훨씬 뛰어난 저항성을 가집니다. 이는 패키지 전체의 구조적 안정성을 확보하여, Die-to-Die 정렬(Alignment)의 정밀도를 극대화하는 밑바탕이 됩니다.
- **대면적화(Large-scale) 용이성:** 유기 기판은 면적이 커질수록 두께를 유지하면서 강성을 확보하기가 매우 어렵지만, 유리는 높은 탄성 계수를 바탕으로 대면적 기판에서도 평탄도를 유지할 수 있습니다. 이는 차세대 반도체 칩렛(Chiplet) 구조에서 여러 개의 다이를 하나의 기판 위에 배치하는 이종 집적(Heterogeneous Integration) 기술을 구현할 때 필수적인 요소입니다.

2. 열적 특성: 열팽창 계수(CTE) 매칭을 통한 신뢰성 확보

반도체 패키징 공정에서 가장 치명적인 문제 중 하나는 열에 의한 변형입니다. 실리콘(Si) 다이와 기판 사이의 **열팽창 계수(Coefficient of Thermal Expansion, CTE)** 차이는 온도 변화에 따라 접합부(Bump/TSV)에 막대한 물리적 스트레스를 가하며, 이는 곧 크랙(Crack)이나 접합 불량으로 이어집니다.

특성 비교 항목	실리콘 (Si)	유리기판 (Glass)	유기 기판 (Organic)
열팽창 계수 (CTE)	~2.6 ppm/°C	~3.0 ~ 9.0 ppm/°C (조절 가능)	~12 ~ 17 ppm/°C
표면 평탄도	매우 높음	매우 높음	낮음 (굴곡 발생 가능)
기계적 강성	매우 높음	높음	낮음
미세 회로 구현력	매우 높음	매우 높음	보통/낮음

유리기판의 가장 혁신적인 점은 CTE를 실리콘 다이의 수치에 근접하도록 정밀하게 튜닝(Tuning)할 수 있다는 것입니다 [일반 지식]. 유기 기판은 CTE가 실리콘에 비해 너무 높아 온도 변화 시 팽창/수축 폭이 크지만, 유리는 조성 제어를 통해 실리콘과 유사한 열적 특성을 가질 수 있습니다. 이러한 CTE Matching은 다음과 같은 효과를 창출합니다.

- **Interconnect 신뢰성 향상:** Bump 또는 TSV(Through Silicon Via)와 같은 미세 연결 부위가 열 사이클(Thermal Cycle) 동안 받는 기계적 피로도를 획기적으로 감소시킵니다.
- **공정 수율 개선:** 열에 의한 변형이 최소화됨에 따라, 고정밀 정렬(Alignment)이 요구되는 Hybrid Bonding 공정 등에서 불량률을 낮출 수 있습니다.

3. 전기적 특성: 신호 무결성(Signal Integrity) 및 고속 전송

AI 및 데이터 센터용 반도체의 성능은 데이터 전송 속도와 전력 효율에 의해 결정됩니다. 유리기판은 전기적 신호 손실을 최소화할 수 있는 최적의 유전체(Dielectric) 특성을 제공합니다.

- **낮은 유전 손실(Low Dielectric Loss):** 유기 기판은 고주파 영역으로 갈수록 신호 감쇄(Attenuation)가 심해지는 경향이 있습니다. 유리기판은 유전율(Dielectric Constant, Dk)과 유전 손실(Dissipation Factor, Df)이 매우 낮아, 초고주파(mmWave) 대역에서도 신호의 무결성(Signal Integrity, SI)을 유지할 수 있습니다. 이는 차세대 통신 규격 및 AI 가속기 내의 고속 데이터 버스 구현에 필수적입니다.
- **고밀도 배선(High-Density Interconnect) 구현:** 유리는 표면이 매우 매끄러워 미세한 회로 패턴(Fine Pitch Pattern)을 형성하기에 용이합니다. 이는 기판 내부에 더 많은 배선을, 더 좁은 간격으로 배치할 수 있음을 의미하며, 결과적으로 신호 전달 경로를 단축시키고 전력 소모를 줄이는 효과를 가져옵니다.
- **전력 무결성(Power Integrity, PI) 강화:** 대면적 기판에서도 안정적인 전압 공급이 가능하도록 설계할 수 있어, 고성능 프로세서가 요구하는 급격한 전류 변화(di/dt) 상황에서도 전압 강하(Voltage Drop)를 최소화할 수 있습니다.

4. 요약 및 기술적 시사점

종합적으로 볼 때, 유리기판은 단순한 소재의 교체를 넘어 패키징 기술의 패러다임을 바꾸는 게임 체인저(Game Changer)입니다. 기존 유기 기판이 가진 구조적 한계(낮은 강성, 높은 CTE, 높은 유전 손실)를 소재 자체의 물리적·전기적 우월성으로 해결함으로써, 반도체 제조사는 더욱 높은 집적도와 성능을 동시에 달성할 수 있게 됩니다.

다만, 유리기판은 소재 특성상 취성(Brittleness, 깨지기 쉬운 성질)이 강해 제조 및 핸들링 공정에서의 파손 위험이 높고, TGV(Through Glass Via) 공정과 같은 고난도 제조 기술이 요구됩니다 [출처: 교보증권]. 따라서 유리기판의 도입은 기판 제조 공정뿐만 아니라, 이를 검사하고 관리하기 위한 고정밀 광학 검사 및 AI 기반의 결함 분석 기술의 동반 성장을 강력하게 요구하고 있습니다.

글로벌 시장 동향 및 전망

차세대 반도체 패키징의 게임 체인저로 부상한 유리기판(Glass Substrate) 시장은 인공지능(AI) 연산 수요의 폭발적 증가와 함께 가파른 성장 곡선을 그리며 산업의 패러다임을 재편하고 있습니다. 기존 유기 기판(Organic Substrate)이 가진 물리적 한계를 극복하기 위한 대안으로서, 유리기판은 단순한 소재의 교체를 넘어 고성능 컴퓨팅(HPC) 및 AI 가속기 시장의 핵심 인프라로 자리매김할 전망입니다.

1. 시장 규모 및 성장률(CAGR) 분석

글로벌 유리기판 시장은 현재 태동기를 지나 본격적인 상용화 진입 단계에 있으며, 향후 수년간 두 자릿수에 육박하는 성장세를 기록할 것으로 예측됩니다. 관련 시장 데이터에 따르면, 2024년 전 세계 유리기판 시장 규모는 약 72억 달러에서 79억 달러 사이로 추정됩니다 [출처: <https://research4lab.tistory.com/entry/Report-%EC%9C>

%A0%EB%A6%AC%EA%B8%B0%ED%8C%90glass-substrate-%EC%8B%9C%EC%9E%A5-%EB%B0%8F-%EC%A3%BC%EC%9A%94-%EA%B8%B0%EC%97%85-%EB%8F%99%ED%96%A5%EC%97%90-%EB%8C%80%ED%95%9C-%EB%B3%B4%EA%B3%A0%EC%84%9C].

연도별 상세 전망은 다음과 같습니다.

구분	2024년 (추정)	2025년 (전망)	2029년 (전망)	2034년 (전망)
시장 규모 (USD)	7.2B ~ 7.9B	약 \$8.4B	약 \$10.8B	\$10.3B 이상
연평균 성장률 (CAGR)	-	약 6.5% ~ 6.8%	지속 성장세	시장 성숙기 진입

[출처: <https://research4lab.tistory.com/entry/Report-%EC%9C%A0%EB%A6%AC%EA%B8%B0%ED%8C%90glass-substrate-%EC%8B%9C%EC%9E%A5-%EB%B0%8F-%EC%A3%BC%EC%9A%94-%EA%B8%B0%EC%97%85-%EB%8F%99%ED%96%A5%EC%97%90-%EB%8C%80%ED%95%9C-%EB%B3%B4%EA%B3%A0%EC%84%9C>]

위 수치는 시장 조사 기관의 분석 모델에 따라 차이가 있을 수 있으나, 공통적으로 2025년을 기점으로 유리기판의 양산 적용 범위가 확대되면서 시장 규모가 가속화될 것임을 시사합니다. 특히 2029년 이후에는 고성능 AI 칩셋의 표준 규격이 유리기판으로 전환되는 시점과 맞물려 규모의 경제를 달성할 것으로 보입니다.

2. 시장 성장의 핵심 동력 (Growth Drivers)

유리기판 시장을 견인하는 가장 강력한 동력은 **AI 가속기(AI Accelerator)** 및 **고성능 컴퓨팅(HPC) 시장의 팽창**입니다. 생성형 AI 기술의 발전으로 인해 NVIDIA, AMD와 같은 빅테크 기업들이 요구하는 반도체 성능은 기하급수적으로 높아지고 있습니다.

- **데이터 전송 효율 극대화:** AI 모델이 거대화됨에 따라 로직 다이(Logic Die)와 메모리(HBM 등) 사이의 데이터 전송 대역폭(Bandwidth) 확보가 필수적입니다. 유리기판은 기존 유기 기판보다 훨씬 미세한 회로 패턴 구현이 가능하며, 신호 손실(Signal Loss)을 최소화하고 전력 효율을 높일 수 있는 최적의 기반을 제공합니다 [출처: <https://m.blog.naver.com/ilkyoo/224146569774>].
- **이종 집적(Heterogeneous Integration)의 고도화:** CoWoS(Chip on Wafer on Substrate)와 같은 2.5D/3D 패키징 기술이 고도화되면서, 대면적 칩을 안정적으로 지지할 수 있는 평탄도(Flatness)와 열적 안정성이 요구됩니다. 유리기판은 열팽창 계수(CTE) 조절이 용이하여 적층 구조에서의 Warpage(휨) 문제를 획기적으로 개선할 수 있습니다.
- **Post-Moore 시대의 대안:** 반도체 전공정의 미세화(Scaling)가 물리적 한계에 다다름에 따라, 패키징 기술을 통해 성능을 끌어올리는 'More than Moore' 전략이 핵심이 되었습니다. 유리기판은 이러한 패키징 혁신의 중심에 위치하며 차세대 주력 제품으로 육성되고 있습니다 [출처: <https://m.blog.naver.com/ilkyoo/224146569774>].

3. 산업별 수요 예측 및 전망

유리기판의 수요는 산업군에 따라 단계적으로 확산될 것으로 예측됩니다.

- **1단계: AI 및 데이터센터 (초기 시장):** 가장 먼저 시장을 형성할 분야입니다. 초고속 데이터 처리가 생명인 AI 서버용 가속기 시장에서는 비용보다 성능과 신뢰성이 최우선 가치이므로, 고가의 유리기판 도입이 가장 빠르게 이루어질 것입니다.
- **2단계: 고성능 컴퓨팅 및 클라우드 (확산기):** 데이터센터 인프라의 고도화와 함께 클라우드 서비스 제공업체(CSP)들의 수요가 증가하며 시장이 대중화될 것입니다.

- **3단계: 모바일 및 소비자 가전 (성숙기):** 전력 효율과 기기 소형화가 중요한 모바일 분야에서도 유리기판의 장점이 부각될 수 있으나, 초기에는 높은 제조 원가가 진입 장벽으로 작용할 것입니다. 다만, 기술 성숙에 따른 단가 하락이 이루어지면 적용 범위가 넓어질 전망입니다.

결론적으로, 유리기판 시장은 AI 반도체 공급망의 핵심 요소로서 단순한 부품 시장을 넘어, 차세대 컴퓨팅 인프라의 성패를 결정짓는 전략적 요충지가 될 것입니다 [출처: <https://m.blog.naver.com/ilkyoo/224146569774>].

주요 산업 플레이어 및 밸류체인 분석

유리기판(Glass Substrate) 기술은 단순한 소재의 변화를 넘어, 반도체 후공정(Back-end)의 패러다임을 재편하는 핵심 요소입니다. 유리기판 밸류체인은 크게 **1) 유리기판 코어(Core) 제조, 2) 핵심 공정 기술(TGV 등) 및 장비, 3) 기판 제조 및 패키징 솔루션**의 세 가지 축으로 구성됩니다 [출처: https://www.iprovest.com/upload/research/report/idxnews/20251110/20251110_B45_20250069_1.pdf]. 특히 AI 가속기 및 고성능 컴퓨팅(HPC) 시장의 폭발적 성장과 맞물려, 각 단계의 플레이어들은 초미세 공정 구현을 위한 기술 주도권 확보에 사활을 걸고 있습니다.

1. 유리기판 밸류체인 구조 및 핵심 요소

유리기판 산업은 기존 유기 기판(Organic Substrate) 공급망과는 차별화된 기술적 진입장벽을 가집니다. 밸류체인의 핵심은 유리기판의 물리적 특성을 유지하면서도 전기적 연결성을 확보하는 TGV(Through Glass Via) 공정의 완성도에 달려 있습니다 [출처: https://www.iprovest.com/upload/research/report/idxnews/20251110/20251110_B45_20250069_1.pdf].

구분	주요 역할 및 핵심 기술	핵심 요구 역량
Core Material	유리기판의 베이스가 되는 고품질 유리 원판 공급	평탄도(Flatness), 열팽창계수(CTE) 제어, 미세 균열(Micro-crack) 방지
TGV Process	유리 내부에 미세 관통 전극(Via)을 형성하는 핵심 공정	레이저 식각(Laser Ablation) 정밀도, Via 내부 청정도(Cleanliness)
Substrate Mfg.	TGV 및 회로 형성(L/S)을 통해 최종 기판 완성	미세 회로 패턴 형성, 금속화(Metallization) 신뢰성
Inspection/Equipment	공정 중 발생하는 결함 검출 및 생산 장비 공급	초고해상도 광학 검사(AOI), AI 기반 결함 분류, TGV 장비

2. 주요 산업 플레이어 및 전략적 포지셔닝

현재 유리기판 시장은 종합 반도체 기업(IDM), 기판 제조사(Substrate Manufacturer), 그리고 핵심 공정 장비사가 긴밀하게 결합된 생태계를 형성하고 있습니다.

(1) 기판 및 패키징 제조사 (Substrate & Packaging Players)

가장 공격적인 투자를 단행하고 있는 그룹으로, 차세대 패키징 솔루션을 선점하기 위해 유리기판 양산 라인을 구축 중입니다.

- **삼성전기 (Samsung Electro-Mechanics):** 국내 주요 IT 기업 중 하나로, 유리기판을 차세대 주력 제품으로 육성하기 위해 집중적인 투자를 단행하고 있습니다 [출처: <https://m.blog.naver.com/ilkyoo/224146569774>]. 연구개발을 통해 유리기판 상용화 시점을 앞당기려는 전략을 취하고 있습니다.
- **SKC (Absolics):** 미국 시장을 중심으로 유리기판 양산 체계를 구축하며 글로벌 공급망 선점에 나서고 있습니다.

- **Intel:** 유리기판 기술 도입을 가장 적극적으로 검토하고 있는 글로벌 IDM으로, 차세대 AI 프로세서 패키징에 유리기판을 적용하기 위한 로드맵을 제시하고 있습니다.

(2) 핵심 공정 및 장비사 (Equipment & Process Players)

유리기판의 기술적 난제인 TGV와 미세 회로 형성을 해결할 수 있는 장비 역량이 시장의 성패를 결정합니다.

- **TGV 장비 전문 기업:** 레이저를 이용한 정밀 식각(Laser Ablation) 기술을 보유한 기업들이 핵심 플레이어로 부상하고 있습니다. 유리의 취성(Brittleness)을 극복하면서도 균일한 Via를 형성하는 것이 관건입니다 [출처: http://www.iprovest.com/upload/research/report/idxnews/20251110/20251110_B45_20250069_1.pdf].

- **검사 장비 기업 (Inspection Players):** 유리기판은 기존 기판보다 훨씬 미세한 공정을 요구하므로, 초고해상도 광학 검사 및 AI 비전 기술을 보유한 기업의 중요도가 급증하고 있습니다. **크레셈(CRESSEM)**과 같이 고난도 패키징(HBM, FC-BGA) 검사 레퍼런스를 보유한 기업은 유리기판의 미세 결함(Via 정렬 오류, Crack, 이물질 등)을 검출하는 솔루션으로 시장에 진입할 수 있는 강력한 기술적 교두보를 확보하고 있습니다 [출처: 분석_HBM4세대전환에따른크레셈CRESSEM의검사장_20260509_001.pdf].

3. 밸류체인 내 기술적 병목 구간(Bottleneck) 분석

밸류체인의 성장을 저해하는 주요 기술적 과제는 다음과 같으며, 이를 해결하는 플레이어가 시장의 지배력을 갖게 됩니다.

1. **TGV 수율 확보:** 유리 소재 특유의 균열(Cracking) 문제를 해결하며 수천 개의 Via를 균일한 깊이와 직경으로 형성하는 기술이 필수적입니다.
2. **초미세 정렬(Ultra-fine Alignment):** 유리기판 위에 형성되는 회로와 칩 간의 접합(Hybrid Bonding 등) 시 발생하는 미세한 위치 오차(Misalignment)를 제어해야 합니다 [출처: 분석_HBM4세대전환에따른크레셈CRESSEM의검사장_20260509_001.pdf].
3. **검사 신뢰성:** 유리의 투명도와 반사 특성으로 인해 기존 광학 검사 방식으로는 결함 검출이 어려울 수 있으므로, 이를 극복할 수 있는 특화된 AI 비전 알고리즘과 고성능 광학 엔진이 요구됩니다 [출처: 기업 분석 보고서 (주)크레셈(CRESSEM)].

유리기판 핵심 제조 공정 프로세스

유리기판(Glass Substrate)의 제조 공정은 기존의 유기 기판(Organic Substrate) 공정과 달리, 유리라는 소재가 가진 고유의 물리적 특성—높은 경도, 취성(Brittleness), 그리고 매끄러운 표면—을 활용하면서도, 이를 반도체 패키징에 적합한 전기적 통로로 변환하는 고난도 기술의 집합체입니다. 유리기판의 핵심은 유리 코어(Glass Core) 내부에 미세한 통로를 형성하여 상하부 회로를 연결하는 TGV(Through Glass Via) 기술과, 그 내부를 금속으로 채우는 메탈라이제이션(Metallization) 공정에 있습니다.

1. 유리 코어 준비 및 세정 (Glass Core Preparation & Cleaning)

공정의 출발점은 고품질의 Glass Core를 준비하는 단계입니다. 유리기판은 미세 회로 구현을 위해 매우 평탄한 표면(Surface Flatness)과 균일한 두께를 가져야 합니다. 준비된 유리 기판은 미세한 이물질이나 유분, 산화막 등을 제거하기 위해 초정밀 세정 공정을 거칩니다. 이 단계에서의 오염은 후속 공정인 TGV 형성 시 균열(Crack)을 유발하거나, 금속 증착 시 접착력(Adhesion)을 저하시키는 치명적인 원인이 됩니다.

2. TGV(Through Glass Via) 형성 공정

TGV는 유리기판 제조의 가장 핵심적인 단계로, 유리 기판을 관통하는 수천 개의 미세 비아(Via)를 형성하는 과정입니다. 기존 PCB의 Through-Hole과는 차원이 다른 미세 스케일(수십 μm 이하)을 요구하며, 크게 두 가지 방식이 논의되고 있습니다.

- **레이저 유도 에칭(Laser-Induced Etching, LIE):** 레이저를 이용하여 유리 내부의 특정 지점에 국부적인 구조 변화를 일으킨 후, 화학적 에칭(Cheical Etching)을 통해 해당 경로를 따라 유리 물질을 제거하는 방식입니다. 이 방식은 열 변형을 최소화하면서도 매우 높은 종횡비(Aspect Ratio)를 가진 정밀한 비아를 형성할 수 있다는 장점이 있습니다.
- **기계적/물리적 드릴링(Mechanical/Physical Drilling):** 매우 미세한 다이아몬드 드릴 등을 사용하는 방식이나, 유리의 취성으로 인해 미세 균열(Micro-crack)이 발생할 위험이 커 차세대 초미세 공정에서는 레이저 기반 방식이 더욱 주목받고 있습니다.

TGV 공정의 성공 여부는 비아의 벽면(Sidewall)이 얼마나 매끄러운가와, 비아의 입구와 출구가 설계된 위치에 정확히 정렬(Alignment)되었는가에 달려 있습니다.

3. 메탈라이제이션(Metallization) 및 증착 공정

TGV가 형성된 유리 기판은 절연체 상태이므로, 전기적 신호 전달을 위해 비아 내부와 기판 표면에 금속 회로를 형성해야 합니다.

- **Seed Layer Deposition:** 비아 내부의 매끄러운 벽면과 금속 간의 접착력을 높이기 위해, PVD(Physical Vapor Deposition) 또는 ALD(Atomic Layer Deposition) 방식을 사용하여 아주 얇은 씨앗 층(Seed Layer)을 증착합니다.
- **Copper Filling (Electroplating):** 형성된 씨앗 층을 바탕으로 전해 도금(Electroplating) 공정을 통해 구리(Cu)를 TGV 내부로 채워 넣습니다. 이때 비아 내부에 빈 공간(Void)이 발생하지 않도록 전류 밀도와 도금액의 농도를 정밀하게 제어하는 것이 기술적 난제입니다. Void가 발생할 경우 전기적 저항이 급증하거나 신호 전달의 불연속성이 발생하여 최종 제품의 신뢰성을 떨어뜨립니다.

4. 회로 형성 및 미세 패턴 공정 (RDL: Redistribution Layer)

금속이 채워진 TGV 상단과 하단에는 신호를 재배치하기 위한 재배선층(RDL)이 형성됩니다. 유리기판은 유기 기판보다 표면이 매우 평탄하기 때문에, 훨씬 더 미세한 회로 패턴(Fine Pitch Pattern)을 구현할 수 있습니다. 포토레지스트(Photoresist) 도포, 노광(Exposure), 현상(Development)으로 이어지는 리소그래피(Lithography) 공정을 통해 초미세 회로를 그려내며, 이후 금속 증착과 식각(Etching)을 통해 최종적인 RDL 패턴을 완성합니다.

5. 최종 검사 및 신뢰성 평가

모든 공정이 완료된 후에는 유리기판의 물리적/전기적 건전성을 확인해야 합니다. 특히 TGV 내부의 충전 상태, 금속 패턴의 단선(Open) 및 단락(Short), 그리고 유리 자체의 미세 균열 여부를 검사하는 것이 필수적입니다.

공정 단계	핵심 기술 요소	주요 발생 결함 (Defect)	검사 요구사항
TGV 형성	Laser Etching, Chemical Etching	Micro-crack, Misalignment, Rough Sidewall	비아 직경 및 위치 정밀도, 균열 유무
Metallization	PVD/ALD, Electroplating	Void in Via, Seed layer discontinuity	비아 내부 충전율(Fill rate), 접착력
RDL 형성	Photolithography, Etching	Pattern Shift, Short/Open, Residue	회로 미세 패턴 해상도, 정렬 정확도
최종 조립	Bonding, Lamination	Warpage (휨), Delamination	평탄도(Flatness), 층간 분리 여부

유리기판 공정은 이처럼 각 단계가 고도의 정밀도를 요구하며, 특히 TGV와 메탈라이제이션 과정에서의 결함은 전체 패키지의 수율을 결정짓는 핵심 변수가 됩니다.

유리기판(Glass Substrate) 핵심 제조 프로세스 흐름도



공정 단계별 핵심 검사 항목 및 기술 요구사항

유리기판(Glass Substrate)은 기존 유기 기판(Organic Substrate) 대비 표면 평탄도(Flatness)와 치수 안정성이 매우 뛰어나지만, 재료 특성상 취성(Brittleness)이 강해 공정 중 미세 균열(Micro-crack)이나 파손(Fracture)의 위험이 높습니다. 따라서 유리기판의 제조 및 패키징 공정은 매우 정밀한 검사 솔루션을 요구하며, 특히 TGV(Through Glass Via) 형성 및 회로 형성 단계에서의 결함 검출은 전체 수율(Yield)을 결정짓는 핵심 요소입니다. 본 섹션에서는 유리기판 공정 단계별로 발생 가능한 주요 결함과 이를 검출하기 위한 기술적 요구사항을 상세히 분석합니다.

1. TGV(Through Glass Via) 형성 및 세정 공정 검사

TGV는 유리기판의 핵심 기술로, 유리 내부를 관통하는 미세 구멍을 형성하여 상부 회로와 하부 회로를 전기적으로 연결하는 통로 역할을 합니다. 이 단계에서의 검사는 유리기판의 전기적 연결 신뢰성을 확보하는 데 목적이 있습니다.

검사 항목	주요 결함 유형 (Defect Types)	검사 기술 및 요구사항
Via 형태 및 치수	Via 직경(Diameter) 불일치, 종횡비(Aspect Ratio) 오류, Via 깊이(Depth) 편차	3D 프로파일링(3D Profiling): 레이저 또는 광학 기반의 3D 측정 기술을 통해 Via의 입구와 출구의 형상을 정밀 측정해야 함.
Via 내부 결함	Via 내부 잔류물(Residue), 미세 균열(Micro-crack), 벽면 거칠기(Roughness) 불량	고해상도 AOI(Automated Optical Inspection): 미세한 이물질이나 유리 벽면의 균열을 검출하기 위한 초고해상도 광학계 필요.
세정 상태	Via 내부 세정액 잔류, 미세 파티클(Particle) 부착	백라이트(Backlight) 및 조명 제어 검사: 투명한 유리 특성을 이용해 내부의 불투명한 잔류물을 명확히 시각화하는 기술.

[기술적 요구사항]

TGV 공정은 매우 높은 종횡비를 가지므로, 일반적인 2D 검사로는 Via 내부의 형상이나 깊이를 파악하기 어렵습니다. 따라서 **3D AOI 기술**을 통해 Via의 입구(Top)와 바닥(Bottom)의 정렬 상태 및 형상 데이터를 확보하는 것이 필수적입니다. 특히 레이저 식각(Laser Ablation) 공정 시 발생하는 열 변형에 의한 주변부 균열(Radial

Crack)을 검출하기 위해 고배율의 광학 검사 시스템이 요구됩니다.

2. 회로 형성 및 미세 패턴(Patterning) 검사

TGV 형성 이후, 유리 표면에 미세한 회로(RDL, Redistribution Layer)를 형성하는 단계입니다. 유리기판은 기존 기판보다 더 미세한 회로 구현이 가능하므로, 검사 장비의 해상도(Resolution) 역시 비약적으로 향상되어야 합니다.

검사 항목	주요 결함 유형 (Defect Types)	검사 기술 및 요구사항
회로 패턴 정밀도	패턴 단선(Open), 패턴 단락(Short), 선폭(Line Width) 편차	Deep Learning 기반 AI 비전: 미세 패턴의 변형을 실시간으로 식별하고, 정상 노이즈와 실제 결함을 구분하여 과검(Over-kill) 방지.
회로 정렬(Alignment)	레이어 간 정렬 오차(Misalignment), 스텝 커버리지(Step Coverage) 불량	고정밀 스테이지 제어 및 정렬 검사: 층간 적층 시 발생하는 미세한 위치 오차를 μm 단위 이하로 측정.
표면 결함	스크래치(Scratch), 이물질(Foreign Material), 박리(Delamination)	다각도 조명(Multi-angle Illumination): 표면의 반사율 차이를 이용하여 미세한 스크래치와 이물질을 극대화하여 시각화.

[기술적 요구사항]

유리기판의 회로 패턴은 매우 미세하므로, **고속 광학 엔진(High-speed Optical Engine)**과 **AI 알고리즘**의 결합이 중요합니다. 단순히 Rule-based 방식의 검사는 미세한 패턴 노이즈를 결함으로 오인하는 과검 문제를 야기할 수 있습니다. 따라서 크레셈이 보유한 것과 같은 **Deep Learning 기반 결함 분류 기술**을 적용하여, 실제 불량과 공정상 발생하는 정상적인 패턴 변동을 구분하는 능력이 핵심입니다.

3. 범프(Bump) 형성 및 적층(Stacking) 검사

최종적으로 칩(Die)을 유리기판에 실장하기 위해 마이크로 범프(Micro-bump)를 형성하고 적층하는 단계입니다. 이 단계의 결함은 제품의 전기적 연결 실패로 직결됩니다.

검사 항목	주요 결함 유형 (Defect Types)	검사 기술 및 요구사항
범프 형상 및 위치	범프 높이(Height) 불균일, 범프 미형성(Missing Bump), 위치 이탈(Misalignment)	3D SPI(Solder Paste Inspection) 및 AOI: 범프의 체적(Volume)과 높이를 3차원으로 측정하여 적층 시 접합 신뢰성 확보.
적층 안정성	휨(Warping) 발생, 층간 분리(Delamination), Tilt(기울어짐)	3D 프로파일링 및 Warpage Scan: 적층된 Die 또는 기판의 물리적 변형을 측정하여 구조적 안정성 평가.
접합부 결함	브릿지(Bridge/Short), 보이드(Void), 미충진(Non-wetting)	X-ray / CT 기반 비파괴 검사: 내부 접합부의 Voiding이나 금속 간의 과도한 연결(Short)을 내부에서 직접 관찰.

[기술적 요구사항]

유리기판은 열팽창 계수(CTE)가 낮아 열적 안정성이 높지만, 적층 과정에서 발생하는 물리적 압력이나 열처리(Reflow) 시의 온도 프로파일에 따라 **Warping(휨)** 현상이 발생할 수 있습니다. 이를 제어하기 위해 **고정밀 스테이지 제어 기술**과 **3D 프로파일링 기술**을 결합하여, 변형된 상태에서도 정확한 데이터 추출이 가능한 검사 시스템이 필요합니다. 특히 HBM4와 같은 고사양 패키징으로 진화할 경우, **Hybrid Bonding(Cu-to-Cu)** 기술 도입에 따른 초미세 정렬(Alignment) 검사 솔루션이 필수적으로 요구됩니다.

4. 종합 검사 기술 요구사항 요약

유리기판 공정의 성공적인 구현을 위해서는 다음과 같은 세 가지 핵심 기술 역량이 통합되어야 합니다.

1. **초고해상도 3D 측정 기술 (Ultra-high Resolution 3D Metrology):** TGV의 깊이, 범프의 높이, 기판의 휨(Warping)을 μm 단위 이하의 정밀도로 측정할 수 있는 능력이 필수적입니다. 이는 단순한 2D 이미지를 넘어 입체적인 데이터(Depth Map)를 생성할 수 있어야 함을 의미합니다.

2. **AI 기반 지능형 결함 분류 (AI-Driven Defect Classification):** 유리기판 특유의 투명도와 반사율로 인해 발생하는 광학적 노이즈를 제거하고, 실제 결함만을 선별해내는 Deep Learning 알고리즘이 요구됩니다. 이는 검사 속도(Tact Time)를 높이고 과검률을 낮추어 고객사의 수율 개선에 직접적으로 기여합니다.

3. **데이터 통합 및 피드백 시스템 (Data Integration & Feedback):** 검사된 결함 데이터를 단순 리포팅하는 것을 넘어, 전공정(Fab)의 결함 원인을 역추적(Root Cause Analysis)할 수 있는 데이터 분석 플랫폼이 장비에 통합되어야 합니다. 이는 고객사가 공정 파라미터를 최적화할 수 있도록 돕는 스마트 팩토리 구현의 핵심입니다.

크레셈(CRESSEM)의 기술적 대응 전략

차세대 반도체 패키징의 게임 체인저로 부상한 유리기판(Glass Substrate) 시장에서 크레셈(CRESSEM)은 기존에 확보한 고난도 기판 검사 기술력과 AI 비전 솔루션을 결합하여 독보적인 검사 장비 포트폴리오를 구축하고자 합니다. 유리기판은 기존 유기 기판(Organic Substrate) 대비 표면 평탄도가 높고 미세 회로 구현에 유리하지만, 재료의 특성상 취성(Brittleness)이 강해 공정 중 미세 균열(Micro-crack)이나 TGV(Through Glass Via) 형성 과정에서의 결함 관리가 극도로 까다롭습니다. 이에 크레셈은 다음과 같은 세 가지 핵심 축을 중심으로 기술적 대응 전략을 전개합니다.

1. 초고해상도 3D AOI(Automated Optical Inspection) 및 Hybrid Bonding 대응 기술

유리기판 기반의 패키징이 고도화됨에 따라, 기존의 Bump 방식에서 나아가 구리 직접 접합 방식인 하이브리드 본딩(Hybrid Bonding, Cu-to-Cu) 기술의 도입이 가속화될 전망입니다. 하이브리드 본딩은 기존 방식보다 훨씬 미세한 정렬(Alignment) 정밀도를 요구하며, 아주 작은 이물질이나 미세한 간극(Gap)만으로도 전기적 연결 실패를 초래할 수 있습니다 [분석_HBM4세대전환에따른크레셈CRESSEM의검사장_20260509_001.pdf].

크레셈은 이를 위해 다음과 같은 기술적 고도화를 추진합니다.

- **초미세 간극 및 이물질 검출:** 초고해상도 3D AOI 기술을 고도화하여 접합부의 미세한 물리적 간극과 미세 입자를 실시간으로 검출하는 전용 솔루션을 제공합니다 [분석_HBM4세대전환에따른크레셈CRESSEM의검사장_20260509_001.pdf].

- **TGV 및 미세 패턴 검사:** 유리기판의 핵심인 TGV(Through Glass Via) 내부의 Void(공극)나 벽면의 거칠기, 그리고 기판 내부의 미세 회로 패턴 단선/단락을 정밀하게 스캔할 수 있는 고속 광학 엔진을 적용합니다 [기업 분석 보고서] (주)크레셈 (CRESSEM): 차세대 반도체 패키징 검사 솔루션의 선두주자.

2. AI-Driven 비전 알고리즘을 통한 과검(Over-kill) 방지 및 수율 최적화

유리기판은 재료 특성상 광학적 반사율이 기존 기판과 다르며, 미세한 굴곡이나 패턴에 의해 검사 시 노이즈가 발생할 가능성이 높습니다. 단순한 Rule-based 검사 방식은 정상적인 패턴을 불량으로 판정하는 과검(Over-kill)

문제를 야기하여 생산성을 저하시킬 수 있습니다.

크레셈은 이를 극복하기 위해 **Deep Learning 기반의 결함 분류(Defect Classification)** 기술을 핵심 전략으로 삼습니다 [기업 분석 보고서] (주)크레셈 (CRESSEM): 차세대 반도체 패키징 검사 솔루션의 선두주자.

- **지능형 결함 분류:** AI 알고리즘을 통해 실제 결함(Defect)과 단순한 광학적 노이즈를 정교하게 구분함으로써 과검률을 획기적으로 낮추고, 검사의 신뢰성을 확보합니다 [기업 분석 보고서] (주)크레셈 (CRESSEM): 차세대 반도체 패키징 검사 솔루션의 선두주자.
- **데이터 통합 및 역추적(Root Cause Analysis):** 단순 불량 검출을 넘어, 검사 데이터를 분석하여 전공정(Fab) 및 기판 제조 공정의 결함 원인을 역추적할 수 있는 데이터 분석 플랫폼을 장비에 통합합니다. 이는 고객사의 수율(Yield) 향상에 직접적으로 기여하며, 장비의 가치를 단순 검사기를 넘어 '수율 개선 솔루션'으로 격상시키는 핵심 경쟁력이 됩니다 [분석_HBM4세대전환에따른크레셈CRESSEM의검사장_20260509_001.pdf].

3. 고정밀 스테이지 제어 및 Warpage(휨) 대응 솔루션

유리기판은 물리적 강성은 높으나 충격이나 열 변형에 의한 파손 위험이 존재하며, 적층 구조가 복잡해질수록 기판의 휨(Warpage) 현상이 검사 정밀도에 직접적인 영향을 미칩니다.

핵심 대응 기술	상세 내용 및 기대 효과
고정밀 스테이지 제어	미세한 정렬 오차(Misalignment)를 측정하기 위한 나노미터(nm) 단위의 정밀 구동 기술 적용 [매뉴얼_HBMAdvancedInspectionSyst_20260509_001.pdf]
3D 프로파일링 기술	3D 프로파일링을 통해 적층된 Die 또는 기판의 휨(Warpage) 정도를 정밀 측정하여 변형된 상태에서도 정확한 데이터 추출 가능 [분석_HBM4세대전환에따른크레셈CRESSEM의검사장_20260509_001.pdf]
모듈형 장비 설계	고객사(SK하이닉스, 삼성전자, TSMC 등)마다 상이한 유리기판 공정 방식에 최적화된 맞춤형(Customized) 검사 모듈을 신속하게 공급 [분석_HBM4세대전환에따른크레셈CRESSEM의검사장_20260509_001.pdf]

결론적으로, 크레셈은 유리기판 시장의 급격한 성장에 발맞추어 '**고정밀 광학 하드웨어**'와 '**지능형 AI 소프트웨어**'가 완벽하게 통합된 차세대 검사 플랫폼을 지향합니다. 이를 통해 고객사의 공정 난이도 상승에 따른 수율 저하 문제를 해결하고, 글로벌 반도체 공급망 내에서 대체 불가능한 핵심 검사 솔루션 파트너로서의 입지를 공고히 할 것입니다 [기업 분석 보고서] (주)크레셈 (CRESSEM): 차세대 반도체 패키징 검사 솔루션의 선두주자.

결론 및 시사점

유리기판(Glass Substrate) 기술은 반도체 미세화 공정이 물리적 한계에 직면한 'Post-Moore' 시대에 패키징 기술의 패러다임을 바꿀 게임 체인저(Game Changer)로 부상하고 있습니다 [출래: <https://m.blog.naver.com/ilkyoo/224146569774>]. 기존 유기 기판(Organic Substrate)이 가진 열팽창 계수(CTE) 불일치 및 물리적 강도 문제를 해결할 수 있는 유리기판의 도입은 AI 가속기, 고성능 컴퓨팅(HPC) 등 차세대 반도체 시장의 핵심 인프라가 될 전망입니다.

본 보고서에서 분석한 내용을 바탕으로 유리기판 시장 선점을 위한 전략적 로드맵(Strategic Roadmap)과 향후 전망(Future Outlook)을 다음과 같이 요약합니다.

1. 기술적 과제: 초미세 공정의 안정성 확보

유리기판의 상용화를 위해서는 TGV(Through Glass Via) 형성 공정의 정밀도 확보와 유리 특유의 취성(Brittleness)을 극복할 수 있는 공정 제어 기술이 필수적입니다 [출처: 교보증권]. 특히, 미세한 유리 파편(Debris)이나 TGV 내부의 Void(공극)은 전기적 신호 전달에 치명적인 결함을 야기할 수 있으므로, 이를 실시간으로 모니터링할 수 있는 고해상도 검사 솔루션의 고도화가 선행되어야 합니다.

2. 검사 기술의 진화: AI 기반의 지능형 검사(Intelligent Inspection)

유리기판은 기존 기판보다 훨씬 복잡한 구조와 미세한 패턴을 가집니다. 따라서 단순한 Rule-based 검사를 넘어, 딥러닝(Deep Learning) 기반의 AI 비전 알고리즘을 통해 미세 결함과 정상적인 노이즈를 정밀하게 구분하는 기술이 수율(Yield) 확보의 관건이 될 것입니다. 이는 과검(Over-kill)률을 낮추고 생산성을 극대화하는 핵심 경쟁력이 됩니다.

3. 향후 전망 및 전략적 제언

유리기판 시장은 2024년 약 72억~79억 달러 규모에서 향후 지속적인 성장을 거듭하여 2034년에는 그 이상의 규모로 확대될 것으로 예측됩니다 [출처: <https://research4lab.tistory.com/entry/Report-%EC%9C%A0%EB%A6%AC%EA%B8%B0%ED%8C%90glass-substrate-%EC%8B%9C%EC%9E%A5-%EB%B0%8F-%EC%A3%BC%EC%9A%94-%EA%B8%B0%EC%97%85-%EB%8F%99%ED%96%A5%EC%97%90-%EB%8C%80%ED%95%9C-%EB%B3%B4%EA%B3%A0%EC%84%9C>].

결론적으로, 유리기판 산업의 승자는 단순히 기판을 제조하는 기업이 아니라, '고정밀 제조'와 '데이터 기반의 수율 관리'를 동시에 달성할 수 있는 생태계를 구축하는 기업이 될 것입니다. 크레셈(CRESSEM)은 이미 확보한 FC-BGA 및 2.5D/3D 기판 검사 기술력을 바탕으로, 유리기판의 TGV 및 미세 회로 검사 영역으로 기술적 범위를 확장함으로써 차세대 반도체 패키징 검사 시장의 핵심 플레이어로 도약해야 합니다.