



# EMIB 기술 분석 및 차세대 검사 장비 개발 전략 보고서

문서번호 CRSM-AI-2026-AUTO

작성일 2026-06-01

작성 CresseM AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

# 목 차

---

<b>EMIB 기술 분석 및 차세대 검사 장비 개발 전략 보고서</b>	<b>3</b>
개요 (Executive Summary) . . . . .	3
EMIB 기술 메커니즘 및 구조 분석 . . . . .	4
EMIB 단계별 제조 공정 흐름도 . . . . .	6
공정별 핵심 검사 항목(Inspection Items) 및 기준 . . . . .	8
EMIB 공정의 기술적 난제 및 잠재적 결함 분석 . . . . .	11
크레셈(CRESSEM) 차세대 검사 장비 개발 전략 . . . . .	13
결론 및 시사점 (Conclusion & Strategic Implications) . . . . .	14

## EMIB 기술 분석 및 차세대 검사 장비 개발 전략 보고서

본 보고서는 인텔의 차세대 2.5D 패키징 기술인 EMIB의 구조적 특징과 제조 공정을 심층 분석합니다. 공정 단계별 핵심 검사 항목(Inspection Items)을 도출하고, 이를 바탕으로 크레셈(CRESSEM)이 시장 경쟁력을 확보하기 위해 개발해야 할 차세대 검사 장비 로드맵을 제안합니다.

### 개요 (Executive Summary)

#### 1. EMIB 기술의 정의 및 핵심 개념

EMIB(Embedded Multi-die Interconnect Bridge)는 인텔(Intel)이 주도하여 개발한 차세대 2.5D 패키징(2.5D Packaging) 기술로, 서로 다른 기능을 가진 다수의 칩(Die)을 하나의 패키지 내에서 고속으로 연결하기 위한 혁신적인 인터커넥트 솔루션입니다. 기존의 2.5D 패키징이 칩 아래에 거대한 실리кон 인터포저(Silicon Interposer)를 배치하여 모든 칩을 그 위에 올리는 방식이었다면, EMIB는 칩과 칩 사이의 연결이 필요한 국소적인 영역에만 미세한 실리кон 브릿지(Silicon Bridge)를 매립(Embedding)하는 방식을 취합니다.

이 기술의 핵심은 실리кон 브릿지라는 초소형 인터커넥트 부품을 활용한다는 점에 있습니다. 브릿지는 매우 좁은 폭을 가진 실리кон 조각으로, 패키지 기판(Package Substrate) 내부에 형성된 홈(Cavity)에 정밀하게 안착됩니다. 이를 통해 CPU, GPU, HBM(High Bandwidth Memory)과 같은 핵심 소자들 사이의 데이터 전송 경로를 극도로 짧고 밀도 높게 형성할 수 있으며, 이는 곧 초고속 데이터 전송과 저지연(Low Latency) 성능 구현으로 직결됩니다.

#### 2. 기술 등장 배경: 패키징 패러다임의 변화

반도체 산업이 미세 공정의 물리적 한계(Moore's Law의 둔화)에 직면함에 따라, 단일 칩의 성능 향상보다는 여러 개의 칩을 최적화된 방식으로 결합하는 '칩렛(Chiplet)' 구조와 '어드밴스드 패키징(Advanced Packaging)' 기술이 시장의 핵심 동력으로 부상하였습니다.

특히 인공지능(AI), 고성능 컴퓨팅(HPC), 데이터센터 시장이 급격히 팽창하면서, 방대한 양의 데이터를 처리하기 위한 HBM(고대역폭 메모리)과 연산 프로세서 간의 초고속 연결이 필수적인 요구사항이 되었습니다. 기존의 방식으로는 데이터 병목 현상을 해결하기 어려워졌으며, 이에 따라 더 높은 대역폭을 제공하면서도 경제성을 갖춘 새로운 인터커넥트 구조가 절실했습니다. 이러한 시장의 요구가 EMIB 기술의 상용화를 가속화한 결정적인 배경입니다.

#### 3. 반도체 패키징 시장에서의 전략적 중요성

EMIB는 현재 시장을 주도하고 있는 TSMC의 CoWoS(Coated Wafer on Silicon Interposer) 기술과 비교했을 때, 기술적·경제적 측면에서 매우 중요한 전략적 가치를 지닙니다.

첫째, **비용 효율성(Cost-Efficiency)** 측면에서 압도적인 우위를 가집니다. CoWoS는 칩 전체 크기에 대응하는 대면적 실리кон 인터포저를 사용하므로 웨이퍼 소모량이 많고 비용이 높습니다. 반면, EMIB는 필요한 연결 부위에만 작은 브릿지를 사용하므로 실리кон 사용량을 획기적으로 줄일 수 있습니다 [출처: m.blog.naver.com/drryuhk/223128001153].

둘째, **수율(Yield) 및 공정 유연성**입니다. 대면적 인터포저는 단 하나의 결함만으로도 전체 인터포저를 폐기해야 하는 리스크가 있으나, EMIB는 개별 브릿지 단위의 관리가 가능하여 공정 난이도 조절과 수율 확보에 유리합니다. 또한, 기존에 사용하던 FC-BGA(Flip Chip Ball Grid Array) 패키지 기판을 그대로 활용할 수 있어 제조 공정의 연속성을 유지할 수 있다는 강점이 있습니다 [출처: m.blog.naver.com/drryuhk/223128001153].

셋째, **공급망 다변화 및 생태계 확장**입니다. 최근 SK하이닉스가 인텔과 EMIB 기반의 HBM 패키징 협력을 추진한다는 소식이 전해지는 등 [출처: [www.greened.kr/news/articleView.html?idxno=340632](http://www.greened.kr/news/articleView.html?idxno=340632)], EMIB 기술은 단순한 인텔의 전유물을 넘어 글로벌 반도체 공급망의 핵심 표준 중 하나로 자리 잡고 있습니다.

#### 4. 본 보고서의 목적 및 범위

본 보고서는 EMIB 기술이 가져올 패키징 공정의 변화를 심층 분석하고, 이로 인해 발생하는 새로운 기술적 난제들을 규명하는 데 목적이 있습니다. 특히, 브릿지가 기판 내부에 매립되는 구조적 특성상 발생하는 **잠재적 결함(Latent Defect)**을 제어하기 위한 검사 전략을 수립하고자 합니다.

이를 위해 본 보고서는 다음과 같은 흐름으로 구성됩니다:

- **기술 메커니즘 분석:** EMIB와 CoWoS의 구조적 차이 및 실리콘 브릿지의 역할 상세 분석
- **공정 프로세스 정립:** 브릿지 제조부터 최종 실장까지의 단계별 흐름도 제시
- **검사 체계 구축:** 각 공정별 핵심 검사 항목(Inspection Items) 및 정량적 기준 도출
- **장비 개발 전략:** 크레셈(CRESSEM)이 시장 선점을 위해 확보해야 할 고해상도 3D AOI, X-ray/CT 기반 내부 검사 장비 등 차세대 제품 로드맵 제안

결론적으로, EMIB는 AI 반도체 시대를 지탱하는 핵심 인프라 기술이며, 이 공정의 신뢰성을 보장할 수 있는 **고정밀 검사 솔루션**의 확보는 향후 반도체 검사 장비 시장의 주도권을 결정짓는 핵심 요소가 될 것입니다.

## EMIB 기술 메커니즘 및 구조 분석

### 2.1 EMIB의 핵심 개념 및 동작 원리

**EMIB(Embedded Multi-die Interconnect Bridge)**는 인텔(Intel)이 주도하는 첨단 패키징 기술로, 서로 다른 기능의 칩(Die)들을 고속으로 연결하기 위해 패키지 기판(Package Substrate) 내부에 미세한 **실리콘 브릿지(Silicon Bridge)**를 매립하는 기술입니다. 기존의 2.5D 패키징이 대면적의 실리콘 인터포저(Silicon Interposer)를 사용하여 칩들을 배치했다면, EMIB는 칩과 칩 사이의 신호 전달이 필요한 '연결 지점(Interconnect Point)'에만 국소적으로 실리콘 소재를 활용한다는 점에서 근본적인 구조적 차이를 보입니다.

EMIB의 동작 메커니즘은 다음과 같은 물리적 구조를 기반으로 합니다. 우선, 고성능 컴퓨팅(HPC)이나 AI 가속기 구성을 위해 CPU/GPU와 HBM(High Bandwidth Memory)이 배치될 위치를 설계합니다. 이때 두 칩 사이의 미세한 피치(Fine Pitch)를 구현하기 위해, 기판 내부에 아주 작은 크기의 실리콘 조각인 '브릿지'를 미리 홈(Cavity)을 파서 안착시킵니다. 이 브릿지 내부에는 초미세 회로가 형성되어 있으며, 칩의 하단 범프(Bump)와 브릿지의 상하단 단자가 전기적으로 결합되어 데이터가 이동하는 통로 역할을 수행합니다.

이 방식은 신호 전달 경로를 최단 거리로 유지하면서도, 실리콘의 우수한 전기적 특성을 활용하여 초고속·저전력 데이터 전송을 가능하게 합니다. 특히, 칩 간의 인터커넥트 밀도를 극대화할 수 있어 차세대 AI 반도체와 같이 방대한 양의 데이터를 실시간으로 처리해야 하는 환경에 최적화된 솔루션입니다.

### 2.2 CoWoS와 EMIB의 기술적 비교 분석

현재 반도체 업계의 표준처럼 자리 잡은 TSMC의 CoWoS(Coated Wafer on Silicon Interposer) 기술과 인텔의 EMIB 기술은 모두 2.5D 패키징 범주에 속하지만, 구현 방식과 경제성 측면에서 극명한 차이를 나타냅니다.

비교 항목	TSMC CoWoS (Interposer 기반)	Intel EMIB (Bridge 기반)	비고
-------	----------------------------	------------------------	----

핵심 구조	대면적 실리콘 인터포저 (Full Interposer)	국소적 실리콘 브릿지 (Embedded Bridge)	구조적 규모 차이
연결 방식	칩을 대형 인터포저 위에 배치	기판 내 매립된 브릿지를 통해 칩 연결	-
비용 구조 (Cost)	높음 (대면적 실리콘 사용량 과다)	상대적 낮음 (필요 부위만 실리콘 사용)	경제성 우위
수율 (Yield)	인터포저 크기에 비례하여 수율 저하 위험	높음 (작은 브릿지 단위 제조로 수율 유리)	제조 효율성
기판 활용도	특수 인터포저 공정 필수	기존 FC-BGA 기판 활용 가능성 높음	공정 유연성
배선 밀도	매우 높음 (Interposer 전체 활용)	매우 높음 (Bridge 구간 집중)	기술적 대등

#### #### 2.2.1 비용 효율성 (Cost Efficiency) 측면

CoWoS 방식은 칩들을 올려두기 위한 '바닥재' 역할을 하는 실리콘 인터포저가 칩 전체 면적을 커버해야 합니다. 따라서 칩의 크기가 커질수록 사용되는 실리콘 웨이퍼의 면적도 함께 늘어나며, 이는 곧 재료비의 급격한 상승으로 이어집니다. 반면, EMIB는 신호 전달이 필요한 '통로' 부분에만 실리콘을 사용하므로, 실리콘 사용량을 획기적으로 줄일 수 있습니다. 이는 웨이퍼당 생산 가능한 브릿지의 개수를 늘려 단위당 생산 단가를 낮추는 결정적인 요인이 됩니다. [출처: m.blog.naver.com/drryuhk/223128001153]

#### #### 2.2.2 수율 및 제조 복잡도 (Yield & Complexity) 측면

대면적 인터포저를 사용하는 CoWoS는 인터포저 자체의 결함이 전체 패키지의 불량으로 직결될 확률이 높습니다. 즉, 인터포저가 커질수록 수율 확보가 기하급수적으로 어려워집니다. 그러나 EMIB는 아주 작은 크기의 실리콘 브릿지를 개별적으로 제조하여 기판에 매립하므로, 브릿지 제조 단계에서의 수율 관리가 용이합니다. 또한, EMIB는 TSV(Through Silicon Via) 공정을 브릿지 내부에 국한하거나, 설계에 따라 TSV 없이도 구현할 수 있는 유연성을 가져 공정 난이도 상승에 따른 리스크를 완화할 수 있습니다. [출처: m.blog.naver.com/drryuhk/223128001153]

### 2.3 실리콘 브릿지(Silicon Bridge)의 역할과 구조적 이점

EMIB 기술의 성패를 결정짓는 핵심 요소는 바로 **실리콘 브릿지(Silicon Bridge)**의 정밀도와 신뢰성입니다. 브릿지는 단순히 칩을 연결하는 물리적 매개체를 넘어, 다음과 같은 세 가지 핵심적인 역할을 수행합니다.

#### 첫째, 미세 피치 인터커넥트(Fine-pitch Interconnect)의 구현입니다.

최신 HBM3/3E와 같은 고대역폭 메모리는 칩 간의 연결 간격(Pitch)이 극도로 좁습니다. 일반적인 유기 기판(Organic Substrate)만으로는 이러한 미세한 배선을 구현하는 데 한계가 있습니다. 실리콘 브릿지는 반도체 전공정(Front-end) 기술을 그대로 활용하여 수 마이크로미터( $\mu\text{m}$ ) 단위의 초미세 회로를 형성할 수 있으므로, 칩 간의 데이터 병목 현상을 제거하는 핵심 통로가 됩니다.

#### 둘째, 신호 무결성(Signal Integrity) 및 전력 효율성 강화입니다.

브릿지를 통해 연결되는 경로는 전기적 저항과 인덕턴스를 최소화할 수 있는 최적의 경로로 설계됩니다. 이는 신호 왜곡(Signal Distortion)을 줄이고, 데이터 전송 시 발생하는 전력 소모를 낮추어 전체 시스템의 에너지 효율을 높이는 결과로 이어집니다.

#### 셋째, 패키지 구조의 유연성 및 확장성 제공입니다.

EMIB는 기존에 사용하던 FC-BGA(Flip Chip Ball Grid Array) 패키지 기판을 그대로 활용하면서도, 필요한 부분에만 실리콘 기술을 접목할 수 있습니다. 이는 제조사가 기존 인프라를 유지하면서도 첨단 패키징 성능을 확보할 수 있게 하는 강력한 구조적 이점입니다. [출처: m.blog.naver.com/drryuhk/223128001153]

## 2.4 기술적 요약 및 검사 관점의 시사점

EMIB는 "최소한의 실리콘으로 최대한의 연결 성능을 뽑아내는 기술"로 정의할 수 있습니다. 이러한 구조적 특성 때문에 검사(Inspection) 관점에서는 매우 까다로운 과제들이 발생합니다.

1. **매립형 구조의 폐쇄성:** 브릿지가 기판 내부에 매립(Embedded)되기 때문에, 일반적인 광학 검사(AOI) 방식으로는 브릿지의 하부 접합부나 내부 회로의 결함을 직접 관찰하기 어렵습니다. 이는 X-ray나 CT와 같은 투과형 검사 기술이 필수적임을 의미합니다.

2. **정밀 정렬(Alignment)의 극치:** 브릿지는 매우 작고, 기판의 홈(Cavity) 또한 미세합니다. 브릿지가 기판 내부에 안착될 때 발생하는 미세한 위치 오차(X, Y,  $\theta$ )는 칩의 범프와 브릿지 단자 간의 불일치를 유발하여 최종적인 전기적 불량으로 이어집니다.

3. **이종 재료 간의 계면 신뢰성:** 실리콘(브릿지), 에폭시(Underfill), 유기물(기판)이라는 서로 다른 열팽창 계수(CTE)를 가진 재료들이 좁은 공간에 밀집되어 있습니다. 따라서 열 사이클링(Thermal Cycling) 시 발생하는 계면 박리(Delamination)나 기포(Void)에 대한 정밀한 모니터링이 요구됩니다.

결론적으로 EMIB 기술은 반도체 패키징의 경제성과 성능을 동시에 잡을 수 있는 차세대 게임 체인저이지만, 그 구현을 위해서는 '보이지 않는 내부를 얼마나 정밀하게 시각화하고 측정할 수 있는가'라는 검사 기술의 혁신이 반드시 뒷받침되어야 합니다.

## EMIB 단계별 제조 공정 흐름도

EMIB(Embedded Multi-die Interconnect Bridge) 공정은 기존의 2.5D 패키징 방식인 TSMC의 CoWoS(Coated Wafer on Silicon Interposer)와 비교했을 때, 인터포저(Interposer)의 사용 범위를 획기적으로 줄이고 패키지 기판(Package Substrate) 내부에 필요한 부분만 실리콘 브릿지를 매립하는 혁신적인 프로세스입니다. 이 공정은 단순한 조립을 넘어, 미세 회로가 형성된 실리콘 브릿지를 기판의 캐비티(Cavity)에 정밀하게 안착시키고 칩(Die) 간의 초고속 데이터 통로를 형성해야 하는 고난도 공정의 연속입니다.

EMIB의 전체 제조 공정은 크게 ① **실리콘 브릿지 제조(Silicon Bridge Fabrication)**, ② **기판 준비 및 브릿지 매립(Substrate Preparation & Embedding)**, ③ **칩 실장(Die Attach)**, ④ **재배선 및 봉지(RDL & Encapsulation)**의 4가지 핵심 단계로 구분됩니다.

### 3.1 단계 1: 실리콘 브릿지 제조 (Silicon Bridge Fabrication)

EMIB 공정의 시작은 칩과 칩 사이를 연결할 '통로'인 실리콘 브릿지를 만드는 것입니다. 이 단계는 일반적인 반도체 전공정(Front-end)과 유사한 환경에서 진행되며, 매우 작은 크기의 실리콘 조각(Bridge Die) 위에 미세한 전기적 배선을 형성하는 것이 핵심입니다.

1. **웨이퍼 패턴 형성 (Photolithography):** 미세한 회로 패턴을 형성하기 위해 광학/전자빔 리소그래피 공정을 수행합니다. 이때 브릿지의 크기가 매우 작으므로, 설계된 배선 간격(Pitch)과 선폭(Line Width)이 극도로 정밀하게 제어되어야 합니다.

2. **식각 및 증착 (Etching & Deposition):** 포토레지스트 패턴을 따라 불필요한 실리콘을 제거하거나, 절연막(Dielectric) 및 금속 배선(Metal Layer)을 증착하여 전기적 신호가 흐를 수 있는 통로를 구축합니다.

3. **TSV 및 마이크로 범프 형성 (TSV & Micro-bump Formation):** 브릿지의 상단과 하단에서 칩 또는 기판과 전기적으로 연결될 수 있도록 통로(Through Silicon Via, TSV)를 형성하고, 그 위에 마이크로 범프(Micro-bump)를

형성합니다. EMIB는 전체 인터포저를 사용하는 방식이 아니므로, 브릿지 자체의 TSV 밀도와 범프의 평탄도(Coplanarity)가 전체 패키징 수율을 결정짓는 결정적 요소가 됩니다.

### 3.2 단계 2: 기판 준비 및 브릿지 매립 (Substrate Preparation & Embedding)

제조된 브릿지를 실제 패키지 기판(주로 FC-BGA 기판) 내부로 집어넣는 과정으로, EMIB 공정 중 가장 높은 정밀도를 요구하는 단계입니다.

- 1. 캐비티 형성 (Substrate Cavity Preparation):** FC-BGA 기판 내부에 실리콘 브릿지가 안착될 수 있도록 물리적인 홈(Cavity)을 만듭니다. 이 홈의 깊이(Depth)와 너비(Width)는 브릿지의 크기와 오차 범위를 고려하여 설계되어야 합니다.
- 2. 브릿지 배치 (Bridge Placement / Pick & Place):** 정밀 마운터(High-precision Mounter)를 사용하여 제조된 실리콘 브릿지를 기판의 캐비티 내부에 안착시킵니다. 이때 **정렬 정밀도(Alignment Accuracy)**가 매우 중요합니다. 브릿지가 미세하게 기울어지거나(Tilt) 중심에서 벗어나면(Offset), 이후 단계에서 칩과의 연결이 불가능해지기 때문입니다.
- 3. 언더필 및 매립 (Underfill & Embedding):** 브릿지와 기판 사이의 미세한 간극을 에폭시(Epoxy) 등 절연성 충전재로 채웁니다. 이 과정에서 기포(Void)가 발생하면 신호 전달 방해나 열팽창 시 크랙(Crack)의 원인이 되므로, 균일한 충전(Filling)이 필수적입니다.

### 3.3 단계 3: 칩 실장 (Die Attach & Interconnect)

브릿지가 기판에 안정적으로 매립된 후, 그 위에 실제 연산을 수행할 로직 칩(CPU/GPU)과 메모리 칩(HBM)을 배치하는 단계입니다.

- 1. 다이 어태치 (Die Attach):** 설계된 위치에 따라 칩을 브릿지 상단에 배치합니다. EMIB 구조에서는 칩의 범프와 브릿지의 마이크로 범프가 서로 마주 보게(Face-to-Face) 또는 맞닿게 배치되어야 하므로, **Die-to-Bridge Alignment**가 극도로 정밀해야 합니다.
- 2. 플립칩 본딩 (Flip Chip Bonding):** 열과 압력을 가하여 칩의 범프와 브릿지의 범프를 전기적으로 접합합니다. 이 단계에서 접합부의 솔더링(Soldering) 상태가 불량할 경우, 데이터 전송 속도가 저하되거나 통신 오류가 발생합니다.

### 3.4 단계 4: 재배포선 및 봉지 (RDL & Encapsulation)

마지막으로 칩과 브릿지, 그리고 기판 사이의 신호 경로를 완성하고 외부 환경으로부터 보호하는 단계입니다.

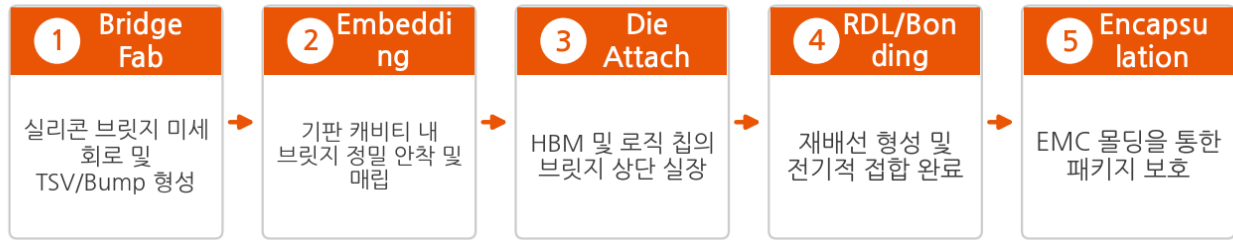
- 1. 재배포선 형성 (RDL - Redistribution Layer):** 칩의 미세한 입출력 단자(I/O)를 브릿지나 기판의 더 넓은 배선으로 연결하기 위해 추가적인 금속 배선층을 형성합니다. 이는 칩의 핀 피치(Pin Pitch)와 패키지 기판의 피치 차이를 극복하게 해주는 핵심 기술입니다.
- 2. 몰딩 및 봉지 (Molding & Encapsulation):** 완성된 구조물 전체를 에폭시 몰딩 컴파운드(EMC)로 감싸 외부 충격, 습기, 산화로부터 보호합니다. EMIB는 내부 구조가 복잡하고 브릿지가 매립되어 있으므로, 몰딩 과정에서 발생하는 응력(Stress)이 내부 실리콘 브릿지에 균열을 일으키지 않도록 세심한 공정 관리가 요구됩니다.

### 3.5 EMIB 공정 요약 비교 (CoWoS vs EMIB)

구분	TSMC CoWoS	Intel EMIB
인터포저 형태	대면적 실리콘 인터포저 (Full Interposer)	미세 실리콘 브릿지 (Embedded Bridge)
주요 매개체	Silicon Interposer 전체 사용	패키지 기판 내 매립된 Bridge 사용

비용 효율성	실리콘 사용량이 많아 비용 높음	필요한 부분만 실리콘 사용, 비용 절감
공정 난이도	대면적 웨이퍼 공정 중심	기판 내 정밀 매립 및 정렬 중심
주요 결함	인터포저 자체 결함, Warpage	매립 정렬 불량, Void, Bridge Crack

### EMIB Manufacturing Process Flow



### 공정별 핵심 검사 항목(Inspection Items) 및 기준

EMIB(Embedded Multi-die Interconnect Bridge) 공정은 기존의 2D/2.5D 패키징과는 달리, 미세한 실리콘 브릿지를 패키지 기판(Package Substrate) 내부에 물리적으로 매립(Embedding)하는 구조적 특성을 갖습니다. 이러한 구조적 특성은 고성능 데이터 전송을 가능하게 하지만, 검사 관점에서는 '가시성(Visibility)의 한계'라는 치명적인 난제를 야기합니다. 따라서 각 공정 단계별로 발생 가능한 결함을 사전에 차단하고, 매립 후에는 비파괴 검사를 통해 내부 무결성을 확인하는 다각도의 검사 전략이 필수적입니다.

본 섹션에서는 EMIB 제조 공정의 흐름에 따라 발생 가능한 핵심 결함(Defect)을 정의하고, 이를 관리하기 위한 정량적 검사 항목(Inspection Items) 및 기술적 기준(Criteria)을 상세히 분석합니다.

#### 4.1 단계 1: 실리콘 브릿지 제조 공정 검사 (Silicon Bridge Fabrication Inspection)

실리콘 브릿지는 EMIB의 핵심 신경망 역할을 수행하므로, 브릿지 자체의 전기적·물리적 무결성이 확보되지 않으면 후속 공정 전체가 무의미해집니다. 브릿지는 매우 작은 면적 내에 초미세 회로가 구현되므로, 나노미터(nm) 단위의 정밀도가 요구됩니다.

검사 항목 (Inspection Items)	결함 유형 (Defect Type)	검사 상세 내용 및 기술적 기준 (Criteria)	검사 장비/방법
Pattern Integrity	Open / Short	포토공정 및 식각 공정 중 발생하는 회로 단선(Open) 또는 인접 배선 간의 단락(Short) 여부 검사. 설계된 회로 선폭(Line Width) 준수 여부 확인.	고해상도 광학 검사 (AOI)

Critical Dimension (CD)	CD Variation	설계치 대비 회로의 선폭(Width) 및 간격(Spacing)의 허용 오차 관리. 통상적으로 설계치 대비 ±5~10% 이내의 편차를 관리 기준으로 설정.	SEM (Scanning Electron Microscope)
TSV & Micro-bump	Bump Coplanarity	브릿지 상하단에 형성된 연결 단자(Micro-bump)의 높이 균일성 및 평탄도 검사. 범프 간 높이 차이(Coplanarity)가 일정 수준 이상일 경우 접합 불량 유발.	3D SPI / Profilometer
Surface Roughness	Surface Defect	브릿지 표면의 거칠기 및 이물질(Particle) 존재 여부. 매립 시 접착력을 저하시키는 요인임.	AFM / Optical Inspection

- **핵심 관리 지표:** 브릿지 제조 단계에서의 **수율(Yield) 확보**는 후속 기판 매립 공정의 비용 손실을 방지하는 가장 중요한 경제적 지표입니다.

#### 4.2 단계 2: 기판 준비 및 브릿지 매립 공정 검사 (Substrate & Embedding Inspection)

브릿지가 기판의 홈(Cavity)에 안착되는 단계는 EMIB 공정 중 가장 정밀한 물리적 제어가 필요한 구간입니다. 기판과 브릿지 사이의 미세한 틈(Gap)은 전기적 신호의 손실이나 구조적 불안정성을 초래합니다.

검사 항목 (Inspection Items)	결함 유형 (Defect Type)	검사 상세 내용 및 기술적 기준 (Criteria)	검사 장비/방법
Cavity Geometry	Dimension Error	기판 내 브릿지가 들어갈 홈(Cavity)의 가로, 세로, 깊이 정밀도 검사. 설계 치수 대비 마이크로(m) 단위의 공차 관리.	3D AOI / Laser Profiler
Placement Accuracy	Misalignment	브릿지가 기판의 홈 내에 정확히 위치했는지 확인. X, Y축 이동 오차 및 회전 각도(Theta, θ) 오차를 정밀 측정.	High-Precision Vision System
Underfill / Void	Void (기포)	브릿지와 기판 사이의 간극을 채우는 언더필(Underfill) 내부에 존재하는 미세 기포 검사. 기포의 크기(Size)와 분포 밀도가 기준치를 초과할 경우 재작업 필요.	X-ray / CT / Acoustic Microscopy

Delamination	Interface Separation	브릿지와 기판 사이의 계면(Interface)이 벌어지는 박리 현상 검사. 열팽창 계수(CTE) 차이로 인한 응력 발생 여부 모니터링.	Scanning Acoustic Microscopy (SAM)
--------------	----------------------	---	------------------------------------

- **핵심 관리 지표:** 정렬 정밀도(Alignment Accuracy)와 충전 무결성(Filling Integrity)입니다. 특히 매립된 브릿지는 외부에서 육안 확인이 불가능하므로, 공정 직후 비파괴 검사를 통한 Void 검출이 필수적입니다.

#### 4.3 단계 3: 칩 실장 및 상호 연결 공정 검사 (Die Attach & Interconnect Inspection)

브릿지 위에 HBM, CPU, GPU 등의 활성 칩(Active Die)을 올리고 전기적으로 연결하는 단계입니다. 이 단계에서의 결함은 제품의 기능적 불량(Functional Failure)으로 직결됩니다.

검사 항목 (Inspection Items)	결함 유형 (Defect Type)	검사 상세 내용 및 기술적 기준 (Criteria)	검사 장비/방법
Die-to-Bridge Alignment	Bonding Misalignment	칩의 범프와 브릿지의 단자가 정확히 일치하는지 검사. 미세한 정렬 오차는 신호 전달 효율 저하 및 접합 불량을 유발.	Ultra-High Res Vision
Solder Joint Integrity	Solder Bridge / Void	솔더 볼(Solder Ball)의 형상(Fillet)이 적절한지, 과도한 솔더 유출로 인한 Short(Bridge)가 발생하지 않았는지 검사.	3D SPI / X-ray
RDL (Redistribution Layer)	RDL Pattern Defect	칩과 브릿지를 연결하는 재배선층의 패턴 결함 검사. 선폭(Width), 간격(Pitch), 단선(Open) 여부 확인.	AOI (Automated Optical Inspection)
Die Crack	Die Fracture	칩 실장 시 가해지는 압력(Bonding Force)이나 열충격으로 인해 발생하는 칩 자체의 미세 균열 검사.	Acoustic Microscopy / IR

- **핵심 관리 지표:** 접합 신뢰성(Joint Reliability)입니다. 특히 HBM과 같이 다층 구조로 적층되는 칩의 경우, 하단 브릿지와와의 접합 품질이 전체 패키지의 열 방출 및 신호 무결성에 결정적인 영향을 미칩니다.

#### 4.4 종합 결함 관리 매트릭스 (Comprehensive Defect Management Matrix)

EMIB 공정의 특성을 고려할 때, 검사 전략은 '표면 검사(Surface Inspection)'에서 '내부 검사(Internal Inspection)'로 점진적으로 심화되어야 합니다.

공정 단계	주요 검사 모드	타겟 결함 (Target Defect)	기술적 요구사항 (Technical Requirement)
-------	----------	-----------------------	----------------------------------

Pre-Assembly	2D/3D AOI	패턴 결함, 표면 이물, 치수 오차	고해상도 광학 해상도, 빠른 처리 속도
Embedding	High-Res Vision	정렬(Alignment) 오차, Cavity 치수	서브 마이크론(Sub-micron)급 정밀도
Post-Assembly	X-ray / CT	내부 Void, 매립된 브릿지 단선, 내부 Crack	투과력(Penetration) 및 3D 재구성 능력
Final Test	Electrical Test	기능적 연결성 (Connectivity)	전기적 특성(I-V Curve) 분석

### [결함 유형별 검사 난이도 및 중요도 분석]

- 잠재적 결함 (Latent Defect) - 중요도: 최상:** 언더필 내부의 미세 기포(Void)나 브릿지 계면의 미세 박리(Delamination)는 공정 직후에는 발견되지 않다가, 제품이 고객사(SK하이닉스, 인텔 등)에 인도된 후 열/기계적 스트레스를 받을 때 불량으로 나타납니다. 이를 제어하기 위해 **고해상도 3D CT 검사** 기술이 EMIB 공정의 성패를 결정짓는 핵심 요소가 됩니다.
- 기하학적 결함 (Geometric Defect) - 중요도: 상:** 브릿지의 위치 오차(Misalignment)는 신호 경로(Signal Path)의 길이를 변화시켜 신호 지연(Skew)을 유발합니다. 이는 고속 데이터 전송이 필수적인 AI 반도체에서 치명적인 성능 저하를 야기하므로, **고정밀 정렬 검사(Alignment Inspection)**가 필수적입니다.
- 전기적 결함 (Electrical Defect) - 중요도: 상:** 브릿지 내부의 미세 회로 단선이나 솔더 접합부의 불량은 제품의 작동 여부를 결정합니다. 이는 **AOI 및 SPI**를 통해 선제적으로 차단되어야 합니다.

결론적으로, EMIB 공정의 검사 기준은 단순히 '불량 유무'를 판단하는 것을 넘어, **'매립된 구조물의 내부 무결성을 얼마나 정량적으로 신뢰할 수 있는가'**에 초점을 맞추어야 합니다. 이는 크레셈(CRESSEM)이 차세대 검사 장비 개발 시 반드시 확보해야 할 핵심 기술적 지향점입니다.

## EMIB 공정의 기술적 난제 및 잠재적 결함 분석

EMIB(Embedded Multi-die Interconnect Bridge) 기술은 기존의 2.5D 패키징 솔루션인 TSMC의 CoWoS(Coated Wafer on Silicon Interposer)와 비교했을 때, 대면적 실리콘 인터포저 대신 미세한 실리콘 브릿지를 패키지 기판 내부에 매립하는 혁신적인 구조를 취하고 있습니다. 그러나 이러한 구조적 혁신은 공정의 효율성을 높이는 동시에, 제조 및 검사 관점에서는 과거에 경험하지 못한 새로운 형태의 기술적 난제와 고난도의 결함 관리 문제를 야기합니다.

### 5.1 매립형 구조에 따른 잠재적 결함(Latent Defect)의 위험성

EMIB 공정의 가장 치명적인 기술적 난제는 결함의 **'비가시성(Invisibility)'**입니다. 기존의 범프(Bump) 기반 플립칩(Flip-chip) 패키징이나 일반적인 기판 공정은 주요 연결 부위가 표면에 노출되어 있어 광학적 검사(AOI)를 통해 비교적 용이하게 결함을 발견할 수 있습니다. 하지만 EMIB는 실리콘 브릿지를 FC-BGA(Flip Chip Ball Grid Array) 기판의 캐비티(Cavity) 내부에 물리적으로 매립(Embedding)한 후, 그 위를 언더필(Underfill) 또는 몰딩(Molding) 수지로 덮는 구조를 가집니다.

이로 인해 발생하는 **잠재적 결함(Latent Defect)**은 다음과 같은 특성을 갖습니다.

- 검사 사각지대 발생:** 브릿지와 기판 사이의 접합부, 혹은 브릿지와 칩(Die) 사이의 연결부는 수지(Resin)에 의해 완전히 가려지게 됩니다. 이는 일반적인 2D/3D 광학 검사 장비로는 내부의 미세한 균열(Crack)이나 접합 불량을

실시간으로 포착하기 어렵게 만듭니다.

**2. 열적/기계적 스트레스에 의한 후기 불량:** 초기 조립 단계에서는 정상적으로 보였던 연결부가, 이후 패키징 공정의 열 사이클(Thermal Cycle)이나 사용 중 발생하는 열팽창 계수(CTE) 차이에 의해 미세하게 변형되면서 결함이 발현됩니다. 이러한 '지연된 불량'은 양산 수율을 급격히 떨어뜨리는 주범이 됩니다.

**5.2 주요 결함 유형 및 물리적 메커니즘 분석**

EMIB 공정에서 집중적으로 관리해야 할 핵심 결함은 크게 세 가지 범주로 분류됩니다.

#### 5.2.1 언더필 보이드(Underfill Void) 및 충전 불량

브릿지를 기판에 매립한 후, 그 사이의 간극을 메우는 언더필(Underfill) 공정은 EMIB 신뢰성의 핵심입니다.

- **결함 메커니즘:** 브릿지의 미세한 형상이나 기판 캐비티의 불균일한 표면 거칠기로 인해 언더필 액체가 미세한 기포(Void)를 형성하며 갇히게 됩니다.
- **영향:** 보이드가 발생한 영역은 전기적 신호의 전달 경로를 방해할 뿐만 아니라, 열 방출(Heat Dissipation)을 저해하여 국부적인 핫스팟(Hot-spot)을 형성합니다. 이는 결국 칩의 수명을 단축시키고 전기적 단락(Short)을 유발하는 원인이 됩니다.

#### 5.2.2 미세 정렬 오차(Alignment Error) 및 접합 불량

브릿지는 매우 작은 실리콘 조각이며, 이를 기판의 정해진 위치에 정밀하게 안착시켜야 합니다.

- **결함 메커니즘:** Pick-and-place 과정에서의 미세한 X, Y축 편차 또는 회전(Theta) 오차는 브릿지의 상하단 패드(Pad)와 기판/칩의 범프 간의 정렬 불량(Misalignment)을 초래합니다.
- **영향:** 정렬 오차는 접합 면적을 감소시켜 접촉 저항(Contact Resistance)을 높이며, 최악의 경우 신호 무결성(Signal Integrity) 문제를 일으켜 고속 데이터 전송이 필수적인 HBM(High Bandwidth Memory) 환경에서 치명적인 성능 저하를 야기합니다.

#### 5.2.3 열팽창 계수(CTE) 불일치에 의한 크랙(Crack)

- **결함 메커니즘:** 실리콘(Si) 브릿지, 언더필 수지, 그리고 FC-BGA 기판은 각각 서로 다른 열팽창 계수를 가집니다. 공정 중 온도 변화가 발생할 때 각 재료 간의 팽창/수축 정도가 달라 브릿지 모서리나 접합부에 강력한 기계적 응력(Stress)이 집중됩니다.
- **영향:** 이 응력이 재료의 항복 강도를 초과할 경우, 실리콘 브릿지 자체의 파손이나 솔더 조인트(Solder Joint)의 미세 균열(Micro-crack)로 이어집니다.

**5.3 고난도 검사를 위한 기술적 요구사항**

위와 같은 난제를 해결하기 위해서는 기존의 검사 패러다임을 넘어선 차세대 검사 솔루션이 필수적입니다.

요구 기술	필요성 및 역할	검사 대상
고해상도 X-ray / CT	불투명한 수지 내부를 투과하여 물리적 구조를 시각화	Underfill Void, Solder Joint, Internal Crack
고정밀 3D SPI	범프 및 브릿지 안착 시의 입체적 높이와 평탄도 측정	Alignment, Bump Coplanarity
초정밀 AOI	매립 전 단계에서의 미세 패턴 및 표면 결함 사전 차단	Bridge Pattern Defect, Substrate Cavity Dimension

결론적으로, EMIB 공정의 성공은 '보이지 않는 결함을 얼마나 정밀하고 빠르게 찾아내느냐'에 달려 있습니다. 특히 언더필 내부의 보이드와 매립된 브릿지의 정렬 상태를 비파괴 방식(Non-destructive)으로 검증할 수 있는 고해상도 X-ray 및 3D 측정 기술의 확보가 향후 반도체 패키징 검사 시장의 주도권을 결정짓는 핵심 요소가 될 것입니다.

## 크레셈(CRESSEM) 차세대 검사 장비 개발 전략

EMIB(Embedded Multi-die Interconnect Bridge) 기술은 기존의 2.5D 패키징 패러다임을 '대면적 인터포저'에서 '국소적 실리콘 브릿지'로 전환하는 혁신적인 공정입니다. 그러나 브릿지가 패키지 기판(Package Substrate) 내부로 매립(Embedding)되는 구조적 특성상, 기존의 표면 검사(Surface Inspection) 방식만으로는 공정 수율을 확보하기 어렵습니다. 따라서 크레셈(CRESSEM)은 EMIB 공정의 핵심 난제인 '비가시적 결함(Invisible Defect)'과 '초미세 정렬(Ultra-fine Alignment)' 문제를 해결하기 위한 차세대 검사 솔루션 확보를 최우선 R&D 과제로 설정해야 합니다.

본 섹션에서는 EMIB 양산 라인에 필수적인 3대 핵심 검사 장비 개발 로드맵을 제안합니다.

### 1. [R&D Priority 1] 고해상도 3D AOI (Automated Optical Inspection) 시스템

EMIB 공정의 전반부인 브릿지 제조 및 기판 준비 단계에서는 미세 패턴의 형상과 치수를 실시간으로 검증할 수 있는 고성능 광학 검사 장비가 요구됩니다.

- **개발 목표:** 수  $\mu\text{m}$  단위의 미세 선폭(Line Width) 및 간격(Spacing)을 3차원적으로 측정할 수 있는 고해상도 3D AOI 솔루션 구축.
- **핵심 기술 요소:**
  - **Multi-Angle Coaxial Lighting (다각도 동축 조명):** 실리콘 브릿지의 미세 회로 패턴과 기판 내 Cavity의 단차를 왜곡 없이 관찰하기 위해, 다양한 입사각을 가진 조명 제어 기술을 적용하여 그림자 효과(Shadow Effect)를 최소화해야 합니다.
  - **High-Speed 3D Profilometry (고속 3D 프로파일로메트리):** 레이저 변위 센서 또는 스텝 스캔(Step Scan) 방식의 광학계를 활용하여, 브릿지의 높이(Height)와 기판 홈의 깊이(Depth)를 정밀하게 측정함으로써 Die Attach 시 발생할 수 있는 Coplanarity(평탄도) 문제를 사전에 차단합니다.
  - **AI 기반 Pattern Defect Detection:** 단순 Rule-based 검사를 넘어, 딥러닝 알고리즘을 적용하여 미세한 패턴 왜곡(Pattern Distortion)이나 미세 단선(Open)을 실시간으로 판별하는 지능형 알고리즘을 탑재합니다.
  - **기대 효과:** 브릿지 매립 전 단계에서 기판의 치수 정밀도를 검증함으로써, 후속 공정에서 발생할 수 있는 대규모 재작업(Rework) 비용을 획기적으로 절감할 수 있습니다.

### 2. [R&D Priority 2] X-ray/CT 기반 비파괴 내부 결함 검사 장비

EMIB의 가장 큰 기술적 장벽은 브릿지가 기판 내부에 숨겨져 있다는 점입니다. 이는 기존 광학 방식으로는 내부의 Void(기포)나 접합 불량을 확인할 수 없음을 의미합니다.

- **개발 목표:** 매립된 실리콘 브릿지와 언더필(Underfill) 내부의 미세 결함을 비파괴 방식으로 탐지하는 고해상도 X-ray/CT 시스템 개발.
- **핵심 기술 요소:**
  - **Micro-focus X-ray Source:** 실리콘 브릿지의 미세한 Bump와 기판의 금속 배선을 구분하기 위해 초점 크기(Focal Spot Size)가 극도로 작은 마이크로 포커스 광원을 채택하여 이미지 해상도를 극대화합니다.
  - **3D X-ray Computed Tomography (CT):** 2D X-ray 투과 영상의 한계를 극복하기 위해, 시료를 회전시키며 다각도에서 촬영한 데이터를 재구성하여 내부 구조를 3차원 입체 영상으로 구현합니다. 이를 통해 브릿지 주변의 Void Ratio(기포율)와 Delamination(층간 박리) 현상을 정밀 분석합니다.

- **Automated Solder Joint Inspection:** 브릿지와 칩 사이의 Micro-bump 접합부 형상을 분석하여, 솔더의 Wetting 상태와 Crack 유무를 자동으로 판별하는 알고리즘을 개발합니다.
- **기대 효과:** EMIB 공정의 고질적 문제인 '잠재적 결함(Latent Defect)'을 양산 단계에서 조기에 검출하여, 최종 패키지 단계에서의 불량 유출을 원천 봉쇄할 수 있습니다.

### 3. [R&D Priority 3] 초정밀 Alignment & Bonding 검사 장비

EMIB는 칩(Die)을 브릿지 위에 올릴 때, 매우 좁은 영역 내에서 전기적 연결을 위한 정밀한 정렬이 이루어져야 합니다.

- **개발 목표:** 칩-브릿지-기판 간의 3축(X, Y, θ) 정렬 오차를 sub-micron 단위로 제어하고 검증하는 고정밀 정렬 검사 시스템.
- **핵심 기술 요소:**
  - **Sub-micron Vision Alignment:** 고배율 렌즈와 고해상도 CMOS 센서를 결합하여, 칩의 범프(Bump)와 브릿지의 패드(Pad) 위치를 실시간으로 매칭하는 초정밀 비전 시스템을 구축합니다.
  - **Real-time Displacement Monitoring:** Die Attach 및 Flip Chip Bonding 과정에서 발생하는 압력과 열에 의한 미세 변위를 실시간으로 모니터링하여, 정렬 상태가 허용 오차(Tolerance) 내에 있는지 검증합니다.
  - **Multi-layer Registration Inspection:** 기판 층, 브릿지 층, 칩 층으로 이어지는 다층 구조(Multi-layer)의 정렬 상태를 통합적으로 관리할 수 있는 검사 프로세스를 개발합니다.
  - **기대 효과:** 고성능 AI 반도체(HBM, GPU 등)의 핵심인 인터커넥트(Interconnect) 신뢰성을 보장하며, 공정 정밀도 향상을 통한 수율 극대화를 달성합니다.

#### [크레셈 차세대 검사 장비 개발 로드맵 요약]

구분	단기 과제 (1~2년)	중기 과제 (3~5년)	핵심 타겟 고객
광학 검사	고해상도 3D AOI (Surface)	AI 기반 통합 비전 솔루션	SK하이닉스, 인텔 등
X-ray 검사	2D Micro-focus X-ray	3D X-ray CT (Internal)	OSAT 및 파운드리
정렬 검사	High-precision Alignment	Multi-layer 통합 정렬 검사	HBM/FC-BGA 제조사

#### [결론]

크레셈은 단순한 광학 검사 장비 제조사를 넘어, EMIB라는 새로운 패키징 구조에 최적화된 '복합 비파괴 검사(Hybrid Non-destructive Inspection)' 솔루션 프로바이더로 도약해야 합니다. 3D AOI를 통한 표면 정밀 제어와 X-ray CT를 통한 내부 무결성 검증이 결합된 통합 검사 플랫폼은 차세대 AI 반도체 시장에서 크레셈의 독보적인 기술적 해자(Moat)가 될 것입니다.

#### 결론 및 시사점 (Conclusion & Strategic Implications)

본 보고서에서 분석한 바와 같이, EMIB(Embedded Multi-die Interconnect Bridge) 기술은 기존 TSMC의 CoWoS(Coated Wafer on Silicon Interposer) 방식이 가진 대면적 실리콘 인터포저의 높은 비용 및 수율 저하 문제를 해결할 수 있는 혁신적인 2.5D 패키징 솔루션입니다 [출처: m.blog.naver.com/drryuhk/223128001153]. 특히 인텔(Intel)과 SK하이닉스의 협력 가능성 및 EMIB-T 기술의 발전은 AI 반도체 및 데이터센터 시장을 타깃으로 한 첨단 패키징 시장의 중심축이 '대면적 인터포저'에서 '미세 실리콘 브릿지 매립' 방식으로 이동하고 있음을 시사합니다 [출처: www.greened.kr/news/articleView.html?idxno=340632,

[www.autoelectronics.co.kr/article/articleView.asp?idx=6323](http://www.autoelectronics.co.kr/article/articleView.asp?idx=6323)].

이러한 기술적 패러다임의 변화는 반도체 검사 장비 시장에 다음과 같은 전략적 변화를 요구합니다.

첫째, **검사 난이도의 급격한 상승과 검사 영역의 확장**입니다. EMIB는 실리콘 브릿지를 FC-BGA 기판 내부에 물리적으로 매립하는 구조를 가집니다. 이는 공정 중간에 발생한 결함이 최종 제품 단계에서 외부로 드러나지 않는 **잠재적 결함(Latent Defect)**의 위험을 극대화합니다. 따라서 단순한 표면 검사를 넘어, 기판 내부의 브릿지 정렬(Alignment) 상태, 매립 시 발생하는 Void(기포), 그리고 칩-브릿지 간의 미세 접합(Solder Joint) 신뢰성을 비파괴 방식으로 확인할 수 있는 고해상도 3D X-ray 및 CT 검사 기술의 확보가 필수적입니다.

둘째, **시장 경쟁력(Market Competitiveness) 확보를 위한 기술 로드맵(Strategic Roadmap) 구축**입니다. 크레셈(CRESSEM)은 차세대 검사 장비 개발에 있어 다음과 같은 방향성을 견지해야 합니다.

전략적 방향	핵심 개발 목표	기대 효과
고정밀 광학 검사	미세 브릿지 및 RDL 패턴의 3D AOI 기술 고도화	공정 초기 단계의 불량 검출 및 수율 최적화
비파괴 내부 검사	고해상도 3D X-ray/CT 기반 매립 구조 분석	매립형 구조 특유의 잠재적 결함(Void, Crack) 제어
통합 검사 솔루션	Die Attach부터 Final Test까지의 데이터 통합	공정 간 상관관계 분석을 통한 스마트 팩토리 대응

결론적으로, EMIB 기술의 확산은 크레셈에게 단순한 장비 공급을 넘어, 첨단 패키징 공정의 수율을 결정짓는 **'품질 컨트롤 타워'**로서의 역할을 요구하고 있습니다. 인텔, SK하이닉스 등 글로벌 선도 기업들의 기술 협력 가속화에 발맞추어, 크레셈은 고해상도 3D 측정 및 비파괴 검사 기술에 대한 R&D 투자를 집중함으로써 차세대 AI 반도체 검사 시장의 독보적인 기술 우위를 점해야 합니다.