

FC-BGA 제조 공정별 정밀 검사 및 불량 선별 기준 기술 보

문서번호 CRSM-AI-2026-AUTO

작성일 2026-06-03

작성 Cressem AI 시스템 (자동 생성)

보안등급 사내 비밀 (Confidential)

버전 v1.0

목 차

FC-BGA 제조 공정별 정밀 검사 및 불량 선별 기준 기술 보고서	3
개요/배경	3
FC-BGA 제조 공정 흐름도 및 기술 아키텍처	4
단계별 정밀 검사 항목 및 불량 선별 기준 (I)	5
단계별 정밀 검사 항목 및 불량 선별 기준 (II)	7
물리적 변형(Warping) 분석 및 신뢰성 검증	9
AI 비전 기반 스마트 검사 솔루션 적용	11
결론 및 시사점	12

FC-BGA 제조 공정별 정밀 검사 및 불량 선별 기준 기술 보고서

FC-BGA 제조 전 공정의 기술적 메커니즘을 분석하고, 각 단계별 핵심 검사 항목과 불량 판정 기준을 정의합니다. 고성능 패키징 수율 향상을 위한 정밀 검사 솔루션 및 AI 비전 적용 방안을 제시합니다.

개요/배경

1.1. FC-BGA(Flip Chip Ball Grid Array) 기술의 정의 및 핵심 가치

현대 반도체 산업의 패러다임이 전공정(Front-end)의 미세화 한계를 극복하기 위해 후공정(Back-end), 즉 **첨단 패키징(Advanced Packaging)** 기술로 급격히 이동함에 따라, FC-BGA(Flip Chip Ball Grid Array)는 차세대 고성능 반도체 구현을 위한 핵심 인프라로 자리 잡았습니다 [11].

FC-BGA는 고성능 반도체 칩(Die)과 메인보드(Mainboard) 사이를 연결하는 **고밀도 패키지 기판(High-Density Substrate)**의 일종입니다 [11]. 기존의 패키징 방식이 금선(Gold Wire)을 이용해 칩의 단자와 기판을 연결하는 와이어 본딩(Wire Bonding) 방식에 의존했다면, FC-BGA는 칩의 입출력 단자(I/O)에 미세한 금속 돌기인 **범프(Bump)**를 형성한 후, 칩을 뒤집어서(Flip) 기판의 패드에 직접 접합하는 **플립칩(Flip Chip)** 방식을 채택합니다 [11].

이러한 구조적 전환은 다음과 같은 기술적 우위를 제공합니다:

- **신호 무결성(Signal Integrity) 극대화:** 칩과 기판 사이의 전기적 경로(Interconnect Path)가 와이어 본딩 대비 획기적으로 단축됩니다. 이는 신호 지연(Latency)을 최소화하고 고속 데이터 전송 환경을 구축하는 데 결정적인 역할을 합니다 [11].
- **고집적화(High Density) 실현:** 칩의 표면 전체를 활용하여 수많은 입출력 단자(I/O)를 배치할 수 있어, 대역폭(Bandwidth)이 중요한 고성능 프로세서 구현에 필수적입니다 [11].
- **전기적·열적 성능 최적화:** 칩이 기판에 밀착됨에 따라 전기적 임피던스(Impedance) 제어가 용이하며, 고성능 칩에서 발생하는 열을 기판을 통해 효율적으로 방출할 수 있는 구조적 설계가 가능합니다 [11].

1.2. 고성능 컴퓨팅(HPC) 및 AI 반도체 시장의 성장과 공정 중요성

최근 인공지능(AI), 클라우드 컴퓨팅, 고성능 컴퓨팅(HPC), 그리고 자율주행 시스템의 폭발적인 수요 증가는 반도체의 성능 요구치를 단순한 연산 속도를 넘어 '**데이터 전송 대역폭**'과 '**전력 효율성**'의 영역으로 확장시켰습니다. 특히 거대 언어 모델(LLM)을 구동하기 위한 AI 가속기(GPU, NPU 등)와 서버용 CPU/GPU는 수만 개의 입출력 단자를 필요로 하며, 이를 안정적으로 지원할 수 있는 유일한 솔루션이 바로 FC-BGA입니다 [11].

이러한 시장 환경 변화는 FC-BGA 제조 공정의 난이도를 기하급수적으로 높이고 있습니다.

1. **미세 회로의 고밀도화:** 데이터 전송 속도를 높이기 위해 기판 내부의 회로 선폭(Line Width)과 간격(Space)이 극도로 미세해지고 있습니다. 이는 제조 과정에서 미세한 단선(Open)이나 단락(Short)을 유발할 가능성을 높이며, 매우 높은 수준의 **패턴 검사(Pattern Inspection)** 역량을 요구합니다 [11].

2. **적층 및 구조적 복잡성 증가:** 2.5D/3D 패키징 기술과의 결합이 가속화되면서, 기판은 단순한 연결 통로를 넘어 복잡한 다층 구조(Multi-layer)를 형성하고 있습니다. 이는 칩과 기판 간의 정렬(Alignment) 및 접합부의 신뢰성을 검증해야 하는 과제를 안겨줍니다 [11].

3. **물리적 변형(Warpage) 관리의 임계점:** 미세화된 기판과 고성능 칩 간의 **열팽창 계수(CTE, Coefficient of Thermal Expansion)** 차이로 인해, 열처리 공정 중 기판이 휘어지는 **워피지(Warpage)** 현상이 심화되고 있습니다. 이는 솔더 볼(Solder Ball)의 접합 불량이나 범프(Bump)의 탈락으로 이어져 최종 제품의 수율(Yield)을 결정짓는

치명적인 요인이 됩니다 [11].

1.3. 결론: 정밀 검사 솔루션의 필연성

결론적으로, FC-BGA 기술은 단순한 기판 제조를 넘어 반도체 성능을 결정짓는 핵심 요소로 격상되었습니다. 공정의 미세화와 패키징 구조의 고도화는 제조 단가 상승과 수율 저하라는 리스크를 동반하며, 이를 제어하기 위한 핵심 수단은 '초정밀 공정 검사'입니다.

미세 회로의 패턴 결함부터 마이크로 댄드(Micro Bump)의 높이, 정렬 상태, 그리고 열적 변형에 의한 휨 현상까지, 모든 공정 단계에서 발생하는 결함을 실시간으로 포착하고 분류할 수 있는 **고해상도 광학 검사(High-Resolution Optical Inspection)** 및 **AI 기반 비전 알고리즘(AI-Driven Machine Vision)**의 도입은 이제 선택이 아닌 필수적인 생존 전략입니다. 본 보고서에서는 이러한 기술적 요구사항을 충족하기 위한 FC-BGA 공정별 상세 검사 항목과 불량 판정 기준을 심도 있게 다루고자 합니다.

FC-BGA 제조 공정 흐름도 및 기술 아키텍처

FC-BGA(Flip Chip Ball Grid Array)의 제조 공정은 일반적인 PCB(Printed Circuit Board) 제조 방식과는 궤를 달리합니다. 고성능 반도체 칩의 미세한 입출력 단자(I/O)를 수용하고, 수만 개의 신호 경로를 확보하기 위해 수십 층의 미세 회로를 층층이 쌓아 올리는 **빌드업(Build-up) 공정**이 핵심적인 기술적 아키텍처를 형성합니다 [11]. 본 섹션에서는 코어 기판의 형성부터 최종 실장 준비 단계에 이르기까지의 전체 공정 시퀀스와 각 단계별 기술적 특징을 분석합니다.

1. 코어 기판 형성 및 기초 공정 (Core Substrate Formation)

FC-BGA 제조의 출발점은 구조적 지지대 역할을 하는 **코어 기판(Core Substrate)**을 형성하는 것입니다. 코어는 전체 패키지의 물리적 강성을 유지하고, 상부의 미세 회로 층들이 안정적으로 적층될 수 있도록 하는 기반입니다.

- **CCL(Copper Clad Laminate) 준비:** 절연체와 동박(Copper Foil)이 결합된 CCL을 사용하여 기초 층을 구성합니다.
- **회로 형성(Patterning):** 노광(Lithography) 및 식각(Etching) 공정을 통해 코어 층에 거시적인 회로 패턴을 형성합니다. 이 단계의 회로들은 빌드업 층의 미세 회로에 비해 상대적으로 선폭이 넓지만, 전체적인 전기적 경로의 골격을 형성하므로 매우 높은 신뢰성이 요구됩니다.
- **드릴링(Drilling):** 코어 층과 상부 빌드업 층 사이의 전기적 연결을 위해 **Via(비아)**를 형성합니다. 최근에는 미세화된 구조를 위해 레이저 드릴링(Laser Drilling) 기술이 필수적으로 사용됩니다.

2. 빌드업 공정 (Build-up Process: Multi-layer Architecture)

빌드업 공정은 FC-BGA의 기술적 난이도가 가장 집약된 구간입니다. 얇은 절연층(ABF, Ajinomoto Build-up Film 등)과 미세한 동박을 교대로 적층하며 층수를 높여가는 과정을 반복합니다.

- **절연층 적층(Dielectric Layer Deposition):** 미세 회로를 형성하기 위한 절연 재료를 코어 위에 도포합니다. 이때 층간의 평탄도(Planarity)를 유지하는 것이 차세대 공정의 핵심입니다.
- **미세 회로 형성(Fine Line Patterning):** 빌드업 층에서는 수 μm 단위의 초미세 선폭(Line/Space) 구현이 필요합니다. 이는 고속 데이터 전송 시 발생하는 신호 손실을 최소화하고, 칩의 고밀도 I/O를 수용하기 위함입니다.
- **Via 형성 및 도금(Via Formation & Plating):** 각 층 사이를 연결하는 미세 비아를 형성하고, 그 내부를 구리(Cu)로 채워 넣는 **Via Filling** 공정이 수행됩니다. 이 과정에서 비아 내부의 보이드(Void, 빈 공간) 발생 여부는 전기적 단락(Short)이나 단선(Open)을 유발하는 치명적인 결함 요인이 됩니다.

이러한 빌드업 과정이 반복됨에 따라 기판은 다층 구조(Multi-layer)를 갖추게 되며, 층수가 증가할수록 **워피지(Warpage, 휨 현상)** 제어가 공정 관리의 핵심 지표로 부상합니다.

3. 표면 처리 및 실장 준비 (Surface Treatment & Solder Preparation)

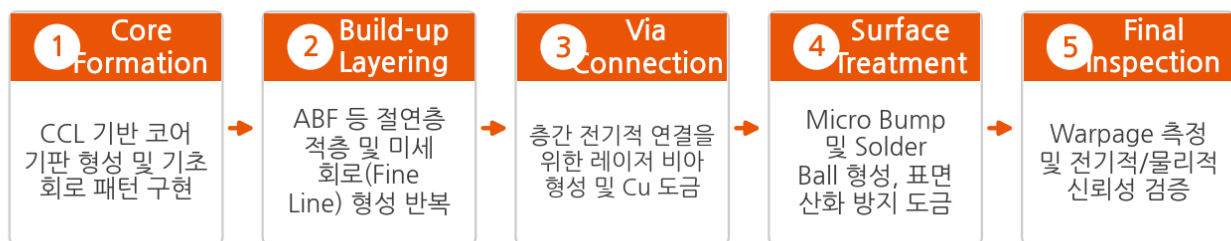
모든 빌드업 층이 완성되면, 상단의 칩 접합부와 하단의 메인보드 연결부를 위한 최종 표면 처리가 진행됩니다.

- **마이크로 범프 형성(Micro Bump Formation):** 칩이 직접 올라가는 상부 레이어에는 미세한 솔더(Solder) 돌기인 마이크로 범프를 형성합니다. 이 범프의 높이 균일도와 정렬(Alignment) 상태는 플립칩(Flip Chip) 접합 신뢰성에 직결됩니다.
- **솔더 볼 실장(Solder Ball Attachment):** 기판 하단부(Bottom side)에는 메인보드와의 연결을 위한 비교적 큰 크기의 솔더 볼을 배치합니다.
- **표면 도금(Surface Plating):** 산화 방지 및 솔더 접합성(Solderability) 향상을 위해 금(Au), 니켈(Ni), 또는 유기 처리(OSP) 등을 통해 표면을 코팅합니다.

4. FC-BGA 공정 아키텍처 요약

전체 공정은 '기반 구축(Core) → 고밀도 적층(Build-up) → 연결부 완성(Surface)'의 논리적 흐름을 따릅니다. 기술이 고도화될수록 각 단계 사이의 경계는 모호해지며, 특히 빌드업 공정에서의 미세 패턴 제어와 적층 간 정렬 기술이 전체 수율(Yield)을 결정짓는 핵심 변수로 작용합니다.

FC-BGA Manufacturing Process Flow



단계별 정밀 검사 항목 및 불량 선별 기준 (I)

FC-BGA(Flip Chip Ball Grid Array) 제조 공정 중 가장 높은 기술적 난이도를 요구하는 구간은 코어(Core) 기판의 형성 및 그 위에 미세 회로를 층층이 쌓아 올리는 **빌드업(Build-up)** 공정입니다. 이 단계에서 발생하는 결함은 후속 공정인 마이크로 범프(Micro Bump) 형성이나 칩 실장(Die Attach) 단계에서 치명적인 불량을 유발하며, 최종 제품의 전기적 특성을 결정짓는 근본적인 원인이 됩니다. 따라서 본 섹션에서는 빌드업 공정의 핵심 요소인 **패턴 검사(Pattern Inspection)**와 **마이크로 비아(Micro-via)**의 신뢰성을 확보하기 위한 정밀 검사 항목 및 불량 선별 기준을 심도 있게 분석합니다.

3.1. 빌드업 공정의 기술적 특성과 검사 난제

빌드업 공정은 절연재(Dielectric Layer)를 적층하고, 그 위에 구리(Cu)를 도금하여 미세한 회로 패턴을 형성하는 과정의 반복입니다. 고성능 컴퓨팅(HPC)용 FC-BGA의 요구사항이 높아짐에 따라 회로 선폭(Line Width)과 간격(Space)은 수 μm 단위로 미세화되고 있으며, 층간 연결을 위한 비아(Via)의 직경 또한 극도로 작아지고 있습니다.

이러한 미세화는 다음과 같은 검사 기술적 난제를 야기합니다:

- **해상도 한계(Resolution Limit):** 기존의 광학 검사 장비로는 미세 회로 사이의 간격이나 비아 내부의 결함을 포착하기 어려워, 고해상도 머신 비전(Machine Vision) 및 특수 조명 기술이 필수적입니다 [11].

- **검사 속도와 정밀도의 트레이드오프(Trade-off):** 회로가 미세해질수록 검사해야 할 데이터의 양이 기하급수적으로 증가하며, 이는 생산 수율(Yield)에 직결되는 검사 시간(Tact Time)의 증가로 이어집니다.
- **적층 구조의 복잡성:** 다층(Multi-layer) 구조 내부에 숨겨진 회로의 결함을 비파괴 방식으로 검출해야 하는 기술적 요구가 높습니다.

3.2. 핵심 검사 항목 및 불량 선별 기준

빌드업 공정에서의 정밀 검사는 크게 **패턴 결함 검사(Pattern Defect Inspection)**와 **층간 연결성 검사(Interconnect Inspection)**로 구분됩니다.

3.2.1. 미세 회로 패턴 검사 (Pattern Inspection)

기판 내부의 구리 회로 패턴이 설계된 대로 정확하게 형성되었는지를 검증하는 과정입니다. 주요 검사 항목과 불량 기준은 다음과 같습니다.

검사 항목 (Inspection Item)	상세 내용 (Description)	불량 유형 (Defect Type)	선별 기준 (Criteria)
선폭 및 간격 (L/S)	설계된 Line Width와 Space가 허용 오차 범위 내에 있는지 측정	Open / Short	설계 Spec 대비 $\pm X\%$ 초과 시 불량
단선 (Open)	회로 패턴이 끊어지거나 불완전하게 형성된 상태	Open	전기적 연속성 단절 및 시각적 단절 확인
단락 (Short)	인접한 회로 패턴이 서로 붙어버린 상태	Short	패턴 간 간격(Space) 부족 및 구리 돌출(Copper protrusion)
에칭 잔류물 (Etch Residue)	식각 공정 후 제거되지 않은 구리 찌꺼기	Short / Contamination	미세 패턴 사이의 이물질 존재 여부
패턴 변형 (Pattern Distortion)	회로가 휘거나 비틀린 형태	Geometric Error	패턴의 직진성 및 곡률 허용치 초과

- **단락(Short) 관리의 중요성:** 미세 회로 공정에서 가장 빈번하고 치명적인 불량은 단락입니다. 특히 구리 도금 공정 중 발생하는 **Over-plating**이나 식각(Etching) 공정의 불균일로 인해 인접 패턴이 연결될 경우, 최종 칩 구동 시 과전류가 흐르거나 신호 간섭(Crosstalk)이 발생하여 제품이 폐기됩니다.

3.2.2. 마이크로 비아 및 인터커넥트 검사 (Micro-via & Interconnect)

층과 층 사이를 전기적으로 연결하는 통로인 **마이크로 비아(Micro-via)**의 건전성을 검사하는 단계입니다. FC-BGA의 고속 신호 전달 성능은 이 비아의 품질에 전적으로 의존합니다.

검사 항목 (Inspection Item)	상세 내용 (Description)	불량 유형 (Defect Type)	선별 기준 (Criteria)
비아 충전도 (Via Fill)	비아 내부가 구리로 얼마나 밀도 있게 채워졌는지 확인	Void / Under-fill	비아 내부 기포(Void)의 부피가 전체의 $X\%$ 이상 시 불량
비아 정렬 (Via Alignment)	상하층 비아의 중심축이 일치하는지 측정	Misalignment	중심축 편차(Offset)가 직경의 $X\%$ 초과 시 불량

비아 개구부 (Via Opening)	비아 입구의 크기와 형상이 규격에 맞는지 검사	Undersize / Oversize	입구 직경의 설계치 대비 허용 오차 초과
도금 두께 (Plating Thickness)	비아 벽면 및 회로의 구리 도금 두께 측정	Thin/Thick Plating	최소 요구 두께 미달 또는 과도한 두께

- **보이드(Void) 결함의 위험성:** 비아 내부에 미세한 공기 방울인 보이드가 잔존할 경우, 이는 전기적 저항(Resistance)을 높일 뿐만 아니라 열팽창 시 내부 압력을 상승시켜 비아를 파괴하거나 층간 박리(Delamination)를 유발하는 근본 원인이 됩니다. 따라서 고해상도 광학 검사를 통해 비아 내부의 충전 상태를 정밀하게 모니터링해야 합니다.

3.3. 불량 선별을 위한 검사 기술 전략

단순히 결함을 발견하는 것을 넘어, 생산성을 유지하면서 정확한 선별을 수행하기 위해 다음과 같은 고도화된 검사 전략이 적용됩니다.

1. 고해상도 광학 및 조명 제어 (High-Resolution Optical & Lighting Control):

미세 패턴의 단락과 단선을 명확히 구분하기 위해 **동축 조명(Coaxial Lighting)**과 **저각 조명(Low-angle Lighting)**을 병행 사용합니다. 동축 조명은 평면적인 패턴의 결함을 찾는 데 유리하며, 저각 조명은 회로의 높이(Step height)나 돌출된 결함을 포착하는 데 탁월합니다.

2. AI 기반 결함 분류 (AI-based Defect Classification):

빌드업 공정에서는 정상적인 패턴의 미세한 노이즈와 실제 불량을 구분하는 것이 매우 어렵습니다. 크레셈의 핵심 기술인 **AI 비전 알고리즘**은 딥러닝을 통해 수만 건의 결함 데이터를 학습함으로써, 단순 Rule-based 방식이 가진 **과검(Over-kill, 정상 제품을 불량으로 판정)** 문제를 획기적으로 해결합니다 [11]. 이는 불필요한 폐기 비용을 줄이고 공정 수율을 직접적으로 향상시키는 핵심 요소입니다.

3. 실시간 데이터 피드백 (Real-time Data Feedback):

검사 장비에서 포착된 패턴 및 비아 결함 데이터는 즉시 전공정(Etching, Plating 등)의 설비 파라미터로 피드백되어야 합니다. 예를 들어, 특정 영역에서 지속적으로 비아 정렬(Misalignment) 불량이 발생한다면, 이는 빌드업 공정 내 노광(Lithography) 장비의 정렬 오차를 의미하므로 즉각적인 보정 조치가 가능해집니다.

결론적으로, 빌드업 공정의 정밀 검사는 단순한 'Pass/Fail' 판정을 넘어, 미세 회로의 기하학적 정밀도와 전기적 연결성을 동시에 보장하는 **다차원적 신뢰성 검증 과정**이라 할 수 있습니다. 이는 향후 고단 적층 및 초미세 피치(Ultra-fine pitch) 구현을 위한 필수적인 기술적 토대가 됩니다.

단계별 정밀 검사 항목 및 불량 선별 기준 (II)

앞선 섹션에서 다룬 빌드업(Build-up) 공정의 미세 회로 패턴 검사가 기판 내부의 전기적 연결성을 확보하는 과정이었다면, 본 섹션에서는 칩(Die)과 기판(Substrate)을 물리적으로 결합하고, 완성된 기판을 시스템 보드에 실장하기 위한 핵심 단계인 **마이크로 범프(Micro Bump)** 및 **솔더 볼(Solder Ball)**의 정밀 검사 기준을 다룹니다.

이 단계는 패키징 공정의 최종 관문이자, 제품의 전기적 신호 전달 능력과 물리적 신뢰성을 결정짓는 가장 민감한 구간입니다. 특히 FC-BGA의 경우, 칩의 입출력 단자인 범프와 기판의 패드 간의 정렬(Alignment) 및 접합부의 품질이 제품의 전체 수율(Yield)을 좌우합니다.

4.1. 마이크로 범프(Micro Bump) 및 범프 접합(Bump Bonding) 검사

마이크로 범프는 칩과 기판 사이의 초미세 전기적 통로 역할을 수행합니다. 최근 AI 가속기 및 고성능 컴퓨팅(HPC)용 패키지에서는 I/O 밀도가 급격히 높아짐에 따라 범프의 크기는 작아지고 개수는 기하급수적으로

늘어나고 있습니다. 이에 따라 검사 장비의 해상도와 정밀도는 더욱 가혹한 기준을 요구받고 있습니다.

4.1.1. 주요 검사 항목 및 불량 유형

검사 항목 (Inspection Item)	기술적 정의 및 목적	주요 불량 유형 (Defect Types)
범프 직경 및 높이 (Diameter & Height)	범프의 기하학적 형상이 설계 규격(Spec) 내에 존재하는지 측정	Under-size/Over-size: 접합 면적 부족 또는 쇼트 위험
정렬 정밀도 (Alignment/Offset)	칩의 범프 중심과 기판 패드 중심 간의 위치 오차 측정	Misalignment: 미접합(Open) 또는 인접 범프 간 단락(Short)
형상 및 프로파일 (Coplanarity)	모든 범프가 동일한 평면상에 위치하여 균일하게 접합되는지 확인	Non-coplanarity: 특정 범프의 들뜸 또는 접합 불량 유발
표면 상태 (Surface Condition)	범프 표면의 산화, 이물질(Foreign Material), 오염 여부 확인	Contamination: 전기적 저항 증가 및 접합 신뢰성 저하

4.1.2. 핵심 불량 선별 기준 (Selection Criteria)

1. 미스얼라이먼트(Misalignment) 및 오프셋(Offset) 관리:

플립칩(Flip Chip) 공정에서 가장 치명적인 불량은 칩의 범프가 기판의 패드(Pad) 정중앙에 위치하지 않는 것입니다. 오프셋 값이 허용 범위를 초과할 경우, 접합 면적이 감소하여 **전기적 저항(Resistance)**이 상승하거나, 접합부의 기계적 강도가 약해져 열충격 시 범프가 탈락하는 **Bump Cracking** 현상이 발생할 수 있습니다. 따라서 검사 시스템은 서브 마이크로(μm) 단위의 정밀한 좌표 측정이 가능해야 합니다.

2. 코플래너리티(Coplanarity, 평탄도) 기준:

수천 개의 범프가 동시에 접합될 때, 각 범프의 높이 차이가 규격 이상일 경우 일부 범프가 기판에 닿지 않는 **Open 불량**이 발생합니다. 이는 신호 전달 경로의 단절을 의미하며, 특히 고속 데이터 전송이 필요한 HBM이나 고성능 FC-BGA에서는 데이터 패킷 손실의 직접적인 원인이 됩니다.

4.2. 솔더 볼(Solder Ball) 및 BGA 실장 검사

기판의 하단부에 형성되어 메인보드(Mainboard)와 연결되는 솔더 볼은 패키지 전체의 물리적 지지대 역할과 동시에 대규모 I/O 연결을 담당합니다. BGA(Ball Grid Array) 공정은 범프 검사보다 규모가 크지만, 볼의 개수가 많고 배치 밀도가 높아 고속 스캔 기술이 필수적입니다.

4.2.1. 솔더 볼 결함 분석 및 판정 기준

솔더 볼 검사는 주로 **AOI(Automated Optical Inspection)** 및 **AXI(Automated X-ray Inspection)**를 병행하여 수행합니다. 광학 검사로는 표면의 외관을, X-ray 검사로는 볼 내부의 보이지 않는 결함을 포착합니다.

- **브릿지(Bridge) 및 쇼트(Short):** 인접한 솔더 볼끼리 납이 과도하게 흘러넘쳐 서로 연결된 상태입니다. 이는 전기적 단락을 유발하는 가장 심각한 불량으로, 즉각적인 폐기(Scrap) 대상입니다.
- **보이드(Void):** 솔더 볼 내부 또는 접합 계면에 형성된 미세한 기포입니다. X-ray 검사를 통해 확인 가능하며, 보이드의 면적 비율(%)이 설계 규격(예: 전체 면적의 10% 미만)을 초과할 경우 신뢰성 저하를 우려하여 불량으로 판정합니다. 보이드가 크면 열 방출 효율이 떨어지고, 물리적 충격 시 균열의 시작점이 됩니다.
- **미충진(Non-wetting / De-wetting):** 솔더가 기판 패드에 제대로 퍼지지 않고 구슬 형태로 뭉쳐 있는 현상입니다. 이는 전기적 연결성을 확보하지 못하므로 불량으로 분류됩니다.

- **볼 크기 불균일(Ball Size Variation):** 솔더 페이스트(Solder Paste) 도포량의 불균형으로 인해 볼의 크기가 일정하지 않은 경우입니다. 이는 최종 실장 시 기판의 평탄도를 해치고, 앞서 언급한 **Warpage(휨)** 문제를 가속화하는 원인이 됩니다.

4.3. 전기적 특성 및 신뢰성 연계 검사

물리적 외관 검사가 완료된 후에는, 검사 데이터와 전기적 특성 간의 상관관계를 분석하는 과정이 수반되어야 합니다.

물리적 결함 (Physical Defect)	예상되는 전기적 영향 (Electrical Impact)	검사 연계 항목
Micro Bump Resistance Wuparrow	신호 지연(Latency) 및 전력 손실 증가	Electrical Characterization
Solder Ball Void Wuparrow	열 저항(θ_{JA}) 상승 및 열적 불안정	Thermal Test / IR Map
Misalignment Wuparrow	임피던스 불일치 및 신호 반사(Reflection)	Signal Integrity (Eye Diagram)

특히, **신호 무결성(Signal Integrity)** 관점에서 범프와 솔더 볼의 품질은 매우 중요합니다. 범프의 접합 상태가 불안정하여 발생하는 미세한 임피던스 변화는 고주파 신호의 왜곡을 초래하며, 이는 결과적으로 **BER(Bit Error Rate)**의 급격한 상승으로 이어집니다. 따라서 최신 검사 솔루션은 단순히 "볼이 있다/없다"를 판단하는 수준을 넘어, 접합부의 물리적 상태가 전기적 파형(Eye Diagram)에 미치는 영향을 예측할 수 있는 수준으로 진화하고 있습니다.

4.4. 소결: 정밀 검사의 전략적 가치

마이크로 범프와 솔더 볼 단계에서의 정밀 검사는 단순한 불량 선별을 넘어, '**수율 예측 및 공정 최적화**'를 위한 핵심 데이터 소스입니다. 범프의 정렬 오차가 특정 방향으로 쏠린다면 이는 본딩 장비의 기계적 정밀도 문제를 시사하며, 솔더 볼의 보이드가 특정 영역에서 집중된다면 리플로우(Reflow) 온도 프로파일의 불균일성을 의미합니다.

결론적으로, 이 단계에서의 고해상도 광학 및 X-ray 검사 기술, 그리고 이를 실시간으로 분석하는 AI 알고리즘의 결합은 제조 공정의 피드백 루프를 완성하여, 최종 제품의 신뢰성을 보장하고 제조 원가를 절감하는 결정적인 역할을 수행합니다.

물리적 변형(Warpage) 분석 및 신뢰성 검증

5.1. Warpage(휨 현상)의 발생 메커니즘: CTE 불일치와 열응력

FC-BGA(Flip Chip Ball Grid Array)와 같은 첨단 패키지 기판에서 **워피지(Warpage, 휨 현상)**는 제품의 신뢰성을 결정짓는 가장 치명적인 물리적 변수 중 하나입니다. 이 현상은 기본적으로 기판을 구성하는 서로 다른 재료들 사이의 **열팽창 계수(CTE, Coefficient of Thermal Expansion)** 차이에서 기인합니다.

FC-BGA는 실리콘(Si) 칩, 유기물 기반의 빌드업 층(Build-up Layer), 코어(Core) 기판, 그리고 최종적으로 형성되는 솔더 볼(Solder Ball) 등 다양한 재료가 적층된 복합 구조체입니다. 각 재료는 온도 변화에 따라 팽창하거나 수축하는 정도가 상이합니다. 예를 들어, 실리콘 칩의 CTE는 약 2.6 ppm/ $^{\circ}\text{C}$ 수준으로 매우 낮지만, 유기물 기반의 기판 재료는 12 ~ 17 ppm/ $^{\circ}\text{C}$ 이상의 높은 CTE를 가집니다.

공정 중 또는 실제 동작 환경에서 온도가 상승하면, CTE가 큰 기판 층은 크게 팽창하려 하고 CTE가 작은 칩이나 특정 적층 층은 팽창을 억제하려는 힘이 발생합니다. 이러한 **열팽창 계수(CTE) 불일치**는 적층 구조 내부에서 비대칭적인 **열응력(Thermal Stress)**을 유발하며, 결과적으로 기판이 평면을 유지하지 못하고 위 또는 아래로

휘어지는 워피지 현상을 초래합니다 [5, 11].

5.2. Warpage가 공정 및 제품 신뢰성에 미치는 영향

워피지가 제어 범위를 벗어날 경우, 제조 공정 전반과 최종 제품의 전기적 성능에 걸쳐 심각한 결함을 야기합니다. 주요 영향은 다음과 같습니다.

영향 단계	주요 발생 결함 (Defect Type)	상세 내용 및 결과
Pick & Place 공정	Misalignment (정렬 불량)	기판이 휘어 있으면 칩을 정확한 위치에 올리는 고정밀 마운팅 작업이 불가능해지며, 이는 범프(Bump) 접합 불량으로 직결됨.
Reflow (리플로우) 공정	Solder Bridging (솔더 브릿징)	열을 가해 솔더를 녹이는 과정에서 기판의 휨이 심해지면, 인접한 솔더 볼끼리 서로 붙어 전기적 단락(Short)을 유발함.
Reflow (리플로우) 공정	Non-Wet / Head-in-Pillow (HiP)	기판의 휘어짐으로 인해 칩의 범프와 기판의 패드가 제대로 접촉하지 못해, 솔더가 얇혀만 있고 결합되지 않는 불량이 발생함.
최종 제품 동작	Solder Joint Cracking (크랙)	온도 사이클(Thermal Cycling) 반복 시, 휨에 의한 응력이 솔더 접합부에 집중되어 미세한 균열이 발생하고, 이는 결국 단선(Open)으로 이어짐.

특히, 고성능 컴퓨팅(HPC) 및 AI 가속기용 FC-BGA는 칩의 크기가 대형화되고 적층 단수가 높아짐에 따라 발생하는 응력의 절대량이 기하급수적으로 증가하고 있어, 워피지 관리는 수율(Yield) 확보를 위한 핵심 과제입니다 [11].

5.3. Warpage 측정 기술 및 관리 기준

워피지를 정밀하게 분석하기 위해서는 단순히 평면도를 측정하는 것을 넘어, 온도 변화에 따른 **동적 워피지(Dynamic Warpage)**를 파악하는 것이 필수적입니다.

5.3.1. 측정 방식의 진화

1. **정적 측정 (Static Measurement):** 특정 온도(예: 25°C)에서 기판의 변형 정도를 측정합니다. 초기 공정 검사에서 사용됩니다.

2. **동적 측정 (Dynamic Measurement):** 온도를 실시간으로 변화시키며(예: $25^{\circ}\text{C} \rightarrow 260^{\circ}\text{C}$) 온도 프로파일에 따른 휨의 거동을 관찰합니다. 리플로우 공정 중 발생하는 최대 변형량을 예측하는 데 결정적인 데이터를 제공합니다.

5.3.2. 주요 측정 지표 및 분석 도구

- **Warpage Profile:** 온도-변위 곡선을 통해 어느 온도 구간에서 응력이 집중되는지 분석합니다.
- **Coplanarity (평면도):** 기판 표면의 주요 지점들 간의 높이 차이를 측정하여, 솔더 볼이 균일하게 접합될 수 있는 상태인지 확인합니다.

- **3D 레이저 스캔 및 광학 프로파일로미터 (Optical Profilometry):** 비접촉식 방식으로 기판의 곡률(Curvature)을 마이크로미터(μm) 단위의 정밀도로 매핑합니다.

5.4. 신뢰성 검증을 위한 열적 신뢰성 테스트 (Thermal Reliability Test)

제품이 실제 사용 환경에서 견딜 수 있는지 확인하기 위해, 설계 단계 및 양산 검증 단계에서 다음과 같은 가혹 조건의 신뢰성 테스트가 수행됩니다.

1. Temperature Cycling Test (TCT, 온도 사이클 테스트):

극저온(-40°C)과 극고온($+125^{\circ}\text{C}$ 이상)을 반복적으로 오가게 하여, CTE 불일치에 의한 열응력이 누적되었을 때 솔더 조인트나 범프에 균열이 발생하는지 검증합니다. 이 과정에서 발생하는 물리적 피로(Fatigue)를 견디는 시간이 제품의 수명을 결정합니다.

2. High Temperature Storage Test (HTST, 고온 저장 테스트):

고온 환경에 장시간 노출시켜 재료의 열적 안정성과 화학적 변형을 관찰합니다. 이는 기판 내부의 수지(Resin) 열팽창이나 산화 현상을 모니터링하는 데 목적이 있습니다.

3. Thermal Shock Test (TS, 열 충격 테스트):

온도 변화의 기울기를 극단적으로 높여(Rapid Temperature Change), 급격한 열팽창/수축이 발생할 때 구조적 파괴가 일어나는지 확인합니다.

5.5. 결론: 워피지 제어를 위한 엔지니어링 전략

결론적으로, FC-BGA의 물리적 변형 관리는 단순히 불량을 잡아내는 것을 넘어, '**설계-재료-공정**' 전반을 아우르는 통합적인 접근이 필요합니다.

- **설계 단계:** 기판의 적층 구조를 최적화하여 CTE 밸런스를 맞추는 **Symmetric Build-up(대칭형 적층)** 설계가 중요합니다.
- **재료 단계:** 열팽창 계수가 낮고 열전도율이 높은 고기능성 절연재(ABF 등)의 도입이 요구됩니다.
- **검사 단계:** 크레셈이 지향하는 바와 같이, 단순한 외관 검사를 넘어 **AI 기반의 고정밀 광학 기술**을 활용해 워피지에 의한 미세한 정렬 오차와 물리적 변형을 실시간으로 예측하고, 이를 공정 데이터와 연동하여 역추적(Root Cause Analysis)하는 스마트 팩토리 솔루션이 필수적입니다 [10, 11].

AI 비전 기반 스마트 검사 솔루션 적용

반도체 패키징 공정이 미세화되고 FC-BGA 기판의 적층 구조가 복잡해짐에 따라, 기존의 Rule-based(규칙 기반) 검사 방식은 기술적 한계에 직면해 있습니다. 과거의 검사 알고리즘은 사전에 정의된 기하학적 수치나 밝기 임계값(Threshold)을 기준으로 결함을 판정했으나, 이는 공정 중 발생하는 미세한 노이즈나 정상적인 패턴의 변동을 결함으로 오인하는 **과검(Over-kill)** 문제를 야기합니다. 이러한 과검은 불필요한 폐기 비용을 발생시키고 생산 수율(Yield)을 저하시키는 핵심 원인이 됩니다. 이를 극복하기 위해 크레셈(CRESSEM)은 **AI 비전 및 딥러닝 기반의 스마트 검사 솔루션**을 통해 검사의 정확도와 공정 효율을 혁신하고 있습니다 [11].

1. 딥러닝 기반 결함 분류 및 과검(Over-kill) 방지 기술

스마트 검사 솔루션의 핵심은 **딥러닝 기반 결함 분류(Deep Learning-based Defect Classification)** 기술에 있습니다. 이는 단순한 결함 유무 판정을 넘어, 검출된 객체가 실제 공정 결함(Defect)인지, 아니면 검사 과정에서 발생하는 정상적인 노이즈(False Call)인지를 지능적으로 구분하는 단계입니다.

- **데이터셋 기반 학습 (Supervised Learning):** 수만 장 이상의 정상 패턴과 다양한 유형의 불량(단선, 단락, 이물, 패턴 왜곡 등) 이미지를 학습하여, AI가 결함의 특징점(Feature)을 스스로 추출하도록 합니다. 이를 통해 기존

알고리즘이 구분하지 못하던 미세한 패턴 차이를 인지할 수 있습니다.

- **과검률(Over-kill Rate)의 획기적 저감:** Rule-based 방식에서는 미세한 조명 변화나 기판의 미세한 표면 거칠기 변화에도 결함으로 판정하기 쉽지만, AI 모델은 전체적인 맥락(Context)을 파악하여 이를 정상 범위로 분류합니다. 이는 검사 후 재검(Re-inspection)에 소요되는 리소스를 줄이고, 실제 양품이 폐기되는 손실을 최소화합니다.
- **비정형 결함 대응 능력:** 고정된 규칙으로 정의하기 어려운 비정형적인 모양의 결함이나, 복합적인 원인으로 발생하는 불규칙한 패턴에 대해서도 높은 검출률(Detection Rate)을 유지합니다.

2. 데이터 분석을 통한 불량 원인 역추적 (Root Cause Analysis)

AI 기반 검사 솔루션은 단순히 결함을 찾아내는 'Gatekeeper'의 역할을 넘어, 제조 공정 전체의 데이터를 최적화하는 **데이터 분석 솔루션**으로 진화하고 있습니다. 검사 장비에서 수집된 방대한 양의 비전 데이터는 공정 개선을 위한 핵심 자산이 됩니다.

분석 단계	주요 내용	기대 효과
결함 패턴 분석	특정 위치, 특정 시간대, 특정 설비에서 발생하는 결함의 상관관계 분석	설비 이상 징후 조기 발견
통계적 공정 제어 (SPC)	결함 발생 빈도 및 유형의 시계열 데이터 추적	공정 드리프트(Drift) 감지 및 선제적 대응
원인 역추적 (RCA)	결함 데이터와 전/후 공정 파라미터(온도, 압력, 시간 등) 연계 분석	불량 발생의 근본 원인(Root Cause) 규명

검사 결과로 도출된 불량 데이터를 기반으로 **원인 역추적(Root Cause Analysis)**을 수행하면, 예를 들어 "특정 빌드업 공정의 노광(Lithography) 단계에서 발생하는 미세 패턴 왜곡이 특정 레이어에서 반복됨"을 통계적으로 증명할 수 있습니다. 이러한 인사이트는 엔지니어가 공정 레시피(Recipe)를 수정하거나 설비를 보정하는 데 결정적인 근거를 제공하며, 궁극적으로는 **스마트 팩토리(Smart Factory)** 구현의 토대가 됩니다 [10].

3. 결론: 수율 향상을 위한 전략적 파트너십

결론적으로, AI 비전 기반의 스마트 검사 솔루션은 FC-BGA 제조 공정의 고도화에 따른 기술적 난제를 해결하는 필수 도구입니다. 고해상도 광학 기술과 고도화된 AI 알고리즘이 결합된 검사 시스템은 **과검률 최소화**를 통해 운영 비용을 절감하고, **데이터 기반의 공정 최적화**를 통해 수율을 극대화합니다. 크레셈은 이러한 AI Inspection 기술력을 바탕으로, 고객사가 단순한 검사를 넘어 제조 공정 전체의 지능화를 달성할 수 있도록 돕는 전략적 파트너로서의 역할을 수행하고 있습니다 [10, 11].

결론 및 시사점

본 보고서에서는 차세대 고성능 컴퓨팅(HPC) 및 AI 가속기 시장의 핵심 인프라인 **FC-BGA(Flip Chip Ball Grid Array)**의 제조 공정 전반에 걸친 정밀 검사 항목과 불량 선별 기준을 심도 있게 분석하였습니다. 분석 결과, FC-BGA 기술의 고도화는 단순한 기판 제조를 넘어 반도체 성능의 임계치를 결정짓는 핵심 변수로 작용하고 있으며, 이에 따라 **공정 수율 극대화(Yield Optimization)**를 위한 검사 기술의 전략적 중요성은 그 어느 때보다 높습니다.

1. 검사 기술의 전략적 가치: 수율 및 품질 관리(Quality Control)

FC-BGA 공정은 미세 회로의 고밀도화와 다층 적층 구조의 복잡성으로 인해 제조 난이도가 기하급수적으로 상승하고 있습니다. 본 보고서에서 다룬 바와 같이, 코어 및 빌드업 공정에서의 미세 패턴 결함, 마이크로 뱀프(Micro

Bump)의 물리적 정렬 상태, 그리고 열팽창 계수(CTE) 차이로 인한 워피지(Warpage) 현상은 최종 제품의 전기적 특성과 신뢰성을 결정짓는 치명적인 요소입니다.

따라서 검사 기술은 단순히 불량을 찾아내는 '사후 선별'의 단계를 넘어, 다음과 같은 전략적 가치를 지녀야 합니다.

- **실시간 결함 제어:** 공정 단계별로 발생하는 미세 결함을 즉각적으로 포착하여 후속 공정으로의 불량 전이를 차단함으로써 폐기 비용을 최소화해야 합니다.
- **데이터 기반의 수율 예측:** 검사 장비로부터 수집된 고해상도 광학 데이터를 분석하여 공정의 산포를 관리하고, 잠재적인 불량 발생 구간을 사전에 예측하는 능력이 필수적입니다.
- **과검(Over-kill) 최소화:** AI 비전 알고리즘을 활용하여 정상 제품을 불량으로 오판하는 과검률을 낮춤으로써, 불필요한 공정 손실을 방지하고 생산성을 극대화해야 합니다.

2. 미래 기술 로드맵(Future Roadmap) 및 제언

향후 FC-BGA 시장은 더욱 미세한 회로 선폭과 더 높은 적층 단수를 요구하는 방향으로 진화할 것입니다. 이에 대응하기 위해 제조 및 검사 기술은 다음과 같은 방향으로 발전해야 합니다.

구분	현재 기술 트렌드	미래 기술 로드맵 (Next Generation)
검사 해상도	고해상도 광학 검사 (Optical Inspection)	초미세 회로 대응용 고배율/초정밀 스캔 및 3D 측정
검사 방식	Rule-based 기반 결함 검출	AI 기반 딥러닝(Deep Learning) 결함 분류 및 자동 판독
분석 범위	개별 결함(Defect) 중심 분석	공정 간 상관관계 분석을 통한 Root Cause Analysis
데이터 활용	단순 Pass/Fail 판정	스마트 팩토리 연동형 실시간 공정 최적화 솔루션

결론적으로, 초미세 패키징 시대로 진입함에 따라 검사 장비는 단순한 품질 확인 도구가 아닌, '수율 향상을 위한 핵심 생산 엔진'으로 재정의되어야 합니다. (주)크레셈이 지향하는 AI 비전 및 고정밀 광학 솔루션과 같은 첨단 검사 기술의 도입은 고객사의 제조 원가 경쟁력을 확보하고, 급변하는 AI 반도체 공급망 내에서 기술적 우위를 점할 수 있는 유일한 경로가 될 것입니다.