CRESSEM
CREATIVE ASSEMBLY

HBM4 TSV 공정 단계별 검사 프로세스 및 결함 분석 보고서

문서번호	CRSM-AI-2026-AUTO
작성일	2026-06-02
작성	Cressem AI 시스템 (자동 생성)
보안등급	사내 비밀 (Confidential)
버전	v1.0

목 차

HBM4 TSV 공정 단계별 검사 프로세스 및 결함 분석 보고서 3

개요 및 HBM4 기술 트렌드 3

TSV 형성 및 식각(Etch) 공정 검사 4

TSV 충전(Filling) 및 평탄화(CMP) 검사 6

HBM4 적층(Stacking) 및 본딩(Bonding) 검사 프로세스 8

주요 결함 유형 및 물리적 분석 기법 10

차세대 HBM4 검사 장비 기술 요구사항 12

결론 및 기술적 시사점 13

HBM4 TSV 공정 단계별 검사 프로세스 및 결함 분석 보고서

HBM4의 핵심 기술인 TSV(Through-Silicon Via) 공정의 단계별 검사 체계를 정의하고, 적층 및 본딩 과정에서 발생하는 주요 결함 유형과 이를 해결하기 위한 차세대 검사 솔루션을 분석합니다.

개요 및 HBM4 기술 트렌드

인공지능(AI) 및 고성능 컴퓨팅(HPC) 시장의 폭발적인 성장으로 인해 데이터 처리 속도와 대역폭(Bandwidth)의 한계를 극복하기 위한 메모리 기술의 혁신이 가속화되고 있습니다. 특히 차세대 메모리인 HBM4(High Bandwidth Memory Gen 4)는 단순한 용량 확장을 넘어, 기존 HBM3/3E 시리즈와는 차별화된 구조적 변화를 겪고 있습니다. HBM4는 압도적인 대역폭(최대 1.2TB/s 수준)과 저전력 구조를 실현하기 위해 3D 수직 적층(3D Stacking) 기술을 더욱 심화시키고 있으며, 이 과정에서 핵심 기술인 TSV(Through-Silicon Via, 실리콘 관통 전극)의 정밀도와 신뢰성이 제품의 수율(Yield)을 결정짓는 결정적인 요소로 부상하고 있습니다 [출처: ckhome7108.tistory.com].

HBM4 기술의 핵심적 변화는 적층 구조의 고도화와 Base Die(베이스 다이)의 역할 변화에 있습니다. 기존의 HBM 구조가 DRAM 다이를 단순히 수직으로 쌓아 올리는 형태였다면, HBM4 단계에 진입하면서 Base Die에 로직(Logic) 공정을 탑재하는 구조로 진화하고 있습니다. 이는 메모리 설계자가 로직 설계까지 고려해야 하는 복잡성을 야기하며, 메모리와 로직 간의 초고속 통신을 가능하게 합니다 [출처: threads.com/@semicongram/post/DXeOR36kp5G]. 이러한 구조적 변화는 데이터 전송 경로의 단축과 병목 현상(Bottleneck) 해소를 가능케 하지만, 동시에 공정 난이도를 극도로 높이는 결과를 초래합니다.

HBM4의 성능을 뒷받침하는 핵심 메커니즘인 TSV는 실리콘 웨이퍼를 수직으로 관통하는 미세한 통로를 형성하여, 적층된 DRAM 다이들 사이의 전기적 연결을 담당합니다 [출처: m.blog.naver.com/rollingfac/223288439696]. TSV 기술이 고도화됨에 따라 관통되는 홀(Hole)의 종횡비(Aspect Ratio)는 더욱 높아지고, 이를 채우는 구리(Cu) 배선의 정밀도는 더욱 엄격해지고 있습니다. 따라서 TSV 형성 과정에서의 식각(Etch) 품질, 충전(Filling)의 균일성, 그리고 적층 시의 본딩(Bonding) 정밀도는 HBM4의 성능을 좌우하는 핵심 지표가 됩니다.

HBM4 시대의 검사(Inspection) 프로세스는 단순한 불량 판별을 넘어, 공정 단계별로 발생하는 미세 결함을 선제적으로 탐지하는 '통합 검사 전략'을 요구합니다. HBM은 여러 개의 DRAM 다이를 적층하는 구조적 특성상, 적층(Stacking) 및 본딩(Bonding) 과정에서 발생하는 미세한 정렬(Alignment) 불량이나 범프(Bump) 결함이 전체 패키지의 신뢰성에 치명적인 영향을 미칩니다 [출처: blog.naver.com/woowontechnology/223791775495]. 이에 따라 광학(Optical), 전자기(Electromagnetic), 초음파(Ultrasonic), 그리고 3D X-ray CT와 같은 다각적인 물리적 분석 기법이 결합된 고도화된 검사 솔루션이 필수적으로 요구되는 시점입니다 [출처: happythink64575.tistory.com/112].

아래 표는 HBM3E와 차세대 HBM4의 주요 기술적 차이점을 요약한 것입니다.

구분	HBM3E (기존 기술)	HBM4 (차세대 기술)	비고
주요 구조	DRAM 적층 + Standard Base Die	DRAM 적층 + **Logic Base Die**	로직 기능 강화
데이터 대역폭	약 1.2TB/s 미만	**최대 1.2TB/s 이상**	대역폭 극대화

핵심 연결 기술	TSV (Through-Silicon Via)	**고종횡비(HAR) TSV & Advanced Bonding**	공정 난이도 급상승
검사 요구사항	범프 및 적층 정렬 중심	**Base Die 로직 통합 및 3D 구조 결함 검사**	검사 복잡도 증가
주요 타겟 시장	AI 가속기, HPC	**초거대 AI 모델, 차세대 클라우드 서버**	고성능 요구

결론적으로, HBM4로의 기술 전환은 반도체 패키징 기술의 패러다임을 '단순 적층'에서 '시스템 통합(System Integration)'으로 변화시키고 있습니다. TSV 공정의 미세화와 Base Die의 로직화는 생산 수율 확보를 더욱 어렵게 만들고 있으며, 이는 곧 고해상도·고속 검사 장비에 대한 수요로 직결됩니다. 본 보고서에서는 이러한 기술적 변화를 바탕으로, TSV 형성부터 최종 패키징 단계에 이르기까지 각 공정에서 발생할 수 있는 주요 결함 유형과 이를 효과적으로 검출하기 위한 최신 검사 기술 및 프로세스를 심도 있게 분석하고자 합니다.

TSV 형성 및 식각(Etch) 공정 검사

HBM4(High Bandwidth Memory Gen 4)의 고단 적층 구조가 심화됨에 따라, 실리콘 관통 전극(Through-Silicon Via, TSV)의 신뢰성은 전체 패키지의 수율을 결정짓는 핵심 요소로 부상하였습니다. TSV 공정의 초기 단계인 식각(Etch) 공정은 실리콘 웨이퍼에 미세한 구멍(Via Hole)을 형성하는 과정으로, 이 단계에서 발생하는 미세한 결함은 후속 공정인 Cu Filling(구리 충전) 및 본딩(Bonding) 단계에서 치명적인 전기적 불량을 야기합니다. 특히 HBM4로 진화하며 적층 수가 증가함에 따라, 더 깊고 좁은 구멍을 뚫어야 하는 HAR(High Aspect Ratio, 고종횡비) 식각 기술의 난이도가 급격히 상승하고 있습니다.

1. HAR(High Aspect Ratio) Etch 공정의 기술적 난제와 검사 중요성

HBM의 대역폭을 극대화하기 위해서는 TSV의 직경(Diameter)은 줄이면서 깊이(Depth)는 확보해야 합니다. 이는 종횡비(Aspect Ratio, 직경 대비 깊이의 비율)의 상승을 의미하며, 일반적인 식각 공정으로는 제어하기 어려운 HAR 환경을 조성합니다. HAR Etch 단계에서 검사가 필수적인 이유는 다음과 같은 물리적/화학적 변수 때문입니다.

- **Profile Control (프로파일 제어):** 식각이 진행됨에 따라 이온(Ion)이 바닥면까지 도달하는 경로가 좁아지며, 이로 인해 구멍의 형상이 수직이 아닌 테이퍼(Tapered) 형태나 보잉(Bowing, 중간이 배부른 형태) 현상이 발생할 수 있습니다. 프로파일이 설계치에서 벗어나면 후속 Cu Filling 시 보이드(Void)가 발생할 확률이 매우 높아집니다.
- **Etch Depth 및 Uniformity (식각 깊이 및 균일도):** 웨이퍼 전체 영역에서 동일한 깊이로 식각이 이루어져야 합니다. 특정 영역의 식각 깊이가 얕을 경우(Under-etch), TSV가 상부 전극과 연결되지 않는 Open 불량이 발생하며, 반대로 너무 깊을 경우(Over-etch), 웨이퍼 뒷면(Backside)까지 관통하여 소자 손상을 유발할 수 있습니다.
- **Etch Stop 및 Selectivity (식각 정지 및 선택비):** 하부 막질을 손상시키지 않으면서 목표한 깊이에서 식각을 정확히 멈추는 기술이 요구됩니다. 이는 식각 가스와 플라즈마(Plasma) 에너지 제어의 정밀도에 달려 있습니다.

2. 식각 공정 단계별 주요 검사 항목 및 결함 유형

식각 공정 직후 수행되는 검사는 물리적 형상(Morphology)과 화학적 상태를 동시에 파악해야 합니다. 주요 검사 항목은 다음과 같습니다.

검사 항목	주요 결함 유형 (Defect Types)	발생 원인 및 영향

Via Hole Profile	Bowing (보잉)	식각 가스/이온의 측면 충돌로 인해 중간 부분이 넓어지는 현상. 후속 공정 시 Cu 충전 불량 유발.
	Tapered Profile	하단부로 갈수록 급격히 좁아지는 형태. 전기적 저항 증가 및 연결 불량의 원인.
Etch Depth	Under-etch (미식각)	목표 깊이 도달 실패. TSV 불완전 형성으로 인한 전기적 단선(Open).
	Over-etch (과식각)	웨이퍼 관통 또는 하부 레이어 손상. 소자 파괴 및 신뢰성 저하.
Via Bottom	Scallop / Roughness	Bosch Process 등 식각 방식에 따른 측벽/바닥면의 거칠기. 접합부 저항 증가.
	Micro-masking	식각 부산물(Polymer)이 바닥에 잔류하여 식각을 방해하는 현상. 불완전한 Via 형성.

3. 검사 기술의 진화: 물리적·전기적 분석 기법

HAR Etch 공정의 결함을 검출하기 위해서는 기존의 2D 광학 검사만으로는 한계가 있으며, 3차원적인 구조 분석이 병행되어야 합니다.

가. 3D X-ray CT (Computed Tomography) 분석

비파괴 검사 방식 중 가장 강력한 수단으로, X-ray를 이용해 TSV 내부의 형상과 깊이를 3차원으로 재구성합니다. 이는 식각된 Via Hole의 실제 Profile(Bowing, Tapering)을 확인하고, 미세한 잔류물(Residue)이나 식각 깊이의 균일도를 측정하는 데 최적화되어 있습니다. [출출: https://happythink64575.tistory.com/112]

나. SEM (Scanning Electron Microscopy) 기반 분석

Cross-section SEM(단면 주사전자현미경)을 통해 식각된 단면의 정밀한 형상을 관찰합니다. 식각된 벽면의 거칠기(Roughness)나 Scallop(보쉬 공정 특유의 물결 모양 결함)을 나노미터(nm) 단위로 분석하여 식각 가스의 선택비와 에너지 제어 상태를 검증합니다.

다. CD-SEM (Critical Dimension SEM)

Via Hole의 상단 직경(Top CD)뿐만 아니라, 식각이 진행됨에 따라 변화하는 하단 직경(Bottom CD)을 측정하여 종횡비의 정확성을 수치화합니다. 이는 공정 윈도우(Process Window) 내에서 식각이 안정적으로 수행되고 있는지 판단하는 핵심 지표가 됩니다.

4. HBM4 공정 대응을 위한 검사 솔루션의 방향성

HBM4는 Base Die에 Logic 공정이 도입되고 적층 구조가 고도화됨에 따라, TSV의 미세화가 가속화되고 있습니다. 이에 따라 식각 공정 검사 솔루션은 다음과 같은 방향으로 발전해야 합니다.

첫째, **고해상도(High Resolution) 및 고종횡비 대응 능력**입니다. TSV의 직경이 줄어들고 깊이가 깊어짐에 따라, 기존 광학 장비로는 심도(Depth of Field) 문제로 인해 바닥면의 결함을 포착하기 어렵습니다. 따라서 초점 심도가 깊은 특수 광학계나 고에너지 X-ray 기반의 3D 검사 기술이 필수적입니다.

둘째, **실시간 공정 모니터링(In-situ Monitoring)과의 연계**입니다. 식각 공정 중 발생하는 플라즈마 상태나 부산물 축적을 실시간으로 감지하여, 결함이 발생하기 전 공정 조건을 피드백(Feedback)하는 통합 검사 시스템이

요구됩니다. 이는 수율(Yield) 손실을 최소화하기 위한 핵심 전략입니다.

셋째, **데이터 기반의 결함 예측(AI-driven Inspection)**입니다. 식각 공정에서 발생하는 복잡한 Profile 변동 데이터를 AI 알고리즘으로 분석하여, 특정 식각 패턴이 발생했을 때 이것이 향후 Cu Filling 단계에서 어떤 불량(Void 등)으로 이어질지를 사전에 예측하는 지능형 검사 솔루션이 HBM4 양산 라인의 핵심 경쟁력이 될 것입니다.

TSV 충전(Filling) 및 평탄화(CMP) 검사

TSV(Through-Silicon Via) 공정의 핵심은 실리콘 관통 전극 내부에 구리(Cu)를 결함 없이 채워 넣는 충전(Filling) 공정과, 적층을 위해 상부 표면을 극도로 평탄하게 만드는 화학 기계적 연마(CMP, Chemical Mechanical Polishing) 공정의 완결성에 있습니다. HBM4로 진화함에 따라 데이터 전송 대역폭이 최대 1.2TB/s에 육박하고 적층 단수가 높아짐에 따라, 미세한 충전 불량이나 평탄도 불균일은 전체 패키지의 전기적 특성 저하 및 열 방출 문제로 직결됩니다. 따라서 본 섹션에서는 Cu Filling 과정에서의 Void 발생 메커니즘과 CMP 공정 후의 표면 품질 검사 기술을 심층 분석합니다.

1. Cu Filling(구리 충전) 공정 및 Void 결함 분석

TSV 형성 단계에서 식각(Etch)을 통해 확보된 고종횡비(High Aspect Ratio, HAR) 홀(Hole) 내부에 구리를 전기도금(Electroplating) 방식으로 채우는 과정은 매우 정밀한 제어가 요구됩니다. HBM4와 같이 미세 피치(Fine Pitch)가 적용되는 구조에서는 충전 시 내부 기포나 불순물이 포함되어 빈 공간이 생기는 Void(보이드) 결함이 발생할 위험이 매우 높습니다.

1.1. Void 발생 메커니즘 및 유형

Cu Filling 과정에서 발생하는 Void는 주로 전해액의 확산 속도와 이온의 이동 속도 간의 불균형에서 기인합니다.

- **Seam Void (중앙부 균열형 보이드):** 도금 과정에서 홀의 입구(Top)부터 측벽(Sidewall)을 따라 구리가 먼저 성장하여 상단부를 폐쇄(Sealing)해 버릴 경우, 내부로 유입되어야 할 구리 이온이 차단되어 홀 중앙에 길쭉한 형태의 빈 공간이 남게 됩니다. 이는 전기적 저항을 급격히 상승시키는 주원인이 됩니다.
- **Pin-hole (핀홀):** 도금액 내의 불순물이나 표면 장력의 불균일로 인해 매우 미세한 구멍 형태로 발생하는 결함입니다. 이는 육안이나 일반 광학 검사로는 발견이 어려우며, 후속 공정인 CMP 단계에서 심각한 표면 결함을 야기합니다.
- **Non-fill (미충전):** 홀의 바닥부까지 구리가 도달하지 못하는 현상으로, TSV의 전기적 연결(Interconnection) 자체를 불가능하게 만듭니다.

1.2. 충전 결함 검사 기술

Cu Filling의 무결성을 검증하기 위해서는 비파괴 검사(Non-destructive Testing) 기술이 필수적입니다.

검사 기법	검사 대상 및 원리	주요 특징 및 한계
3D X-ray CT	내부 Cu 구조의 밀도 차이를 이용한 단면 재구성	Void의 위치와 크기를 3차원적으로 정확히 파악 가능하나, 고해상도 구현 시 검사 속도 저하 발생 [출처: 네이버 블로그]
전기적 특성 검사 (EDS/E-test)	TSV 형성 후 전기적 저항(Resistance) 측정	저항 값의 이상을 통해 결함 유무를 빠르게 판단할 수 있으나, 결함의 정확한 물리적 위치 파악은 불가능

Scanning Acoustic Microscopy (SAM)	초음파 반사파를 이용한 내부 계면 분석	Cu와 Si 사이의 박리(Delamination)나 대형 Void 검출에 유리하나, 미세 Void 검출력은 제한적

2. CMP(Chemical Mechanical Polishing) 공정 및 표면 평탄도 검사

Cu Filling이 완료된 웨이퍼는 다음 적층 공정(Stacking)을 위해 CMP 공정을 거쳐 상부 표면을 매끄럽게 다듬어야 합니다. HBM4의 고단 적층 구조에서는 각 다이(Die) 사이의 간격이 극도로 좁기 때문에, CMP 공정 후의 표면 거칠기(Surface Roughness)와 평탄도(Planarity)는 본딩(Bonding) 수율을 결정짓는 핵심 요소입니다.

2.1. CMP 공정 주요 결함 및 품질 지표

CMP 공정은 화학적 반응(Chemical)과 기계적 마찰(Mechanical)을 동시에 활용합니다. 이 균형이 깨질 경우 다음과 같은 품질 저하가 발생합니다.

- **Dishing (디싱):** 연마 과정에서 상대적으로 연성(Ductility)이 높은 Cu 영역이 주변 Si 영역보다 더 많이 깎여 나가, Cu 표면이 오목하게 들어가는 현상입니다. 이는 후속 공정에서 재배선(Rerouting) 시 단차 문제를 유발합니다.
- **Erosion (에로전):** 특정 패턴 영역이 주변보다 과도하게 마모되어 전체적인 평탄도가 깨지는 현상입니다.
- **Scratches (스크래치):** 연마 패드(Polishing Pad) 내의 이물질(Slurry Particle)이나 물리적 압력 불균형으로 인해 발생하는 선형 결함입니다. 이는 전기적 단락(Short)이나 단선(Open)의 원인이 됩니다.
- **Surface Roughness (표면 거칠기):** 표면의 미세한 요철을 의미하며, HBM4의 미세 피치 본딩 시 접합 면적을 감소시켜 접촉 저항을 높이는 원인이 됩니다.

2.2. 표면 품질 분석 및 검사 프로세스

CMP 이후의 검사는 나노미터(nm) 단위의 정밀도를 요구하며, 주로 광학적 및 물리적 분석 기법이 병행됩니다.

1. **비접촉식 광학 프로파일로메트리 (Non-contact Optical Profilometry):** 백색광 간섭계(WLI) 등을 활용하여 표면의 3차원 형상을 측정합니다. 이를 통해 Dishing의 깊이와 표면 거칠기(R_a, R_q 값)를 정밀하게 산출합니다.

2. **AFM (Atomic Force Microscopy):** 원자간력을 이용하여 원자 단위의 표면 형상을 스캔합니다. CMP 공정의 최적화를 위한 연구 개발(R&D) 단계 및 극미세 결함 분석에 사용되나, 검사 면적이 매우 좁아 양산 라인 전체 검사보다는 샘플 분석용으로 활용됩니다.

3. **머신 비전 기반 광학 검사 (Optical Inspection):** 고해상도 카메라와 조명 시스템을 이용하여 스크래치, 이물질(Particle), 에로전 패턴을 실시간으로 검출합니다. HBM4의 고속 양산을 위해서는 AI 알고리즘이 결합된 고속 비전 솔루션이 필수적입니다.

3. 기술적 요구사항 및 결론

HBM4 공정에서 TSV 충전 및 CMP 검사는 단순한 불량 선별을 넘어, 적층(Stacking) 공정의 성공 여부를 결정짓는 선행 지표 역할을 합니다. Cu Filling 단계에서의 Void 제어 실패는 적층 후 열팽창 계수(CTE) 차이에 의한 물리적 크랙(Crack)으로 이어질 수 있으며, CMP 단계의 평탄도 불량은 본딩 계면의 신뢰성을 근본적으로 훼손합니다.

따라서 차세대 검사 장비는 **(1) 3D X-ray를 통한 고종횡비 내부 Void의 정밀 시각화, (2) 광학 프로파일로메트리를 통한 나노 단위의 표면 거칠기 자동 측정, (3) AI 기반의 머신 비전을 통한 스크래치 및 디싱 패턴의 실시간 분류** 능력을 통합적으로 갖추어야 합니다. 이러한 고도화된 검사 프로세스의 구축은 HBM4의 수율 극대화와 고성능 컴퓨팅(HPC) 시장에서의 기술적 우위 확보를 위한 필수 과제입니다.

HBM4 적층(Stacking) 및 본딩(Bonding) 검사 프로세스

HBM4(High Bandwidth Memory Gen 4)로의 진화는 단순히 적층 단수를 높이는 것을 넘어, 데이터 전송 효율을 극대화하기 위한 구조적 정밀도를 요구합니다. HBM4는 이전 세대보다 더 많은 수의 DRAM 다이를 수직으로 쌓아 올리며, 각 다이 사이의 전기적 연결을 위해 TSV(Through-Silicon Via)와 연결된 마이크로 범프(Micro Bump)를 활용한 본딩 공정이 핵심적인 역할을 수행합니다. 이 단계에서 발생하는 미세한 정렬 오차나 접합 불량은 전체 패키지의 전기적 특성을 저하시킬 뿐만 아니라, 최종 수율(Yield)에 치명적인 영향을 미치기 때문에 고도화된 검사 프로세스가 필수적입니다.

1. 적층(Stacking) 및 본딩(Bonding) 공정의 기술적 배경

HBM4의 적층 공정은 개별 DRAM 다이를 정밀하게 배치하고, 이를 물리적·전기적으로 결합하는 과정입니다. 최근에는 적층 단수가 증가함에 따라 전체 패키지의 높이를 제어하고 열 방출 효율을 높이기 위해 더욱 미세한 피치(Pitch)를 가진 마이크로 범프 기술이 적용되고 있습니다.

본딩 방식은 크게 TC-NCF(Thermal Compression Non-Conductive Film)와 MR-MUF(Mass Reflow Molded Underfill) 기술로 구분되며, HBM4 단계에서는 공정 난이도 상승에 따라 각 방식의 결함 특성이 상이하게 나타납니다. 적층 과정에서 다이 간의 간격(Gap) 제어, 범프의 높이 균일성, 그리고 본딩 시 가해지는 압력과 온도의 정밀 제어가 핵심이며, 이를 검증하기 위한 검사 단계가 공정 중간중간에 배치되어야 합니다.

2. 핵심 검사 항목 및 주요 결함 유형

적층 및 본딩 단계에서의 검사는 크게 **정렬(Alignment)**, **접합 품질(Bonding Quality)**, 그리고 **구조적 무결성(Structural Integrity)**의 세 가지 관점에서 수행됩니다.

2.1 정렬 오차(Alignment Error) 및 위치 불량

HBM4는 수천 개의 TSV 및 범프가 수직으로 정렬되어야 합니다. 다이가 쌓일 때 발생하는 미세한 회전(Rotation)이나 평행 이동(Translation)은 범프 간의 미스매치(Mismatch)를 유발합니다.

- **Bump Misalignment:** 상부 다이의 범프와 하부 다이의 패드(Pad)가 정확히 일치하지 않는 현상입니다. 이는 접촉 저항(Contact Resistance)을 증가시키거나, 심할 경우 전기적 단락(Short) 또는 단선(Open)을 초래합니다.
- **Skew/Tilt:** 다이가 수평을 유지하지 못하고 한쪽으로 기울어지는 현상으로, 적층이 진행될수록 오차가 누적되어 상단 다이의 정렬이 불가능해지는 'Stacking Error'로 이어집니다.

2.2 마이크로 범프(Micro Bump) 결함

범프는 다이 간의 전기적 통로이자 물리적 지지대 역할을 합니다.

- **Non-Wet / De-wetting:** 본딩 과정에서 범프의 솔더(Solder)가 패드에 충분히 퍼지지 않거나, 오히려 수축하여 접합 면적이 부족해지는 현상입니다.
- **Bridging (Short):** 인접한 범프 사이의 솔더가 과도하게 유동하여 서로 연결되는 현상으로, 신호 간 간섭(Crosstalk) 및 쇼트 불량을 유발합니다.
- **Insufficient Solder Volume:** 범프의 체적이 설계치보다 적을 경우, 열팽창 계수(CTE) 차이에 의한 물리적 응력 발생 시 접합부가 파손될 위험이 큽니다.

2.3 본딩 품질 및 내부 결함

- **Void (기포):** 본딩 계면 또는 언더필(Underfill) 내부에 공기 방울이 갇히는 현상입니다. 이는 열 방출을 방해하여 국부적인 Hot-spot을 형성하고, 신뢰성을 저하시키는 주요 원인이 됩니다. [출처: blog.naver.com/woowontechnology/223791775495]

• **Delamination (박리):** 적층된 다이 사이의 계면이 물리적으로 떨어지는 현상으로, 주로 열 충격이나 불완전한 본딩 압력에 의해 발생합니다.

3. 단계별 검사 프로세스 및 활용 기술 비교

HBM4의 적층 공정은 단일 검사로 완료되지 않으며, 공정 흐름에 따라 적절한 검사 기법을 조합하여 사용해야 합니다.

검사 단계	주요 검사 대상	활용 기술 (Inspection Technique)	검사 목적
Pre-Bonding	범프 상태, 다이 표면	광학 검사 (AOI, Automated Optical Inspection)	범프 높이, 오염, 미세 파티클 및 사전 정렬 상태 확인
In-Situ Bonding	본딩 중 정렬 상태	고속 머신 비전 (High-speed Machine Vision)	실시간 Alignment Error 모니터링 및 보정
Post-Bonding (Intermediate)	적층 계면, 범프 접합	3D X-ray CT, 초음파 검사 (SAM)	내부 Void, Bridging, 미세 정렬 불량 및 계면 박리 검출
Final Inspection	최종 패키지 신뢰성	전기적 테스트 (EDS/Final Test), IR Inspection	전기적 특성(Continuity, Resistance) 및 열적 결함 확인

[참고: 일반적인 반도체 패키징 검사 공정 지식 기반 작성]

4. HBM4 대응을 위한 검사 기술의 진화 방향

HBM4는 Base Die에 Logic 기능이 탑재되고 적층 구조가 더욱 복잡해짐에 따라, 기존의 2D 광학 검사만으로는 한계가 명확합니다.

첫째, **3D 비파괴 검사(Non-destructive Testing)의 고도화**가 필요합니다. 3D X-ray CT 기술을 통해 적층된 다이 내부의 수천 개 범프 상태를 투과하여 확인해야 하며, 특히 고밀도 TSV 구조 내의 미세 결함을 찾아내기 위한 고해상도 알고리즘이 요구됩니다.

둘째, **검사 속도(Throughput)와 정밀도의 트레이드오프(Trade-off) 해결**입니다. HBM4의 양산 수율을 확보하기 위해서는 초미세 피치의 범프를 실시간으로 검사할 수 있는 고속 머신 비전 시스템과 AI 기반의 결함 분류(Defect Classification) 기술이 결합되어야 합니다.

셋째, **전기적 특성과 물리적 결함의 상관관계 분석**입니다. 단순히 눈에 보이는 결함을 찾는 것을 넘어, 특정 위치의 범프 결함이 전체 대역폭(Bandwidth) 및 전력 소모에 미치는 영향을 예측할 수 있는 데이터 통합형 검사 솔루션이 차세대 HBM 검사 장비의 핵심 경쟁력이 될 것입니다.

HBM4 적층 및 본딩 검사 워크플로우

주요 결함 유형 및 물리적 분석 기법

HBM4(High Bandwidth Memory Gen 4)는 적층 단수가 증가하고 데이터 전송 속도가 비약적으로 상승함에 따라, 미세한 물리적 결함이 전체 패키지의 전기적 성능 저하 및 신뢰성 상실로 직결되는 구조를 갖는다. 특히 TSV(Through-Silicon Via)를 통한 수직 연결과 고밀도 범프(Bump) 적층 공정에서는 기존의 2D 패키징에서는 발견하기 어려웠던 내부 결함이 빈번하게 발생한다. 따라서 HBM4의 수율(Yield) 확보를 위해서는 결함의 유형을 정확히 분류하고, 각 결함의 물리적 특성에 최적화된 비파괴 검사(Non-Destructive Testing, NDT) 기법을 적용하는 것이 필수적이다.

1. HBM4 주요 결함 유형 분류

HBM4 공정 및 패키징 단계에서 발생하는 결함은 크게 구조적 결함(Structural Defect)과 계면 결함(Interface Defect)으로 구분할 수 있다.

결함 분류	주요 유형	발생 원인 및 물리적 현상	영향
구조적 결함 (Structural)	**Void (공극)**	TSV 충전(Filling) 과정에서 Cu(구리)가 불균일하게 채워지며 발생하는 빈 공간	저항(Resistance) 증가, 전기적 신호 왜곡, 열 방출 저해
	Crack (균열)	HAR(High Aspect Ratio) 식각 또는 열팽창 계수(CTE) 차이에 의한 다이/기판 균열	물리적 파손, 전기적 단락(Short) 또는 단선(Open)
계면 결함 (Interface)	**Delamination (박리)**	적층(Stacking) 및 본딩(Bonding) 시 층간 접착력 약화로 인한 분리 현상	열 관리 실패, 신뢰성 저하, 수명 단축
	Misalignment (정렬 불량)	범프(Bump)와 TSV 패드 간의 물리적 위치 불일치	접촉 저항 증가, 신호 간섭(Crosstalk), 연결 불량
충전 결함 (Filling)	**Scallop/Protrusion**	식각 및 CMP 공정 불균형으로 인한 표면 거칠기 및 돌출	본딩 계면의 불완전한 접촉, 물리적 응력 집중

2. 물리적 분석 기법 및 결함 검출 메커니즘

HBM4의 복잡한 3D 적층 구조 내부에 숨겨진 결함을 탐지하기 위해서는 광학적, 전자기적, 초음파적 특성을 활용한 다각도 분석이 수행되어야 한다.

2.1 3D X-ray CT (Computed Tomography)를 이용한 내부 구조 분석

3D X-ray CT는 고에너지 X선을 시료에 투과시켜 얻은 다각도의 2D 투영 영상을 수학적 알고리즘(Back-projection)으로 재구성하여 3차원 입체 영상을 구현하는 기술이다.

- **검출 메커니즘:** X선은 물질의 밀도(Density)와 원자 번호(Atomic Number)에 따라 흡수율이 달라지는 원리를 이용한다. HBM4 내부의 Cu TSV는 실리콘(Si) 다이에 비해 밀도가 높으므로, X선 흡수 차이를 통해 TSV의 위치와 형태를 명확히 구분할 수 있다.
- **주요 분석 대상:**
- **TSV Void:** 구리 충전 과정에서 발생한 미세 공극을 3차원 좌표상에서 검출한다.
- **Bump Integrity:** 적층된 범프의 높이, 직경, 그리고 범프 간의 정렬 상태를 정밀하게 측정한다.
- **Internal Crack:** 다이 내부 또는 적층 계면에서 발생하는 미세 균열의 경로를 추적한다.
- **기술적 한계 및 대응:** HBM4의 적층 단수가 높아짐에 따라 X선의 투과 깊이가 깊어지면 해상도(Resolution)가 저하되는 문제가 발생한다. 이를 극복하기 위해 고해상도 Micro-CT 기술과 AI 기반의 영상 재구성 알고리즘이 적용되고 있다. [출처: 일반 지식]

2.2 SAM (Scanning Acoustic Microscopy)을 이용한 계면 결함 분석

초음파 검사(SAM)는 초음파의 반사 및 굴절 특성을 이용하여 시료 내부의 물리적 불연속면을 탐지하는 기술이다.

- **검출 메커니즘:** 액체(물 등)를 매질로 하여 고주파 초음파를 시료 표면에 조사한다. 서로 다른 물질의 경계면(Interface)에서는 임피던스(Acoustic Impedance) 차이가 발생하며, 이 차이에 의해 초음파가 반사된다. 특히 공기(Air)가 포함된 층(Gap)은 임피던스 차이가 매우 커서 강한 반사 신호를 생성한다.
- **주요 분석 대상:**
- **Delamination (박리):** Die-to-Die, Die-to-Substrate 사이의 층간 분리 현상을 검출하는 데 가장 탁월한 성능을 보인다.
- **Void in Bonding:** 범프 접합부 내부에 존재하는 미세한 공기 방울을 탐지한다.
- **특이사항:** SAM은 비파괴 방식으로 계면의 상태를 파악할 수 있어, HBM4의 적층 공정 신뢰성 평가에서 필수적인 공정 검사 항목으로 분류된다. [출처: 일반 지식]

2.3 IR (Infrared) Inspection을 이용한 광학적 투과 분석

적외선 검사는 가시광선보다 파장이 긴 적외선 영역의 빛을 이용하여 반도체 패키지 내부를 투과하여 관찰하는 기법이다.

- **검출 메커니즘:** 실리콘(Si)은 특정 파장 대역의 적외선(특히 NIR, Near-Infrared)에 대해 투과성이 매우 높다. 따라서 불투명한 패키지 외관을 통과하여 내부의 다이(Die)나 범프(Bump)를 직접 관찰할 수 있다.
- **주요 분석 대상:**
- **Die-level Defect:** 적층된 다이 내부의 회로 패턴 오류나 미세 결함을 관찰한다.
- **Thermal Mapping:** 적외선 열화상 카메라를 결합하여 동작 중인 HBM4의 Hot-spot(국부적 발열 지점)을 분석함으로써, 전기적 결함에 의한 발열 패턴을 역추적한다.
- **기술적 역할:** 광학 현미경의 한계를 넘어 패키징된 상태에서도 내부 소자의 상태를 실시간으로 모니터링할 수 있는 이점을 제공한다. [출처: 일반 지식]

3. 결함 분석 기술의 비교 및 종합

HBM4의 고도화된 구조에 대응하기 위해서는 단일 기법보다는 결함의 특성에 따른 복합적인 검사 전략이 요구된다.

분석 기법	주요 타겟 결함	분석 원리	장점	단점
3D X-ray CT	TSV Void, Bump 정렬, 내부 Crack	X선 밀도 차이	3차원 입체 구조 파악 가능, 높은 관통력	고가의 장비, 데이터 처리 부하 높음
SAM	Delamination, 계면 공극	초음파 임피던스 차이	계면 결함 검출에 최적화, 비파괴	액체 매질 필요, 매우 미세한 Void 탐지 한계
IR Inspection	Die 내부 결함, Thermal Hot-spot	적외선 투과성	실리콘 투과를 통한 내부 직접 관찰	해상도 한계, 깊은 적층 구조에서의 감쇄

결론적으로, HBM4의 TSV 및 적층 공정에서 발생하는 결함을 완벽히 제어하기 위해서는 **X-ray CT를 통한 구조적 무결성 검증**, **SAM을 통한 계면 접착력 확인**, 그리고 **IR을 통한 광학적/열적 분석**이 통합적으로 이루어지는 다단계 검사 프로세스(Multi-stage Inspection Process)를 구축해야 한다. 특히 HBM4에서 도입되는 Base Die Logic의 복잡성을 고려할 때, 이러한 물리적 분석 데이터와 전기적 특성(Electrical Test) 데이터를 결합한 통합 분석 솔루션이 수율 확보의 핵심이 될 것이다. [출처: 일반 지식]

차세대 HBM4 검사 장비 기술 요구사항

HBM4(High Bandwidth Memory Generation 4)로의 진화는 단순한 메모리 적층 기술의 고도화를 넘어, 패키징 구조의 근본적인 패러다임 변화를 의미합니다. 특히 HBM4의 가장 핵심적인 변화는 기존의 단순한 컨트롤러 역할을 넘어선 **베이스 다이 로직 통합(Base Die Logic Integration)**입니다. 이에 따라 검사 장비에 요구되는 기술적 스펙 또한 기존 HBM3E 수준을 상회하는 임계치에 도달하고 있으며, 이는 검사 공정의 난이도와 장비의 성능 요구사항을 비약적으로 상승시키고 있습니다.

1. Base Die Logic 탑재에 따른 검사 복잡도 증대

HBM4의 구조적 변화 중 가장 주목해야 할 점은 베이스 다이(Base Die)에 로직(Logic) 공정이 적용된다는 것입니다. 기존 HBM 시리즈에서는 메모리 다이(DRAM Die)와 유사한 공정으로 베이스 다이가 제작되었으나, HBM4부터는 파운드리(Foundry)의 선단 로직 공정을 활용하여 베이스 다이를 제작하게 됩니다 [출처: Threads]. 이러한 변화는 검사 관점에서 다음과 같은 새로운 도전 과제를 제시합니다.

- **이종 집적(Heterogeneous Integration) 검사 필요성:** 메모리 공정 기반의 DRAM 다이와 로직 공정 기반의 Base Die가 결합되는 구조이므로, 두 이종 소자 간의 인터페이스(Interface) 및 전기적 특성을 검증하는 검사 기술이 필수적입니다.
- **신호 무결성(Signal Integrity) 검증 강화:** 로직 기능이 강화된 Base Die는 데이터 처리 경로가 복잡해지며, TSV(Through-Silicon Via)를 통해 전달되는 신호의 대역폭이 최대 1.2TB/s 수준으로 극대화됩니다 [출처: Tistory]. 따라서 미세한 신호 왜곡이나 지연(Latency)을 잡아낼 수 있는 초고속 전기적 검사(Electrical Test) 능력이 요구됩니다.
- **열 관리 및 신뢰성 검사:** 로직 다이의 탑재는 패키지 내부의 발열 밀도(Heat Density)를 높이는 원인이 됩니다. 따라서 적층 구조 내에서의 열 분포와 열 팽창에 따른 물리적 변형을 감지할 수 있는 고도화된 검사 솔루션이 뒷받침되어야 합니다.

2. 고해상도(High Resolution) 및 초정밀 측정 요구사항

HBM4는 적층 단수가 증가하고 TSV의 피치(Pitch)가 더욱 미세화됨에 따라, 결함을 식별하기 위한 광학적·물리적 해상도가 극한으로 요구됩니다.

구분	기존 HBM3E 요구사항	HBM4 차세대 요구사항	비고
TSV 피치(Pitch)	미세화 단계	초미세화 (Sub-micron level)	결함 검출 한계치 하락
검사 해상도	수 μ m 급 해상도	Sub-μ m 및 나노미터(nm)급 정밀도	미세 크랙 및 Void 검출
정렬 정밀도(Alignment)	고정밀 정렬	초고정밀(Ultra-high Precision) 정렬	로직-메모리 간 접합 신뢰성
주요 검사 대상	Bump, TSV 외형	로직 회로 패턴, 미세 범프, 인터커넥트	검사 범위(FOV) 확대

HBM4의 검사 장비는 다음과 같은 고해상도 기술을 확보해야 합니다.

- **나노 스케일 결함 검출:** TSV 내부의 미세한 보이드(Void)나 범프(Bump) 사이의 미세한 브릿지(Bridge) 결함을 탐지하기 위해, 광학 검사(AOI) 시에는 더 높은 수치구경(Numerical Aperture, NA)의 렌즈와 고해상도 센서가 필수적입니다.
- **3D 구조의 입체적 분석:** 단순 표면 검사를 넘어, 적층된 다이 내부의 로직 회로와 TSV의 정렬 상태를 입체적으로 파악할 수 있는 3D X-ray CT 또는 고해상도 초음파(SAM) 기술이 결합되어야 합니다.

3. 고속 검사(High Inspection Speed) 및 생산성 확보

HBM4의 높은 대역폭과 성능은 AI 및 HPC 시장의 폭발적인 수요를 전제로 합니다. 이는 곧 반도체 제조사의 수율(Yield) 관리와 직결되며, 검사 공정에서의 병목 현상(Bottleneck)을 방지하기 위한 고속 검사 솔루션이 핵심 경쟁력이 됩니다.

- **Throughput 극대화:** 검사 해상도가 높아질수록 데이터 처리량(Data Throughput)이 기하급수적으로 증가합니다. 이를 처리하기 위해 AI 기반의 머신비전 알고리즘을 도입하여, 결함이 없는 영역을 빠르게 스킵(Skip)하고 결함 의심 영역에만 연산 자원을 집중하는 지능형 검사 기술이 필요합니다.
- **실시간 인라인(In-line) 검사 체계:** 공정 중간 단계에서 발생하는 결함을 즉각적으로 피드백하여 후속 공정의 손실을 최소화해야 합니다. 특히 TSV 형성 후, Cu Filling 후, 그리고 최종 적층(Stacking) 단계에 이르기까지 각 단계별로 고속·고정밀 검사가 연속적으로 이루어지는 통합 검사 시스템이 요구됩니다.
- **데이터 처리 최적화:** 고해상도 이미지는 방대한 용량의 데이터를 생성합니다. 검사 장비 자체적으로 대용량 데이터를 실시간으로 분석하고, 판독 결과(Pass/Fail)를 즉각 도출할 수 있는 고성능 컴퓨팅(HPC) 아키텍처가 장비 내부에 탑재되어야 합니다.

결론적으로, 차세대 HBM4 검사 장비는 **"로직 기반의 복잡성 대응"**, **"나노미터급 고해상도 구현"**, 그리고 **"대량 생산을 위한 고속 처리 능력"**이라는 세 가지 기술적 축을 동시에 만족시켜야 하는 고난도의 기술 집약적 솔루션이 될 것입니다.

결론 및 기술적 시사점

HBM4(High Bandwidth Memory Gen 4) 시대의 도래는 단순한 메모리 용량의 확장을 넘어, 패키징 기술이 반도체 성능을 결정짓는 핵심 요소로 부상했음을 의미합니다. 특히 TSV(Through-Silicon Via) 공정의 고도화와 Base Die에 Logic 기능이 탑재되는 구조적 변화는 기존의 검사 패러다임을 근본적으로 변화시키고 있습니다. 본

보고서에서 살펴본 공정 단계별 검사 프로세스를 바탕으로, 수율 향상(Yield Improvement)을 위한 통합 검사 전략과 향후 기술적 시사점을 다음과 같이 요약합니다.

1. 수율 향상을 위한 통합 검사 전략 (Integrated Inspection Strategy)

HBM4의 초고대역폭(최대 1.2TB/s)과 3D 수직 적층 구조를 안정적으로 구현하기 위해서는 단일 공정의 검사를 넘어선 '전주기 통합 검사 체계'가 필수적입니다.

- **전공정-후공정 연계 검사:** HAR(High Aspect Ratio) Etch 단계에서의 식각 품질부터 Cu Filling, CMP(Chemical Mechanical Polishing) 공정의 평탄도, 그리고 최종 적층(Stacking) 및 본딩(Bonding) 단계에 이르기까지 각 공정의 데이터가 유기적으로 연결되어야 합니다. 특정 단계에서 발생한 미세 결함이 최종 패키징 단계에서 어떤 신뢰성 저하를 야기하는지 추적할 수 있는 피드백 루프(Feedback Loop) 구축이 수율 확보의 핵심입니다.
- **다중 물리 분석 기법의 융합:** 광학(Optical), X-ray CT, 초음파(SAM) 등 서로 다른 물리적 특성을 이용한 검사 기법을 결합하여, 표면 결함뿐만 아니라 내부의 미세 Void, 범프(Bump) 정렬 불량, TSV 단선 등을 입체적으로 검출하는 다각적 분석 전략이 요구됩니다.

2. 향후 기술 로드맵 및 전망 (Future Roadmap)

HBM4 이후의 차세대 메모리 시장에서는 검사 장비의 기술적 난이도가 기하급수적으로 상승할 것으로 전망됩니다.

- **Base Die Logic 대응 솔루션:** HBM4부터 적용되는 Base Die의 Logic 탑재는 메모리 설계자와 Logic 설계자 간의 협업을 요구하며, 이는 검사 측면에서도 Logic 회로와 메모리 다이가 결합된 복합적인 구조를 검증해야 함을 의미합니다. 따라서 고해상도 비전 알고리즘과 고속 스캔 기술이 결합된 차세대 검사 솔루션의 수요가 급증할 것입니다.
- **초미세 공정 한계 극복:** 적층 수가 증가하고 범프의 피치(Pitch)가 미세화됨에 따라, 기존의 검사 방식으로는 검출하기 어려운 'Hidden Defect'를 찾아내는 것이 기술적 격차를 만드는 핵심 요소가 될 것입니다.

결론적으로, HBM4의 성공적인 양산은 얼마나 정밀하고 빠르게 결함을 잡아내어 공정에 피드백할 수 있느냐에 달려 있습니다. 기업들은 고도화된 AI 비전 알고리즘과 차세대 검사 장비 기술을 선제적으로 확보함으로써, 급변하는 AI 반도체 시장의 수율 경쟁에서 우위를 점해야 합니다.