CRESSEM
CREATIVE ASSEMBLY

Intel EMIB 기술 구조 및 공정 단계별 검사/불량 분석

문서번호	CRSM-AI-2026-AUTO
작성일	2026-06-01
작성	Cressem AI 시스템 (자동 생성)
보안등급	사내 비밀 (Confidential)
버전	v1.0

목 차

Intel EMIB 기술 구조 및 공정 단계별 검사/불량 분석 보고서 3

개요 (Introduction) . . . 3

EMIB 구조 및 형태 분석 (Structural Architecture) . . . 4

EMIB 핵심 제조 공정 흐름 (Process Flow) . . . 6

공정 단계별 핵심 검사 포인트 (Inspection Points) . . . 8

불량 유형 및 결함 크기 분석 (Defect Analysis) . . . 10

검사 항목 및 장비 요구사항 (Inspection Items & Equipment) . . . 12

결론 및 기술적 시사점 (Conclusion) . . . 14

Intel EMIB 기술 구조 및 공정 단계별 검사/불량 분석 보고서

Intel의 2.5D 패키징 핵심 기술인 EMIB의 구조적 특징과 공정 메커니즘을 분석합니다. 특히 각 공정 단계별 필수 검사 항목, 불량 유형, 미세 결함 크기 및 대응 방안을 기술적 관점에서 심도 있게 다룹니다.

개요 (Introduction)

1. EMIB 기술의 정의 및 핵심 개념

EMIB(Embedded Multi-die Interconnect Bridge)는 인텔(Intel)이 주도하여 개발한 차세대 **2.5D 패키징(2.5D Packaging)** 기술로, 서로 다른 기능의 칩(Die)들을 하나의 패키지 내에서 초고속으로 연결하기 위한 **이종 집적(Heterogeneous Integration)** 솔루션입니다.

전통적인 반도체 패키징이 단일 칩(Monolithic Die)을 보호하고 외부와 전기적으로 연결하는 역할에 집중했다면, AI(인공지능) 및 HPC(고성능 컴퓨팅) 시대의 패키징은 '어떻게 하면 서로 다른 칩 사이의 데이터 병목 현상을 최소화하며 고대역폭(High Bandwidth)을 구현할 것인가'라는 과제에 직면해 있습니다. EMIB는 이러한 요구사항을 충족하기 위해, 칩 전체를 덮는 거대한 실리콘 인터포저(Silicon Interposer) 대신, 칩과 칩이 맞닿는 접점 부위에만 아주 작은 크기의 **실리콘 브릿지(Silicon Bridge)**를 삽입하는 혁신적인 구조를 채택하고 있습니다.

이 기술의 핵심은 '임베디드(Embedded)'라는 단어에 있습니다. 제조된 미세 회로가 포함된 실리콘 조각을 패키지 기판(Package Substrate, 주로 FC-BGA) 내부의 홈(Cavity)에 매립함으로써, 기존의 유기 기판(Organic Substrate)이 가진 낮은 배선 밀도의 한계를 극복하고 실리콘 수준의 초미세 배선 성능을 확보합니다. 이를 통해 로직 다이(Logic Die)와 고대역폭 메모리(HBM) 간의 데이터 전송 속도를 극대화하면서도, 물리적 면적과 비용 효율성을 동시에 달성하는 것을 목표로 합니다.

2. 2.5D 패키징 시장에서의 전략적 위치

현재 글로벌 반도체 패키징 시장은 TSMC의 **CoWoS(Chip-on-Wafer-on-Substrate)** 기술이 주도하고 있는 가운데, 인텔은 **EMIB**를 통해 독자적인 기술 생태계를 구축하며 강력한 경쟁 구도를 형성하고 있습니다. 2.5D 패키징은 무어의 법칙(Moore's Law)이 물리적 한계에 다다름에 따라, 공정 미세화만으로는 성능 향상이 어려운 상황에서 '칩렛(Chiplet)' 구조를 통해 성능을 확장하는 핵심 전략으로 자리 잡았습니다.

구분	TSMC CoWoS 방식	Intel EMIB 방식	시장적 함의
주요 구조	Full Silicon Interposer 사용	Silicon Bridge 매립 사용	면적 및 비용 최적화 차이
연결 밀도	매우 높음 (초고밀도)	매우 높음 (국소적 고밀도)	성능 구현 방식의 차이
비용 구조	실리콘 웨이퍼 사용량 과다로 고비용	필요한 부위에만 실리콘 사용으로 저비용	경제적 확장성(Scalability)
공정 유연성	대면적 인터포저 공정 필수	기존 FC-BGA 기판 활용 가능	제조 공정의 유연성 확보

EMIB는 특히 **비용 효율성(Cost-Efficiency)** 측면에서 강력한 우위를 점합니다. CoWoS 방식은 칩의 전체 면적만큼 거대한 실리콘 인터포저가 필요하므로, 웨이퍼 크기에 따른 생산 수율 저하와 막대한 재료비 부담이 존재합니다. 반면, EMIB는 칩 간의 통로(Bridge)에만 실리콘을 사용하므로, 값비싼 실리콘 사용량을 최소화할 수 있으며, 이는 곧 대량 양산 시 가격 경쟁력으로 직결됩니다. [출처: 웹 검색 결과 4]

또한, EMIB는 **설계 유연성(Design Scalability)** 측면에서도 유리합니다. 칩의 배치나 구성이 변경되더라도 필요한 위치에 적절한 크기의 브릿지만 배치하면 되므로, 다양한 제품 라인업(Heterogeneous Integration)에 대응하기 용이합니다. 이는 고객사의 다양한 요구사항에 맞춰 GPU, CPU, HBM 등을 최적의 조합으로 구성해야 하는 AI 가속기 시장에서 매우 중요한 요소입니다. [출처: 웹 검색 결과 3]

3. 기술적 도전 과제와 검사의 중요성

EMIB 기술이 가진 구조적 혁신은 역설적으로 **검사 및 품질 관리(Inspection & Quality Control)** 측면에서 매우 높은 난이도를 요구합니다.

첫째, **미세 공정의 결합**입니다. 실리콘 브릿지 내부에는 수 마이크로미터(m) 단위의 초미세 회로(RDL)와 수직 통로(TSV)가 형성되어 있습니다. 이 미세 구조가 브릿지 제조 단계에서 결함 없이 제작되었는지 확인하는 것이 필수적입니다.

둘째, **매립(Embedding) 공정의 정밀도**입니다. 기판의 홈에 브릿지를 심고 그 주변을 에폭시(Epoxy) 등으로 채우는 과정에서, 브릿지와 기판 사이의 정렬(Alignment) 불량이나 내부 기포(Void)가 발생할 위험이 큽니다. 이러한 결함은 칩 실장 후 전기적 연결 불량으로 이어져 치명적인 불량을 야기합니다.

셋째, **이종 재료 간의 물리적 안정성**입니다. 실리콘(Si), 유기 기판(Organic Substrate), 에폭시 수지(EMC) 등 서로 다른 열팽창 계수(CTE)를 가진 재료들이 결합되어 있기 때문에, 열적/기계적 스트레스에 의한 크랙(Crack)이나 층간 박리(Delamination)를 방지하기 위한 정밀한 검사가 요구됩니다.

결론적으로, EMIB 기술의 성공적인 양산과 수율 확보는 단순히 제조 공정의 완성도에 그치는 것이 아니라, 각 단계별로 발생하는 미세 결함을 실시간으로 탐지하고 분석할 수 있는 **고해상도 광학 검사(AOI)** 및 **비파괴 검사(X-ray/CT)** 기술의 고도화에 달려 있다고 할 수 있습니다. 본 보고서에서는 이러한 EMIB의 구조적 특성을 바탕으로, 공정 단계별 핵심 검사 포인트와 불량 유형을 심층적으로 분석하고자 합니다.

EMIB 구조 및 형태 분석 (Structural Architecture)

EMIB(Embedded Multi-die Interconnect Bridge) 기술의 핵심은 '필요한 곳에만 실리콘을 배치한다'는 전략적 선택에 있습니다. 기존의 2.5D 패키징 솔루션이 칩 전체를 받쳐주는 거대한 실리콘 인터포저(Silicon Interposer)를 사용하는 'Full-Si' 방식이었다면, EMIB는 칩 간의 고속 데이터 통로가 필요한 특정 인터커넥트(Interconnect) 구간에만 미세한 실리콘 브릿지(Silicon Bridge)를 삽입하는 'Localized-Si' 방식을 채택하고 있습니다. 이러한 구조적 차이는 패키지의 물리적 아키텍처뿐만 아니라 비용 구조, 열 관리, 그리고 검사 난이도 측면에서 근본적인 변화를 야기합니다.

1. EMIB의 물리적 계층 구조 (Physical Layer Hierarchy)

EMIB의 아키텍처를 하단에서 상단으로 구성 요소를 분석하면 다음과 같은 계층적 특징을 보입니다.

가. 패키지 기판 계층 (Package Substrate Layer):

EMIB는 기존의 고성능 패키징에 사용되는 FC-BGA(Flip Chip Ball Grid Array) 기판을 기반으로 합니다. 전체 패키지의 물리적 토대가 되며, EMIB 기술의 핵심인 '매립(Embedding)' 공정이 일어나는 공간입니다. 기판 내부에 브릿지가 들어갈 수 있는 정밀한 홈(Cavity)이 형성되어 있으며, 이 홈의 정밀도가 브릿지 안착 및 이후 단계의 칩 정렬(Alignment) 수율을 결정짓는 핵심 요소가 됩니다.

나. 실리콘 브릿지 계층 (Silicon Bridge Layer):

EMIB의 정체성이자 핵심 구성 요소입니다. 매우 작은 크기의 실리콘 조각(Die)으로 제작되며, 내부에는 초미세 회로인 RDL(Redistribution Layer)과 수직 연결 통로인 TSV(Through Silicon Via)가 포함되어 있습니다. 이 브릿지는 로직 다이(Logic Die)와 HBM(High Bandwidth Memory) 사이, 혹은 서로 다른 로직 칩 사이를 연결하는

'고속도로' 역할을 수행합니다. [출처: 웹 검색 결과 1, 4]

다. 인터커넥트 및 본딩 계층 (Interconnect & Bonding Layer):

브릿지가 기판에 매립된 후, 그 상단에 로직 다이와 HBM이 배치됩니다. 이때 칩의 하단 범프(Bump)와 기판에 노출된 브릿지의 패드(Pad)가 전기적으로 접합됩니다. 이 접합부는 매우 미세한 피치(Pitch)를 가지므로, 칩-브릿지-기판 간의 수직적 정렬(Vertical Alignment)이 완벽하게 이루어져야 전기적 특성을 확보할 수 있습니다.

2. CoWoS와 EMIB의 구조적 패러다임 비교

EMIB의 구조적 우수성을 이해하기 위해서는 업계 표준인 TSMC의 CoWoS(Chip-on-Wafer-on-Substrate) 방식과의 비교가 필수적입니다.

비교 항목	CoWoS (Full Silicon Interposer)	EMIB (Silicon Bridge)	구조적 함의
실리콘 사용 면적	칩 전체 면적을 커버하는 대면적 실리콘 사용	칩 간 연결 부위에만 국소적 실리콘 사용	EMIB의 압도적인 비용 경쟁력 원천
인터포저 형태	거대한 실리콘 웨이퍼 기반 인터포저	패키지 기판 내 매립된 미세 브릿지	EMIB는 기판(Substrate)의 유연성 극대화
연결 메커니즘	인터포저 상의 대규모 RDL/TSV 활용	브릿지 내부의 국소적 RDL/TSV 활용	EMIB는 불필요한 TSV 공정 생략 가능 [출처: 웹 검색 결과 4]
설계 유연성	인터포저 크기에 종속적인 칩 배치	브릿지 배치에 따른 자유로운 칩 배치	EMIB는 다양한 칩셋 조합(Mix-and-Match)에 유리
열 관리 (Thermal)	실리콘 인터포저가 열 분산에 기여	국소적 실리콘 사용으로 열 집중 가능성 존재	EMIB는 정밀한 열 시뮬레이션 및 검사 필요

3. EMIB 아키텍처의 핵심 기술 요소: Embedding & Interconnect

EMIB의 구조적 완성도는 **'Embedding(매립)'**과 **'Interconnect(상호연결)'**라는 두 가지 기술적 난제에 의해 결정됩니다.

첫째, Embedding 기술의 정밀도입니다.

단순히 브릿지를 기판에 넣는 것이 아니라, 기판의 Cavity 내부에 브릿지를 안착시킨 후 그 주변을 에폭시(Epoxy)나 몰딩 컴파운드(EMC)로 채워 넣는 과정이 포함됩니다. 이때 브릿지와 기판 사이의 간극(Gap)이나 Void(공극)가 발생하면, 전기적 신호의 왜곡은 물론 패키지의 기계적 강도가 약화됩니다. 또한, 매립 과정에서 발생하는 압력으로 인해 브릿지가 미세하게 틀어지는 'Shift' 현상은 후속 공정인 칩 본딩(Die Attach)의 불량을 유발하는 결정적 원인이 됩니다.

둘째, 초미세 Interconnect의 밀도입니다.

EMIB는 칩 간의 대역폭(Bandwidth)을 극대화하기 위해 매우 높은 밀도의 연결을 지향합니다. 브릿지 내부의 RDL은 수 마이크로미터(m) 단위의 미세 선폭을 가지며, 이를 통해 수천 개의 I/O(Input/Output)를 구현합니다. 이러한 고밀도 구조는 아주 작은 물리적 결함(Particle, Scratch)만으로도 전체 데이터 전송에 치명적인 오류를 발생시키므로, 구조적 관점에서 매우 높은 수준의 광학 및 전자빔 검사 기술을 요구합니다. [출처: 웹 검색 결과 2]

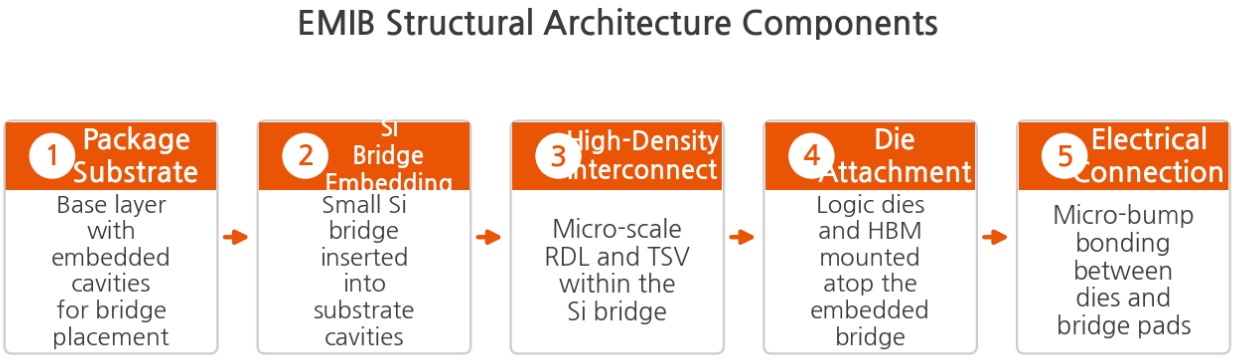
4. 구조적 관점에서의 검사 시사점

EMIB의 독특한 '매립형 브릿지' 구조는 검사 엔지니어에게 다음과 같은 도전 과제를 제시합니다.

1. **Hidden Interface 검사:** 브릿지가 기판 내부에 숨겨져 있기 때문에, 표면 검사만으로는 브릿지와 기판 사이의 접합 상태나 내부 Void를 확인할 수 없습니다. 이는 고해상도 2D/3D X-ray 검사 기술의 중요성을 시사합니다.

2. **Alignment Tolerance 관리:** 칩-브릿지-기판으로 이어지는 3단 적층 구조에서 각 계층 간의 누적 공차(Stack-up Tolerance)를 관리해야 합니다. 브릿지의 위치가 미세하게만 어긋나도 상단의 칩 범프와 브릿지 패드가 맞지 않는 'Misalignment' 불량이 발생합니다.

3. **Hybrid Interconnect 검사:** 실리콘 브릿지의 TSV 연결과 기판의 RDL 연결이 복합적으로 작용하므로, 전기적 특성 검사(Electrical Test)와 물리적 구조 검사(Physical Inspection)의 유기적인 결합이 필수적입니다.



EMIB 핵심 제조 공정 흐름 (Process Flow)

EMIB(Embedded Multi-die Interconnect Bridge) 기술은 기존의 2.5D 패키징이 가졌던 대면적 실리콘 인터포저(Silicon Interposer)의 높은 비용과 웨이퍼 손실 문제를 해결하기 위해 고안된 혁신적인 공정입니다. EMIB의 핵심은 칩과 칩 사이의 전기적 연결을 담당하는 '실리콘 브릿지(Silicon Bridge)'를 패키지 기판(Package Substrate) 내부에 물리적으로 매립(Embedding)하는 데 있습니다. 전체 공정은 크게 **브릿지 제조(Bridge Fabrication)**, **기판 내 매립(Substrate Embedding)**, 그리고 **칩 실장 및 연결(Die Attach & Interconnect)**의 세 가지 주요 단계로 구분됩니다.

1. 브릿지 제조 단계 (Bridge Fabrication)

첫 번째 단계는 연결 통로 역할을 수행할 초미세 실리콘 브릿지를 독립적으로 제조하는 과정입니다. 이 단계는 일반적인 반도체 전공정(Front-end)과 유사한 웨이퍼 레벨 공정으로 진행되며, 브릿지의 성능이 전체 패키지의 대역폭(Bandwidth)과 신호 무결성(Signal Integrity)을 결정짓는 매우 중요한 단계입니다.

- **실리콘 웨이퍼 가공 (Wafer Processing):** 아주 작은 크기의 실리콘 조각(Die-scale Silicon)을 기반으로 합니다. 브릿지는 전체 패키지 크기에 비해 매우 작기 때문에, 웨이퍼 한 장에서 수만 개의 브릿지를 동시에 생산할 수 있어 경제적입니다.
- **TSV(Through Silicon Via) 형성:** 브릿지의 상단(Top)과 하단(Bottom)을 전기적으로 연결하기 위해 실리콘 내부를 관통하는 미세한 수직 통로인 TSV를 형성합니다. EMIB는 전체 인터포저 공정과 달리 브릿지 내부에만 국소적으로 TSV를 적용하므로, 대면적 TSV 공정 대비 공정 난이도와 비용을 낮출 수 있습니다. [출처: 웹 검색 결과 4]

- **RDL(Redistribution Layer) 형성:** TSV의 끝단과 외부 칩의 범프(Bump)가 만날 수 있도록 미세한 금속 배선층인 재배선층(RDL)을 형성합니다. 이 RDL은 수 마이크로미터(m) 단위의 초미세 피치(Fine Pitch)를 가져야 하며, 고속 데이터 전송 시 발생하는 신호 손실을 최소화하기 위해 고순도 구리(Cu) 배선 기술이 적용됩니다.
- **Backside Thinning & Polishing:** TSV가 형성된 실리콘 브릿지의 뒷면을 매우 얇게 갈아내는(Grinding/Polishing) 공정입니다. 브릿지가 기판 내부에 매립되어야 하므로, 최종 두께는 매우 얇게 제어되어야 하며 이 과정에서 실리콘의 평탄도(Planarity)와 균일성(Uniformity) 확보가 필수적입니다.

2. 기판 내 매립 단계 (Substrate Embedding)

제조된 실리콘 브릿지를 실제 패키지 기판(주로 FC-BGA 등)의 내부로 물리적으로 삽입하는 단계입니다. 이 과정은 EMIB 공정의 정체성을 결정짓는 가장 핵심적인 기술적 난도가 높은 구간입니다.

- **기판 가공 및 Cavity 형성 (Substrate Preparation):** 고성능 패키지 기판(Package Substrate)의 내부 층 사이에 브릿지가 들어갈 수 있도록 정밀한 홈(Cavity)을 파냅니다. 이 홈은 브릿지의 크기와 형상에 완벽하게 일치해야 하며, 기판의 층간 정렬(Alignment)이 어긋날 경우 브릿지 매립 자체가 불가능해집니다.
- **브릿지 배치 및 매립 (Bridge Placement & Embedding):** 가공된 기판의 Cavity 내부에 실리컨 브릿지를 배치합니다. 이때 브릿지가 기판 내에서 흔들리거나 기울어지지 않도록 고정하는 것이 기술적 핵심입니다.
- **충전 공정 (Filling/Encapsulation):** 브릿지가 배치된 후, 브릿지와 기판 사이의 빈 공간(Gap)을 에폭시 몰딩 컴파운드(EMC) 또는 특수 절연 수지로 채워 넣습니다. 이 충전재는 브릿지를 물리적으로 고정할 뿐만 아니라, 외부 충격으로부터 보호하고 전기적 절연을 제공합니다.
- **주의 사항:** 충전 과정에서 기포(Void)가 발생하거나, 수지의 경화(Curing) 과정에서 열팽창 계수(CTE) 차이로 인해 브릿지가 휘어지는(Warpage) 현상이 발생할 수 있으므로 엄격한 공정 제어가 요구됩니다. [출처: 웹 검색 결과 4]

3. 칩 실장 및 최종 연결 단계 (Die Attach & Interconnect)

브릿지가 성공적으로 매립된 기판 위에 로직 다이(Logic Die, 예: GPU/CPU)와 고대역폭 메모리(HBM)를 올리고 전기적으로 연결하는 최종 단계입니다.

- **Die Attach (칩 실장):** 브릿지가 매립된 기판 위에 핵심 반도체 칩들을 배치합니다. 이때 가장 중요한 것은 **'브릿지-칩 간의 정렬(Alignment)'**입니다. 브릿지의 노출된 패드(Pad)와 칩 하단의 범프(Bump)가 마이크로미터(m) 단위의 오차 내에서 정확히 맞물려야 합니다. [출처: 웹 검색 결과 2]
- **Micro-bump Bonding (범프 본딩):** 칩의 범프와 브릿지의 RDL 패드를 열과 압력을 이용해 접합하는 과정입니다. 이 연결 부위는 수천 개 이상의 미세한 접점(Interconnects)으로 구성되며, 매우 높은 밀도의 연결을 구현해야 합니다.
- **Reflow & Finalization:** 접합된 범프를 녹여 전기적 연결을 완성하는 리플로우(Reflow) 공정을 거친 후, 패키지를 보호하기 위한 몰딩(Molding) 및 외부 단자 형성 공정으로 마무리됩니다.

[EMIB 주요 공정 요약 표]

공정 단계	핵심 작업 (Key Task)	주요 기술 요소 (Key Technology)	공정 난이도 및 리스크
Bridge Fabrication	브릿지 단품 제조	TSV, RDL, Backside Thinning	초미세 회로 패턴 형성 및 두께 제어

Substrate Embedding	기판 내 브릿지 삽입	Cavity 형성, Embedding, Filling	기판-브릿지 정렬(Alignment), Void 방지
Die Attach & Bonding	칩 실장 및 전기적 연결	Micro-bump, High-precision Alignment	칩-브릿지 간 정밀 정렬 및 접합 신뢰성

이와 같이 EMIB 공정은 개별 반도체 제조 공정(Front-end)과 패키징 공정(Back-end)이 고도로 결합된 형태를 띠고 있습니다. 따라서 각 단계에서 발생하는 미세한 정렬 오차나 물리적 결함은 최종 제품의 수율에 치명적인 영향을 미치며, 이를 검출하기 위한 고해상도 검사 기술의 도입이 필수적입니다.

공정 단계별 핵심 검사 포인트 (Inspection Points)

EMIB(Embedded Multi-die Interconnect Bridge) 공정은 초미세 실리콘 브릿지를 패키지 기판(Substrate) 내부에 매립하고, 그 위에 고성능 다이(Die)를 정밀하게 배치하는 복합적인 프로세스로 구성됩니다. 각 단계는 서로 다른 물리적 스케일(Scale)과 결함 유형을 가지므로, 공정 흐름에 따른 차별화된 검사 전략(Inspection Strategy)이 수율(Yield) 확보의 핵심입니다. 본 섹션에서는 브릿지 제조, 기판 매립, 칩 본딩(Bonding)의 3대 핵심 공정별 검사 정의, 방법론 및 요구사항을 상세히 기술합니다.

1. 실리콘 브릿지 제조 단계 (Si Bridge Fabrication Inspection)

실리콘 브릿지는 EMIB의 성능을 결정짓는 핵심 요소로, 내부에 초미세 회로(RDL, Redistribution Layer)와 TSV(Through Silicon Via)가 포함되어 있습니다. 이 단계에서의 검사는 반도체 전공정(Front-end)에 준하는 초정밀 검사가 요구됩니다.

1.1 주요 검사 정의 및 목적

- **TSV Metrology (TSV 계측):** 브릿지 내부에 형성된 수직 관통 전극(TSV)의 종횡비(Aspect Ratio), 깊이, 그리고 내부 충진 상태를 검사합니다. TSV 내부의 보이드(Void)는 전기적 단락(Short)이나 단선(Open)의 직접적인 원인이 됩니다.
- **RDL Pattern Inspection (미세 회로 패턴 검사):** 브릿지 상단과 하단에 형성된 초미세 금속 배선의 선폭(Line Width), 간격(Space), 그리고 단차(Step Height)를 측정합니다.
- **Surface Topography (표면 형상 검사):** 브릿지의 평탄도(Flatness)를 검사하여, 이후 기판 매립 공정 시 발생할 수 있는 정렬 오차를 방지합니다.

1.2 검사 항목 및 기술적 요구사항

검사 항목	검사 방법 (Methodology)	주요 결함 유형 (Defect Types)	요구 해상도 (Target Resolution)
TSV Fill Integrity	SEM / TEM / Acoustic Microscopy	Void, Scallop, Non-fill	Sub-micron level
RDL Patterning	AOI (Automated Optical Inspection)	Bridge/Open, Line Width Variation	< 500nm
Bridge Dimension	CD-SEM (Critical Dimension SEM)	Size Deviation, Warpage	< 100nm

1.3 핵심 검사 기술: AOI 및 SEM 활용

이 단계에서는 **AOI(자동 광학 검사)**를 통해 대면적 패턴의 결함을 1차 스크리닝하고, 결함이 의심되는 미세 영역에 대해서는 **CD-SEM(임계 치수 주사 전자 현미경)**을 활용하여 나노미터 단위의 정밀 측정을 수행해야 합니다. 특히 RDL의 미세 회로 결함은 전기적 신호 손실을 유발하므로, 고배율 비전 알고리즘을 통한 패턴 비교 검사가 필수적입니다.

---

2. 기판 매립 단계 (Embedding in Substrate Inspection)

제조된 브릿지를 패키지 기판(FC-BGA 등)의 캐비티(Cavity)에 삽입하고 에폭시(Epoxy/Molding Compound)로 채우는 단계입니다. 이 공정은 '실리콘-유기 기판-몰딩재'라는 이종 재료가 혼재되어 있어, 계면(Interface) 결함 제어가 매우 어렵습니다.

2.1 주요 검사 정의 및 목적

- **Cavity Alignment Inspection (캐비티 정렬 검사):** 기판에 형성된 홈(Cavity)과 실리콘 브릿지의 중심축이 일치하는지 검사합니다. 정렬 오차는 칩 본딩 시 범프(Bump) 연결 불량을 야기합니다.
- **Embedding Void Detection (매립 보이드 검사):** 브릿지와 기판 사이, 혹은 브릿지와 몰딩재 사이의 미세한 공기 주머니(Void)를 검사합니다. 이는 열팽창 계수(CTE) 차이에 의한 크랙(Crack)의 시발점이 됩니다.
- **Coplanarity (공면성 검사):** 브릿지가 기판 내부에 균일한 깊이로 매립되었는지, 혹은 기울어짐(Tilt)이 발생했는지 측정합니다.

2.2 검사 항목 및 기술적 요구사항

검사 항목	검사 방법 (Methodology)	주요 결함 유형 (Defect Types)	요구 해상도 (Target Resolution)
Bridge Alignment	High-res AOI / Vision	X-Y Offset, Rotation Error	< 1μm
Subsurface Void	3D X-ray / CT	Delamination, Internal Void	1~5μm (Depth dependent)
Embedding Depth	Laser Profilometry	Tilt, Uneven Embedding	< 0.5μm

2.3 핵심 검사 기술: 3D X-ray 및 Metrology 활용

매립 공정은 브릿지가 기판 내부로 숨겨지는 특성상 일반적인 광학 검사(AOI)로는 한계가 있습니다. 따라서 **3D X-ray(또는 CT)**를 활용하여 비파괴 방식으로 내부 보이드와 층간 박리(Delamination)를 확인해야 합니다. 또한, **레이저 프로파일러(Laser Profiler)**를 통해 매립 후 브릿지 상단의 노출 높이를 정밀하게 계측하여 다음 단계인 본딩 공정의 기준점을 확보해야 합니다.

---

3. 칩 실장 및 본딩 단계 (Chip Mounting & Bonding Inspection)

매립된 브릿지 위에 로직 다이(Logic Die)와 HBM을 배치하고 전기적으로 연결하는 최종 단계입니다. EMIB의 고대역폭(High Bandwidth) 성능은 이 단계의 본딩 정밀도에 의해 결정됩니다.

3.1 주요 검사 정의 및 목적

- **Die Attach / Bump Inspection (다이 부착 및 범프 검사):** 칩 하단의 범프와 브릿지 상단의 패드(Pad)가 정확히 맞닿아 있는지, 범프의 높이와 형상이 균일한지 검사합니다.

• **Solder Joint Integrity (솔더 조인트 무결성):** 리플로우(Reflow) 공정 후 형성된 솔더 볼(Solder Ball)의 젖음성(Wetting), 브릿지-범프 간의 전기적 접합 상태를 검사합니다.

• **Post-Bonding Warpage (본딩 후 휨 검사):** 고온 공정 이후 열응력에 의해 패키지 전체가 휘어지는 현상을 검사합니다. 이는 차기 공정인 몰딩이나 최종 조립 시 크랙을 유발합니다.

3.2 검사 항목 및 기술적 요구사항

검사 항목	검사 방법 (Methodology)	주요 결함 유형 (Defect Types)	요구 해상도 (Target Resolution)
Bump/Pad Alignment	2D/3D AOI	Misalignment, Bridging	< 0.5μm
Solder Joint Quality	SPI (Solder Paste Inspection) / X-ray	Solder Bridge, Insufficient Solder	Sub-micron
Package Warpage	Shadow Moire / Laser Scanning	Global/Local Warpage	< 10μm (Displacement)

3.3 핵심 검사 기술: SPI 및 고해상도 비전 알고리즘

본딩 직전에는 **SPI(Solder Paste Inspection)**를 통해 범프/패드의 도포 상태를 검사하며, 본딩 후에는 **고해상도 3D AOI**를 통해 범프 간의 쇼트(Short/Bridging) 여부와 미충진(Insufficient) 영역을 판별합니다. 특히 HBM과 같이 피치(Pitch)가 극도로 미세한 경우, 픽셀 단위의 정밀 분석이 가능한 **머신 비전(Machine Vision) 알고리즘**을 적용하여 미세한 정렬 오차까지 검출해내야 합니다.

[요약: 공정별 검사 전략 매트릭스]

공정 단계	핵심 검사 대상	주력 검사 기술	검사 난이도	결함 발생 시 영향
Bridge Fab	TSV, RDL, 패턴	SEM, AOI	**최상** (Nano-scale)	기능적 완전성 상실 (Open/Short)
Embedding	Alignment, Void	3D X-ray, Profiler	**상** (Hidden-scale)	구조적 불안정성 및 크랙 발생
Bonding	Bump, Solder, Warpage	3D AOI, SPI, Moire	**중상** (Micro-scale)	전기적 연결 실패 및 대역폭 저하

불량 유형 및 결함 크기 분석 (Defect Analysis)

EMIB(Embedded Multi-die Interconnect Bridge) 기술은 전통적인 2.5D 패키징 방식인 CoWoS 대비 실리콘(Si) 사용 면적을 최소화하고 패키지 기판(Substrate) 내부에 미세한 실리콘 브릿지를 매립하는 고난도 공정을 포함합니다. 따라서 결함의 발생 양상 또한 기존 방식과는 차별화된 양상을 보이며, 특히 '매립(Embedding)'과 '연결(Interconnect)' 단계에서 발생하는 미세 결함이 전체 수율(Yield)을 결정짓는 핵심 요소가 됩니다. 본 섹션에서는 EMIB 공정 중 발생 가능한 주요 불량 유형을 물리적 특성, 발생 메커니즘, 그리고 결함 크기(Defect Size)에 따라 심층 분석합니다.

1. 브릿지 및 미세 회로 결함 (Bridge & Micro-circuit Defects)

브릿지 제조 단계 및 기판 매립 전 단계에서 발생하는 결함으로, 실리콘 브릿지 내부의 초미세 회로(RDL, Redistribution Layer)와 TSV(Through Silicon Via)에 집중됩니다.

- **Micro-crack (미세 균열):**
- **정의 및 원인:** 실리콘 브릿지는 매우 작은 크기로 가공되므로, 가공 중 발생하는 기계적 응력(Mechanical Stress)이나 열팽창 계수(CTE) 차이로 인해 실리콘 기판 자체에 미세한 균열이 발생하는 현상입니다. 특히 브릿지를 기판의 캐비티(Cavity)에 삽입하는 과정에서 발생하는 압력이 주원인입니다.
- **결함 크기:** 보통 **1~5 m 미만**의 초미세 크기로 발생하며, 육안으로는 식별이 불가능하여 고해상도 광학 검사(AOI)나 SEM(Scanning Electron Microscope)을 통한 정밀 검사가 필수적입니다.
- **영향:** 미세 균열은 전기적 단락(Short)을 유발하거나, 장기적인 신뢰성 테스트(Reliability Test) 과정에서 균열이 전파되어 칩 전체의 파손으로 이어집니다.
- **RDL/TSV Open & Short (회로 단선 및 단락):**
- **정의 및 원인:** 브릿지 내부의 재배선층(RDL)이 끊어지거나(Open), 인접한 회로 간에 불필요한 연결이 생기는(Short) 결함입니다. TSV 내부의 구리(Cu) 충진(Filling)이 불완전할 경우 발생합니다.
- **결함 크기:** 회로 선폭(Line Width)에 따라 다르나, EMIB의 고밀도 특성상 **0.5~2 m 수준**의 결함도 치명적입니다.
- **영향:** 데이터 전송 대역폭(Bandwidth)의 급격한 저하 또는 특정 신호 채널의 완전한 상실을 초래합니다.

2. 정렬 및 배치 결함 (Alignment & Placement Defects)

EMIB 공정의 핵심인 '기판 내 브릿지 삽입'과 '칩 실장' 단계에서 발생하는 기하학적 결함입니다.

- **Misalignment (정렬 불량):**
- **정의 및 원인:**

1. **Bridge-to-Substrate Misalignment:** 기판에 형성된 홈(Cavity)과 실리콘 브릿지의 위치가 일치하지 않는 경우.
2. **Die-to-Bridge Misalignment:** 브릿지 위에 실장되는 로직 다이(Logic Die)나 HBM의 범프(Bump)가 브릿지의 패드(Pad)와 정확히 맞물리지 않는 경우.

- **결함 크기:** 정렬 오차(Offset)는 통상 **±1~3 m 이내**로 관리되어야 하며, 이를 초과하는 오차는 결함으로 간주합니다.
- **영향:** 접촉 저항(Contact Resistance)의 증가, 신호 무결성(Signal Integrity) 저하, 또는 범프 간의 전기적 쇼트를 유발합니다.
- **Tilt & Warpage (기울기 및 휘어짐):**
- **정의 및 원인:** 브릿지가 기판 내부에 평평하게 안착되지 않고 미세하게 기울어지거나(Tilt), 패키지 전체의 열 변형으로 인해 기판이 휘어지는(Warpage) 현상입니다.
- **결함 크기:** 기울기는 **도(Degree) 단위**로 관리되며, 휘어짐은 패키지 전체 면적 대비 **수십~수백 m**의 변위로 나타납니다.
- **영향:** 칩과 브릿지 간의 범프 접합 불량을 야기하며, 후속 공정인 몰딩(Molding) 과정에서 추가적인 응력을 발생시킵니다.

3. 계면 및 충진 결함 (Interface & Filling Defects)

브릿지와 기판, 또는 브릿지와 칩 사이의 물리적 접합부에서 발생하는 결함입니다.

- **Void (보이드/공극):**

• **정의 및 원인:**

1. **Underfill Void:** 브릿지와 기판 사이의 간극을 채우는 에폭시(Underfill) 내부에 기포가 갇히는 현상.
2. **Solder/Bump Void:** 범프 접합부 내부에 금속이 채워지지 않고 빈 공간이 생기는 현상.

• **결함 크기:** 미세 보이드의 경우 **5~50 m** 크기부터 발생하며, 대형 보이드의 경우 수백 m에 이르기도 합니다.

• **영향:** 열 방출(Thermal Dissipation)을 방해하여 국부적인 핫스팟(Hot-spot)을 형성하고, 습기 침투의 경로가 되어 부식을 유발합니다.

• **Delamination (박리):**

• **정의 및 원인:** 브릿지와 기판, 또는 브릿지와 칩 사이의 계면(Interface)이 물리적으로 떨어지는 현상입니다. 주로 서로 다른 재료 간의 열팽창 계수(CTE) 차이로 인한 계면 응력이 누적될 때 발생합니다.

• **결함 크기:** 박리 면적은 **수십 m에서 수 mm**까지 광범위하게 나타날 수 있습니다.

• **영향:** 전기적 연결의 완전한 단절뿐만 아니라, 패키지의 구조적 안정성을 파괴합니다.

[요약] EMIB 주요 결함 유형 및 특성 비교표

결함 분류	주요 유형 (Defect Type)	주요 발생 단계	예상 결함 크기 (Defect Size)	주요 검사 기술
구조적 결함	Micro-crack	Bridge Fab / Embedding	1 ~ 5 m	SEM, Acoustic Microscopy
회로 결함	RDL/TSV Open/Short	Bridge Fab	0.5 ~ 2 m	AOI, Electrical Test
정렬 결함	Misalignment	Embedding / Bonding	±1 ~ 3 m (Offset)	High-res AOI, Vision
기하 결함	Tilt / Warpage	Embedding / Bonding	Degree / 수십 ~ 수백 m	Laser Profilometer
계면 결함	Void (Underfill/Bump)	Bonding / Encapsulation	5 ~ 50+ m	X-ray (3D), SAM
계면 결함	Delamination	Post-Bonding	수십 m ~ 수 mm	SAM, Thermal Cycling

결론적으로, EMIB 공정은 실리콘 브릿지라는 초미세 부품을 기판이라는 거대 구조물 내부에 정밀하게 매립해야 하는 특성을 가집니다. 따라서 결함의 크기가 **1 m 미만의 미세 회로 결함**부터 **수백 m 이상의 기하학적 변형**까지 매우 넓은 스펙트럼을 가집니다. 이를 효과적으로 제어하기 위해서는 광학 검사(AOI)를 통한 미세 패턴 검사와 X-ray/SAM(Scanning Acoustic Microscopy)을 통한 내부 계면 검사가 통합된 다각적 검사 솔루션이 필수적입니다.

검사 항목 및 장비 요구사항 (Inspection Items & Equipment)

EMIB(Embedded Multi-die Interconnect Bridge) 기술은 실리콘 인터포저를 사용하는 기존 2.5D 패키징 방식과 달리, 매우 작은 크기의 실리콘 브릿지를 기판(Substrate) 내부에 매립(Embedding)하는 고난도 공정을 포함합니다. 따라서 검사 단계에서는 브릿지 내부의 초미세 회로부터 기판 내 매립 상태, 그리고 칩과 브릿지 간의

전기적 연결성까지 아우르는 다각도의 검사 체계가 요구됩니다. 특히 브릿지의 크기가 작고 매립 구조를 가지기 때문에, 표면 검사뿐만 아니라 비파괴 방식의 내부 검사가 수율 확보의 핵심입니다.

1. 주요 공정별 검사 항목 (Key Inspection Items)

EMIB 제조 공정의 각 단계에서는 다음과 같은 구체적인 검사 항목들이 수행되어야 합니다.

공정 단계 (Process Stage)	검사 항목 (Inspection Items)	검사 목적 및 상세 내용
Bridge Fabrication (브릿지 제조)	**RDL Line/Space Inspection**	브릿지 내 미세 회로(RDL)의 선폭(Line Width) 및 간격(Space)이 설계 규격 내에 있는지 확인
	TSV Integrity Check	브릿지에 형성된 실리콘 관통 비아(TSV)의 종횡비(Aspect Ratio) 및 내부 결함 여부 검사
	Surface Roughness/Contamination	칩 본딩을 위한 브릿지 상단면의 거칠기 및 미세 파티클(Particle) 오염도 측정
Embedding (기판 내 매립)	**Bridge Alignment (X-Y-θ)**	기판의 캐비티(Cavity) 내에 브릿지가 설계된 좌표에 정확히 위치했는지 정렬 정밀도 검사
	Embedding Void/Gap Analysis	브릿지와 기판 사이를 채우는 몰딩 컴파운드(EMC) 또는 에폭시 내의 기포(Void) 발생 여부
	Planarity (Flatness) Check	매립 후 기판 표면의 평탄도가 칩 실장(Die Attach)에 적합한 수준인지 측정
Bonding & Assembly (본딩 및 조립)	**Bump/Micro-bump Inspection**	로직 칩과 브릿지 사이의 범프 정렬 및 범프 자체의 형상(Height, Diameter) 검사
	Solder Bridging/Short	범프 간 미세한 납 연결(Short) 또는 납 부족(Open) 현상 검사
	Underfill Void Inspection	칩과 브릿지 사이를 채우는 언더필(Underfill) 내부의 미세 공극 검사

2. 기술적 요구사항 및 장비 솔루션 (Technical Requirements & Equipment)

EMIB의 미세 구조를 효과적으로 검사하기 위해서는 초고해상도 광학 기술과 투과형 X-ray 기술의 결합이 필수적입니다.

A. 고해상도 머신 비전 및 광학 검사 (High-resolution Optical Inspection)

브릿지 제조 단계와 칩 실장 직전 단계에서는 **고해상도 광학 검사(High-resolution Optical Inspection)** 장비가 핵심적인 역할을 합니다.

- **요구사항:** EMIB 브릿지의 RDL(Redistribution Layer)은 수 m 단위의 초미세 패턴으로 구성되므로, 이를 식별하기 위해서는 높은 해상도(Resolution)와 넓은 심도(Depth of Field)를 동시에 확보해야 합니다.
- **기술적 적용:** 2D/3D AOI(Automated Optical Inspection) 시스템을 활용하여 패턴의 단선(Open), 단락(Short), 그리고 미세한 이물질을 검출합니다. 특히, 3D 측정 기술을 통해 범프의 높이(Coplanarity)를 측정함으로써 본딩 시 발생할 수 있는 불량을 사전에 차단해야 합니다.

B. 3D X-ray 및 CT 검사 (Advanced X-ray Inspection)

EMIB의 가장 큰 특징인 '매립 구조'로 인해, 육안이나 일반 광학 장비로는 내부의 결함을 확인할 수 없습니다. 따라서 **비파괴 검사(Non-Destructive Testing)** 방식인 X-ray 기술이 필수적입니다.

- **요구사항:** 기판 내부의 실리콘 브릿지와 그 주변의 매립재(Dielectric/EMC), 그리고 칩 하단의 범프를 투과하여 관찰할 수 있어야 합니다.
- **기술적 적용:**
- **2D X-ray:** 범프의 정렬 상태 및 대형 Void를 빠르게 스캔하는 데 사용됩니다.
- **3D X-ray (Computed Tomography, CT):** 브릿지 내부의 TSV 결함, 기판 매립 시 발생한 미세한 기포(Void), 그리고 칩과 브릿지 사이의 복잡한 접합부 구조를 3차원적으로 재구성하여 분석합니다. 이는 EMIB의 수율을 결정짓는 가장 정밀한 검사 단계입니다.

C. 전기적 특성 검사 (Electrical Testing)

물리적 외관 검사 이후에는 실제 데이터 전송 성능을 보장하기 위한 전기적 검사가 병행되어야 합니다.

- **요구사항:** 브릿지를 통한 고대역폭(High Bandwidth) 신호 전달 시 임피던스(Impedance) 불일치나 신호 무결성(Signal Integrity) 저하를 확인해야 합니다.
- **기술적 적용:** 프로브 카드(Probe Card)를 이용한 웨이퍼 레벨 테스트(Wafer Level Test)나 패키지 후 테스트(Post-Package Test)를 통해 브릿지 내부 회로의 도통 상태와 전기적 연결 안정성을 최종 검증합니다.

3. 요약: 검사 전략의 핵심 방향

EMIB 공정의 성공적인 양산을 위해서는 **"표면(Optical) ₩rightarrow 내부(X-ray) ₩rightarrow 기능(Electrical)"**으로 이어지는 계층적 검사 전략이 수립되어야 합니다. 특히, 브릿지의 소형화에 따라 검사 장비의 해상도는 지속적으로 향상되어야 하며, AI 기반의 비전 알고리즘을 도입하여 미세 결함에 대한 검출력(Detection Capability)과 과검(Overkill) 방지 능력을 동시에 확보하는 것이 기술적 과제입니다.

결론 및 기술적 시사점 (Conclusion)

EMIB(Embedded Multi-die Interconnect Bridge) 기술은 초미세 회로 구현과 비용 효율성이라는 두 마리 토끼를 잡기 위한 인텔의 핵심 전략이자, 차세대 AI 및 HPC(High-Performance Computing) 시장을 선도할 2.5D 패키징의 게임 체인저입니다. 본 보고서에서 분석한 바와 같이, EMIB는 기존의 Full Silicon Interposer 방식인 CoWoS 대비 실리콘 사용량을 극적으로 줄이면서도 고대역폭(High Bandwidth) 연결을 유지할 수 있는 혁신적인 구조를 가지고 있습니다.

하지만 이러한 구조적 혁신은 동시에 검사 및 수율 관리 측면에서 전례 없는 난이도를 요구합니다. 실리콘 브릿지를 패키지 기판(Substrate) 내부에 매립(Embedding)하는 공정 특성상, 브릿지의 미세 정렬(Alignment) 오차나 매립 과정에서 발생하는 보이드(Void) 및 미세 크랙(Micro-crack)은 전체 패키지의 전기적 연결성을 완전히 상실시킬 수 있는 치명적인 결함으로 작용합니다. 특히 브릿지 내부에 형성된 TSV(Through Silicon Via)와 RDL(Redistribution Layer)의 미세 회로 결함은 육안 검사가 불가능한 영역이므로, 고해상도 광학 검사(AOI)와 고정밀 X-ray 검사 기술의 통합이 필수적입니다.

결론적으로, EMIB 기술의 상용화 성공 여부는 **'수율 향상(Yield Improvement)'**을 위한 정밀 검사 솔루션의 확보에 달려 있습니다. 칩렛(Chiplet) 기반 설계가 가속화됨에 따라, 각 개별 다이(Die)와 브릿지 사이의 인터페이스를 실시간으로 모니터링하고, 공정 단계별로 결함의 크기와 유형을 데이터화하여 피드백할 수 있는 지능형 검사 시스템이 요구됩니다. 향후 반도체 패키징 산업은 단순한 조립 기술을 넘어, 검사 기술과 결합된 **'Advanced Packaging Trend'**를 중심으로 재편될 것이며, 크레셈(CRESSEM)과 같은 검사 전문 기업에게는 초미세 브릿지 및 HBM 연결부 검사를 위한 고도화된 머신 비전 알고리즘과 고해상도 광학 장비 개발이 핵심적인 경쟁 우위 요소가 될 것입니다.